



CPU 68000

Die Zentraleinheit mit dem
16-Bit Mikroprozessor
68000

für den NDR-Computer

Stand: Oktober 1985

Graf Elektronik Systeme GmbH
Magnusstr. 13 · Postfach 1610
8960 Kempten (Allgäu)
Telefon: (08 31) 62 11
Teletex: 831804 – GRAF
Telex: 17 831 804 – GRAF

Filiale Hamburg
Ehrenbergstraße 56
2000 Hamburg 50
Telefon: (0 40) 38 81 51
Filiale München
Georgenstraße 61
8000 München 40
Telefon: (0 89) 2 71 58 58



Inhalt

1	Einführung	1
	1.1 Zum NDR-Computer	1
	1.2 Wozu dient die CPU68000?	1
	1.3 Wie setzt man die CPU68000 ein?	2
2	Technische Daten	2
3	Prinzipbeschreibung	2
	3.1 Der Mikroprozessor 68000	2
	3.2 Die Baugruppe CPU68000	5
4	Aufbauanleitung	10
	4.1 CMCS-Warnung	10
	4.2 Stückliste	10
	4.3 Bestückungsplan	12
	4.4 Layout Bestückungsseite mit Bestückungsplan	12
	4.5 Layout Bestückungsseite	13
	4.6 Layout Lötseite	13
	4.7 Aufbau Schritt für Schritt	14
5	Testanleitung	16
	5.1 Erste Prüfung ohne ICs	16
	5.2 Test im System (ohne Meßgeräte)	16
	5.3 Test mit anderen Baugruppen	17
6	Fehlersuchanleitung	18
	6.1 Mögliche Fehler und ihre Behebung	18
7	Schaltungsbeschreibung	20
	7.1 Schaltplan	20
	7.2 Funktionsbeschreibung der CPU68000	21
8	Anwendungsbeispiele	23
	8.1 Grundprogramm V4.3	23
	8.2 CP/M68K	23
9	Diverses	24
	9.1 Verbesserungsmöglichkeiten	24
	9.2 Ausblick	24
10	Unterlagen zu den verwendeten ICs	25
	10.1 Der Timer 555	25
	10.2 TTL-ICs	25
	10.3 Auszüge aus dem Datenblatt zum 68000	30
11	Literatur	31
	11.1 Die Zeitschrift LOOP	31
	11.2 Empfohlene Fachbücher	31

1. Einführung

1.1 Zum NDR-Computer

Der NDR-Computer wird in der Fernsehserie "Mikroelektronik - Mikrocomputer selbstgebaut und programmiert" aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird vom Norddeutschen Rundfunk, vom Sender Freies Berlin, vom Bayerischen Fernsehen und von Radio Bremen ausgestrahlt. Es werden bald auch die Regionalsender anderer Bundesländer die Sendung in ihr Programm aufnehmen.

Zur Sendung gibt es einige Begleitmaterialien, es ist daher nicht unbedingt notwendig, die Fernsehserie gesehen zu haben, um den NDR-Computer zu bauen und zu begreifen:

- Buch: Rolf-Dieter Klein,
"Mikrocomputer selbstgebaut und programmiert"
2., neu bearbeitete und erweiterte Auflage
ISBN 3-7723-7162-0, DM 38.--
erschienen im Franzis-Verlag, München
Bestellnummer: B001
Auf diesem Buch baut die NDR-Serie auf

- Sonderhefte der "mc":
"Mikrocomputer Schritt für Schritt"
Bestellnummer: SONDERNDR
"Mikrocomputer Schritt für Schritt Teil 2"
Bestellnummer: SONDERH2

- Zeitschriften "mc" und "ELO" des Franzis-Verlages

- Videocassetten:
lizenzierte Originalcassetten für den privaten
Gebrauch. Auf diesen zwei Cassetten sind die 26
Folgen der Fernsehserie enthalten.
Systeme: VHS, Beta, Video 2000
Preise: siehe gültige Preisliste

1.2 Wozu dient die CPU68000?

Die CPU68000 ist eine zentrale Baugruppe für den NDR-Computer. Sie enthält den Mikroprozessor, das wichtigste Steuerelement in einem Computer. Eine CPU-Baugruppe muß also in jedem Computer vorhanden sein. Für den NDR-Computer gibt es verschiedene CPU-Baugruppen; die CPU68000 ist eine der Leistungsfähigsten. Durch den 16-Bit Datenbus des Mikroprozessors 68000 ist der Aufbau etwas komplexer als beim Mikroprozessor 68008, allerdings ergibt sich eine Geschwindigkeitssteigerung auf etwa das Doppelte, da nur noch ein Buszugriff für zwei Datenbytes durchgeführt werden muß. Dadurch eignet sich die CPU68000 für Aufgaben, bei denen die Leistung der CPU68K nicht ausreicht.

Die CPU68000 dient ebenso wie die CPU68K auch zum Betrieb mit dem Betriebssystem CP/M68K, ist durch ihren höheren Durchsatz jedoch für viele Programme besser geeignet.

1.3 Wie setzt man die CPU68000 ein?

Die Busplatinen BUS3 und BUS4 sind für den Einbau der CPU68000 vorbereitet. Dazu muß an der dafür vorgesehenen Stelle eine doppelte Busleiste eingesetzt werden. Alternativ können auch zwei schwarze einreihige Busleisten nebeneinander eingesetzt werden. Außerdem müssen die Leitungen DO-D7, -RD und -WR zwischen den Reihen der Doppelbusleiste aufgetrennt werden (siehe Prinzipbeschreibung).

2. Technische Daten

Spannung:	+5V
Stromaufnahme:	ca. 400mA
Busformat:	NDR-Bus 108-polig (Spezial-Ausführung für 16 Bit)
Größe der Leiterplatte:	145mm * 78mm
CPU:	68000
	- 32-Bit Daten- und Adreßregister
	- 16 Megabyte linearer Adreßbereich
	- 56 leistungsfähige Befehlstypen
	- Operationen auf 5 Haupt-Datentypen
	- 14 Adressierungsarten
Taktfrequenz:	12MHz
Datenleitungen:	16
Adressleitungen:	21, aufgeteilt in 2 * 20 für die beiden Bushälften (siehe Kapitel 3.2)
Ansprechbarer Speicher:	2 MByte
Ansprechbarer I/O-Bereich:	512 Byte in einem 128 KByte-Bereich, jedoch nur 256 Byte verwendet

3. Prinzipbeschreibung

Vereinbarung: Die in den Abbildungen verwendeten Signalbezeichnungen werden wie üblich mit einem Querstrich über der Bezeichnung gekennzeichnet. Dieser Querstrich bedeutet, daß das Signal "Low"-aktiv ist, also seine Funktion erfüllt, wenn die Leitung Null-Pegel hat. Im Text ist die Darstellung mit dem Querstrich über dem Signalnamen leider nicht möglich; die "Low-Aktivität" wird mit einem vorangestellten "-" kenntlich gemacht, also z.B. -RD und -WR.

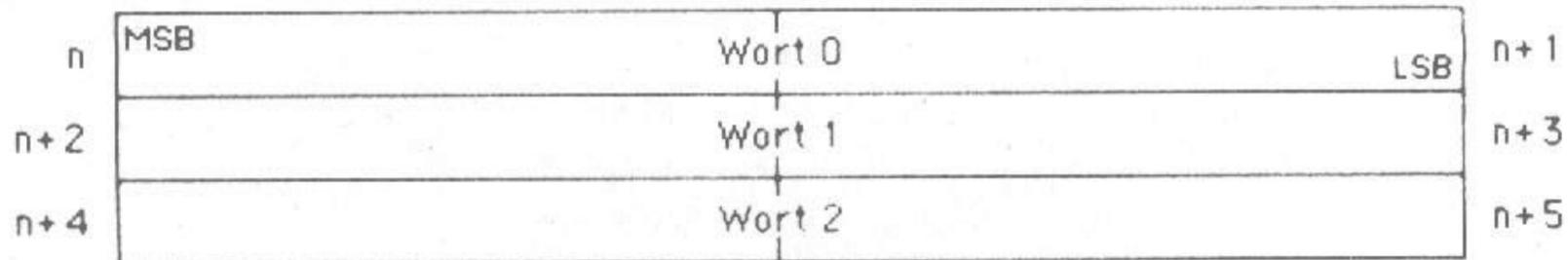
3.1 Der Mikroprozessor 68000

Der Mikroprozessor 68000 ist ein moderner Prozessor, der nicht nur übersichtliche, sondern auch mächtige Befehle, wie eine eingebaute Multiplikation und Division besitzt. Man benötigt bei ihm nur wenige Befehle, um komplizierte Vorgänge zu beschreiben.

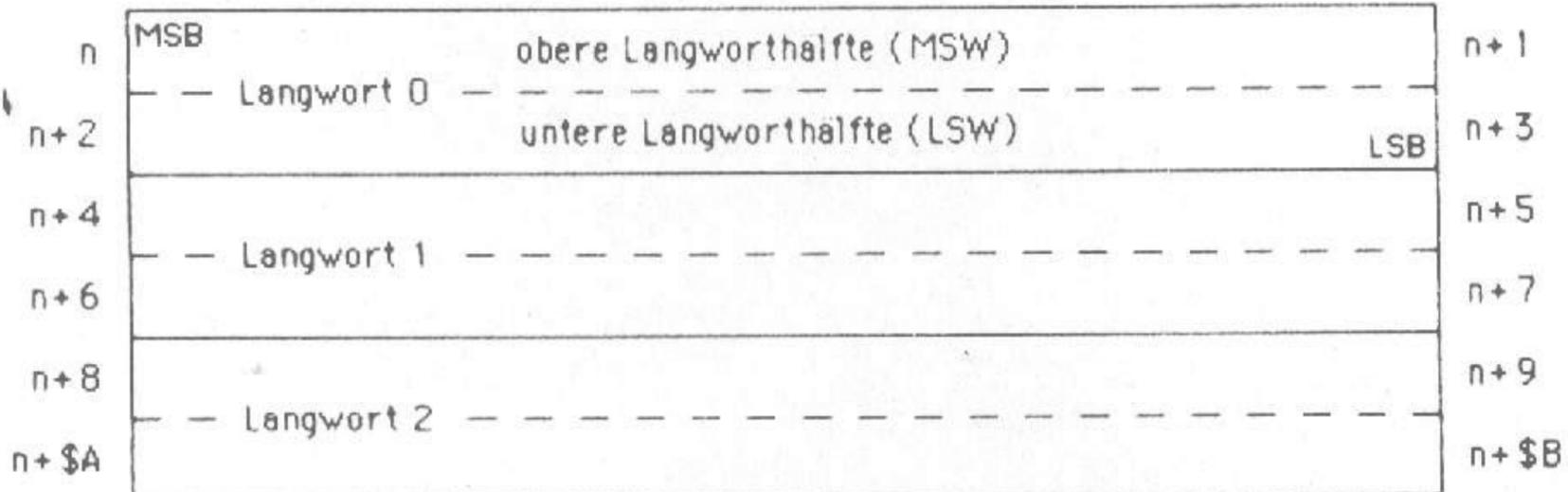
Der Mikroprozessor 68008 ist eine "abgemagerte" Version des 68000. Der 68008 hat 20 Adressleitungen und 8 Datenleitungen, der 68000 sogar 24 Adressleitungen und 16 Datenleitungen. Damit kann der 68000 bis zu 16 MByte Speicher ansprechen. Darin lassen sich sehr umfangreiche Programme und Datenmengen ablegen.

Beide Prozessoren stimmen in der Programmierlogik überein. Man braucht also keinen neuen Befehlssatz zu erlernen, wenn man vom 68008 auf den 68000 aufsteigt. Allerdings gibt es bei Programmen im EPROM Probleme, da die Speicheradressierung etwas unterschiedlich ist:

1 Wort = 16 Bits



1 Langwort = 32 Bits



MSD = Most Significant Digit (höchstwertige Stelle)

MSB = höchstwertiges Bit

MSW = höchstwertiges Wort

LSD = Least Significant Digit (niederwertige Stelle)

LSB = niederwertiges Bit

LSW = niederwertiges Wort

n = Adresse

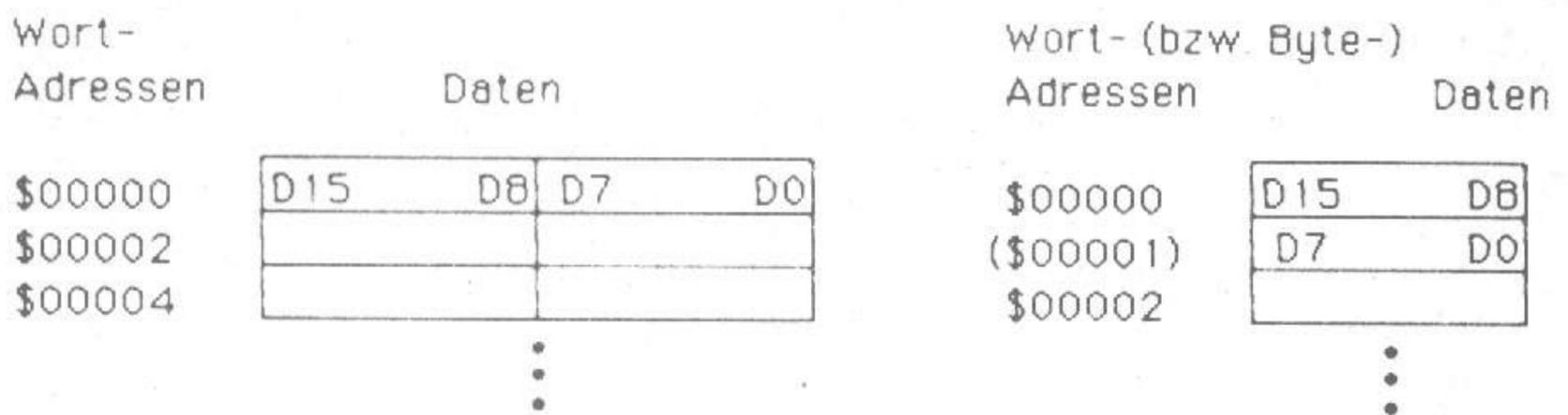
D = Daten

Bild 2: Datenorganisation/Darstellung im Speicher

Obwohl der 68000 über einen 16-Bit Datenbus verfügt, ist er eine Byte-Maschine, d.h. ein 16-Bit Wort ist unterteilt in eine gerade Adresse n und eine ungerade Adresse n+1 (Bild 2 und 3). Das höherwertige Byte eines Wortes steht in der niederwertigen - und damit auf einer geraden - Adresse, betrachtet man aufsteigende Adressen.

Mit den 24 Adress- und 16 Datenbusleitungen ergibt sich der Speicherbelegungsplan nach Bild 3 für den 68000.

Hardwaremäßig wird ein Byte mit einem der Signale -UDS bzw. -LDS (siehe Kapitel 3.2.2, 7.2) ausgewählt. Auf der Softwareseite wird das Datenformat mit der Angabe .B (Byte), .W (Wort) oder .L (Langwort) nach dem entsprechenden Befehl bestimmt.



Ein Wort (16 Bit) im Speicher des 68000

Ein Wort (16 Bit) im Speicher des 68008

Bild 1: Speicherbelegungsplan 68008 - 68000

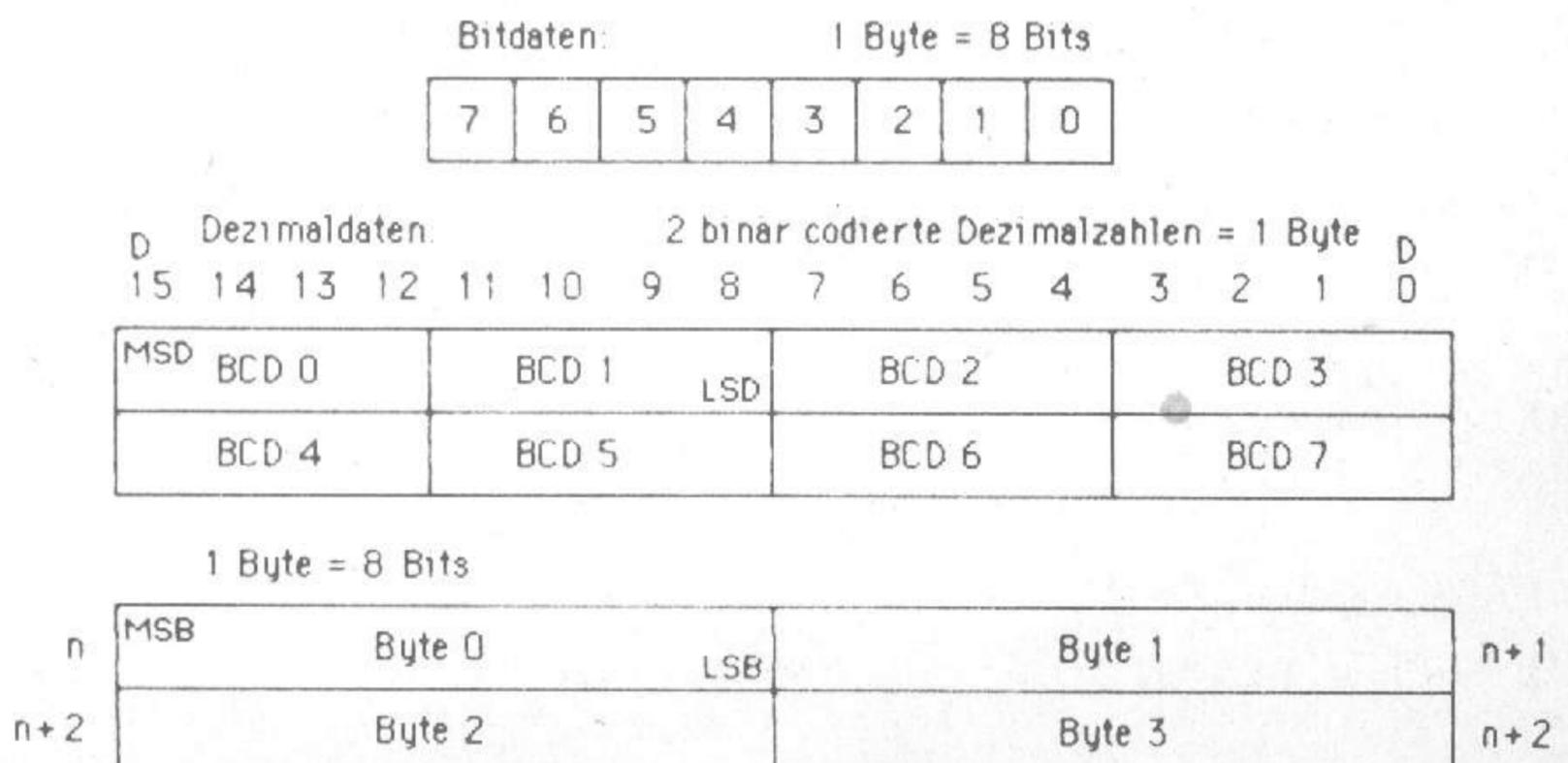
Bei Programmen im RAM gibt es dieses Problem nicht. Sie müssen sowieso erst geladen werden, und dabei legt der 68000 sie automatisch in geeigneter Form ab.

Der 68000 benötigt wegen der Datenbusbreite von 16 Bit genau passenden Speicher, also Speicher, der ebenfalls 16 Bit parallel liefern kann. Da der Prozessor dann mit einem Atemzug gleich zwei Bytes vom Speicher holen kann, ist er noch ein Stück schneller als der 68008. Durch diese Anforderung mußten wir uns etwas überlegen, damit es möglich wurde, auch mit dem 68000 alle Speicher- und Peripheriekarten des NDR-Computers zu benutzen. Dies wird im Kapitel 3.2 beschrieben.

Der Mikroprozessor 68000 verarbeitet folgende Datenlängen:

Name	Größe	Verarbeitung
Bit	1 Bit	Bitmanipulationsbefehle
BCD	4 Bit	BCD-Befehle
Byte	8 Bit	versch. Befehle, externe Daten
Wort	16 Bit	versch. Befehle, externe Daten
Langwort	32 Bit	versch. Befehle, externe Daten

Ein Wort ist die Standardverarbeitung, da der 68000 einen 16-Bit Datenbus hat. Die Datenorganisation im Speicher zeigt Bild 2.



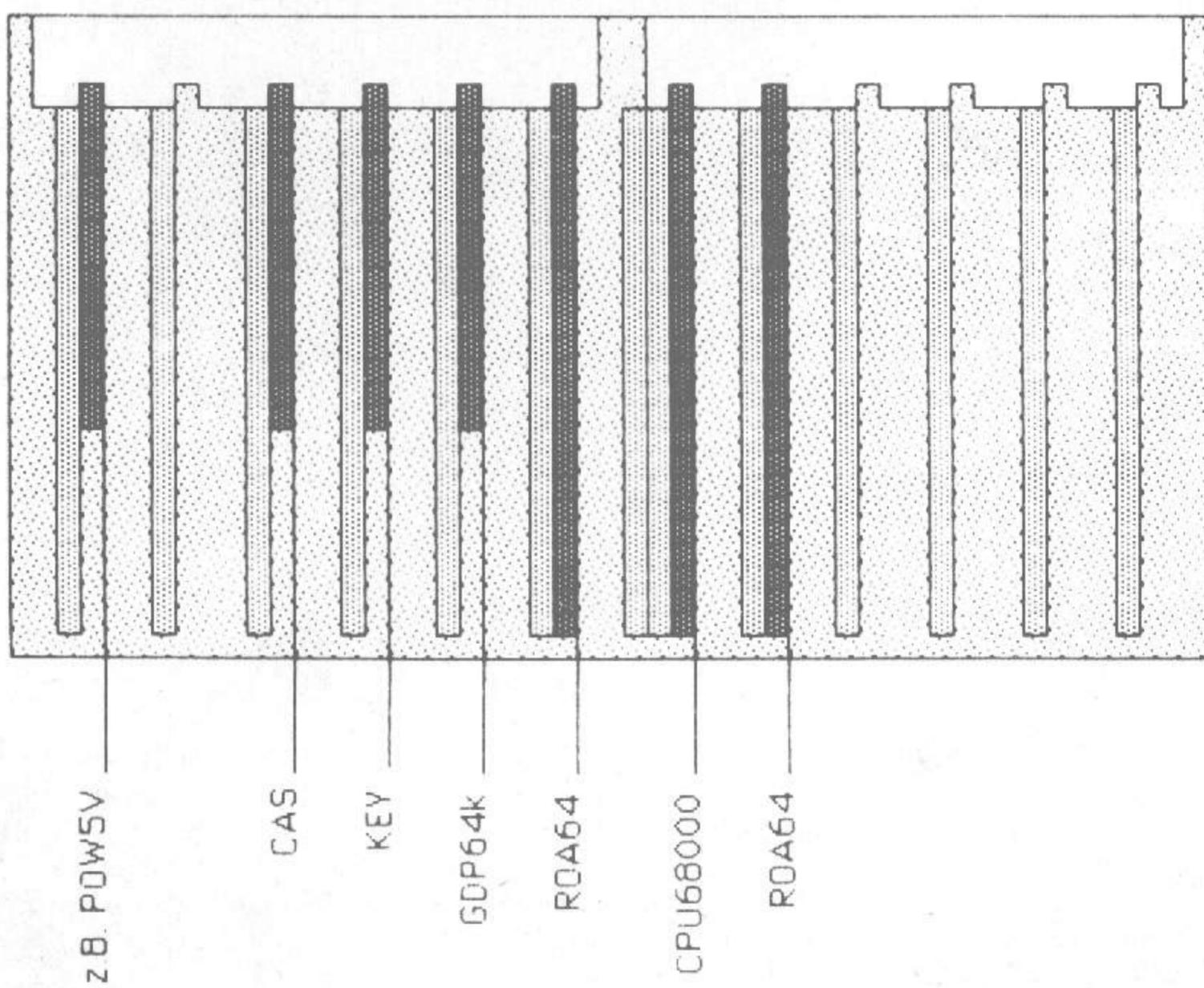
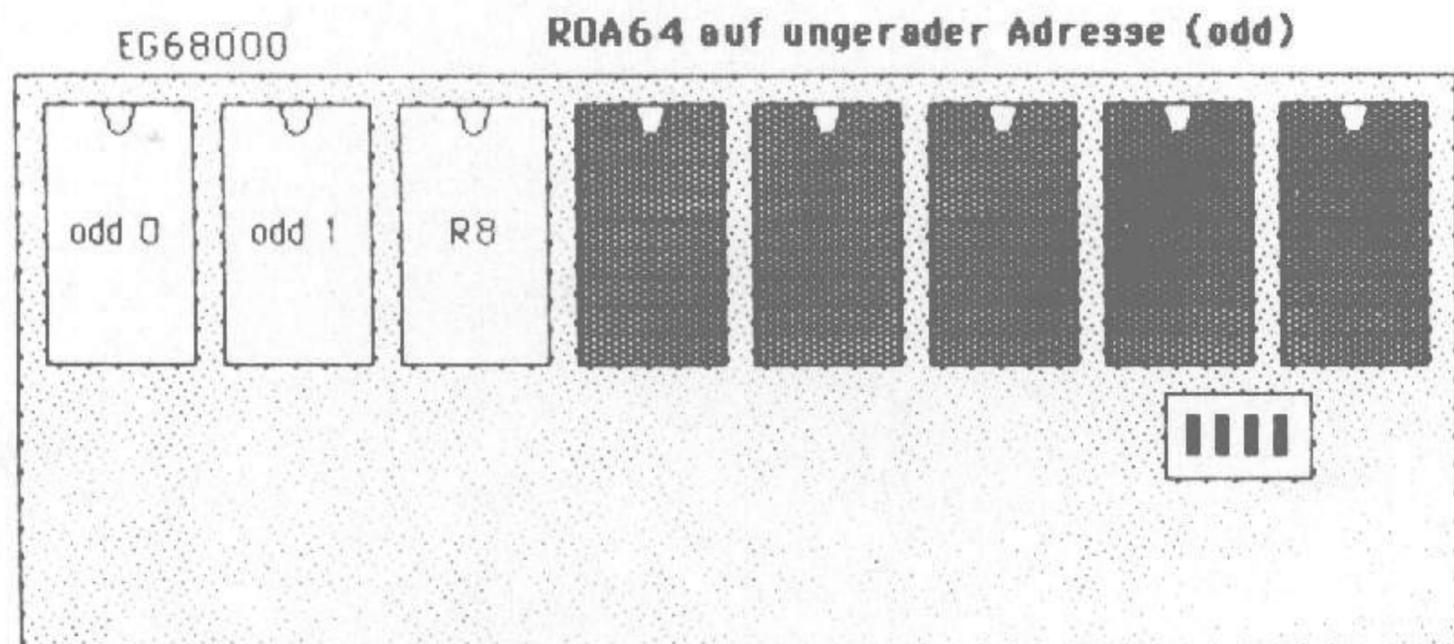
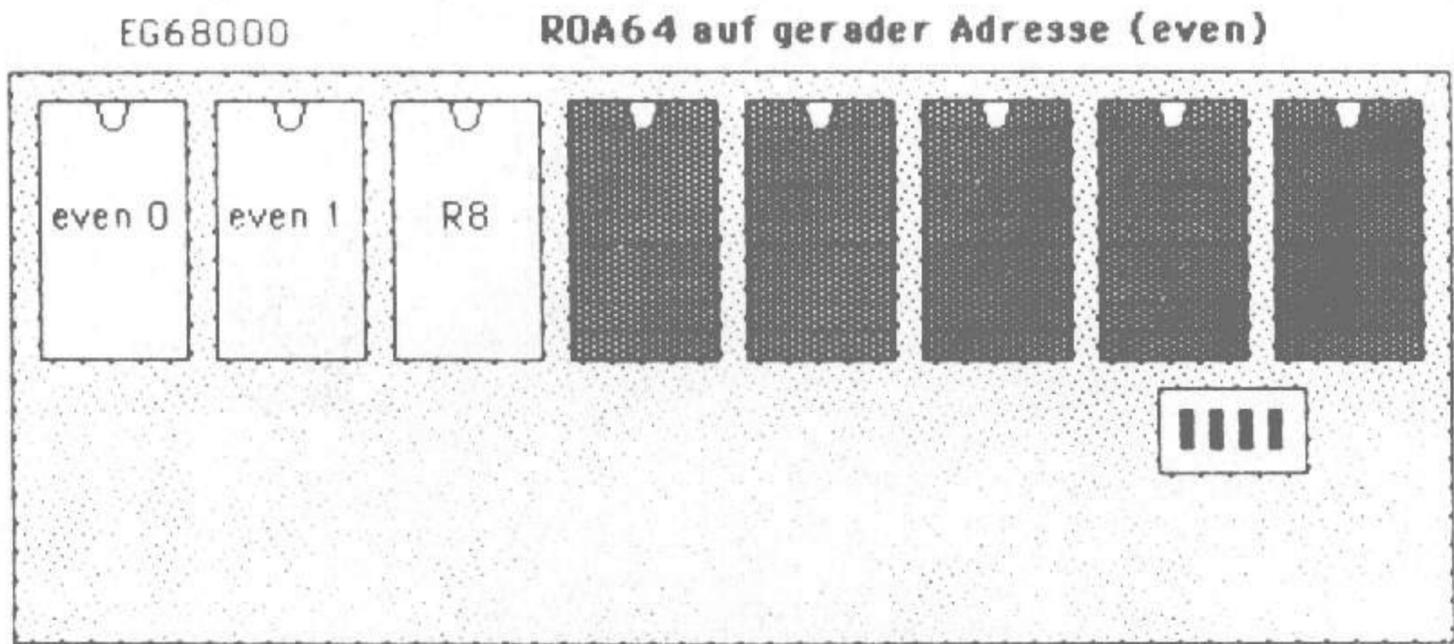


Bild 4: CPU68000 - Busanordnung

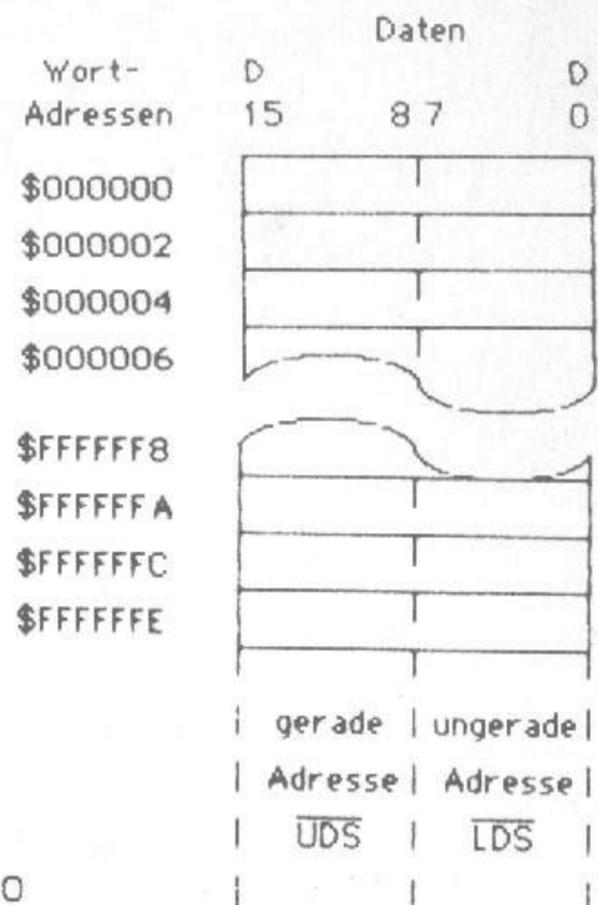


Bild 3: Speicherbelegungsplan des 68000

Um Konflikte zu vermeiden, gibt es bestimmte Regeln für den Zugriff auf den Speicher:

- a) Zugriffe auf Worte und Langworte dürfen nur von geraden Adressen erfolgen.
- b) Zugriffe auf Bytes sind sowohl von geraden als auch von ungeraden Adressen möglich.
- c) Opcodes (Operationsworte) müssen auf Grund von a) auf geraden Adressen stehen.

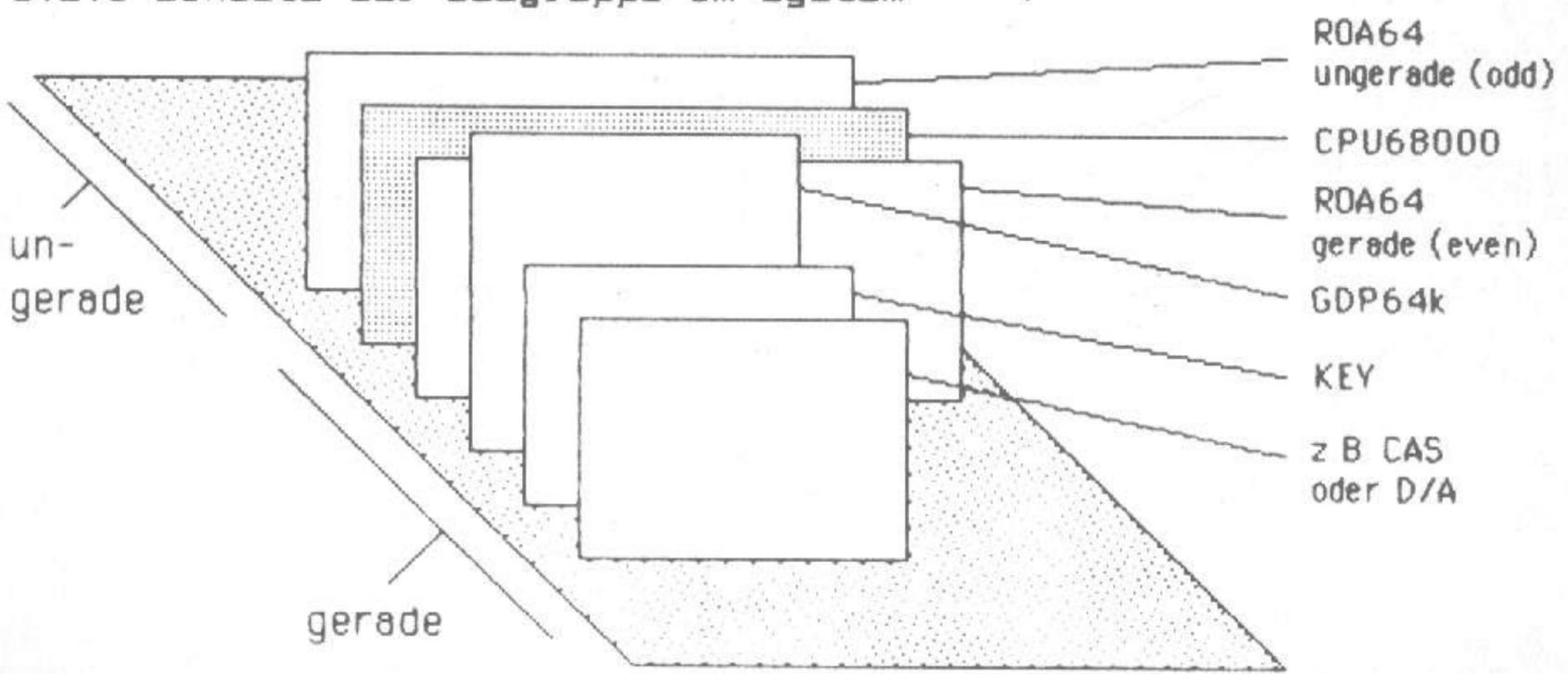
Sind diese Bedingungen nicht erfüllt, so führt dies zu einer Ausnahmebehandlung.

Zum Mikroprozessor 68000 wird in Kapitel 11.2 weitergehende Literatur empfohlen.

3.2 Die Baugruppe CPU68000

Durch den besonderen Bus der CPU68000 ergeben sich auch einige Besonderheiten bezüglich des Einsatzes der Baugruppe in den Bus.

3.2.1 Einsatz der Baugruppe im System



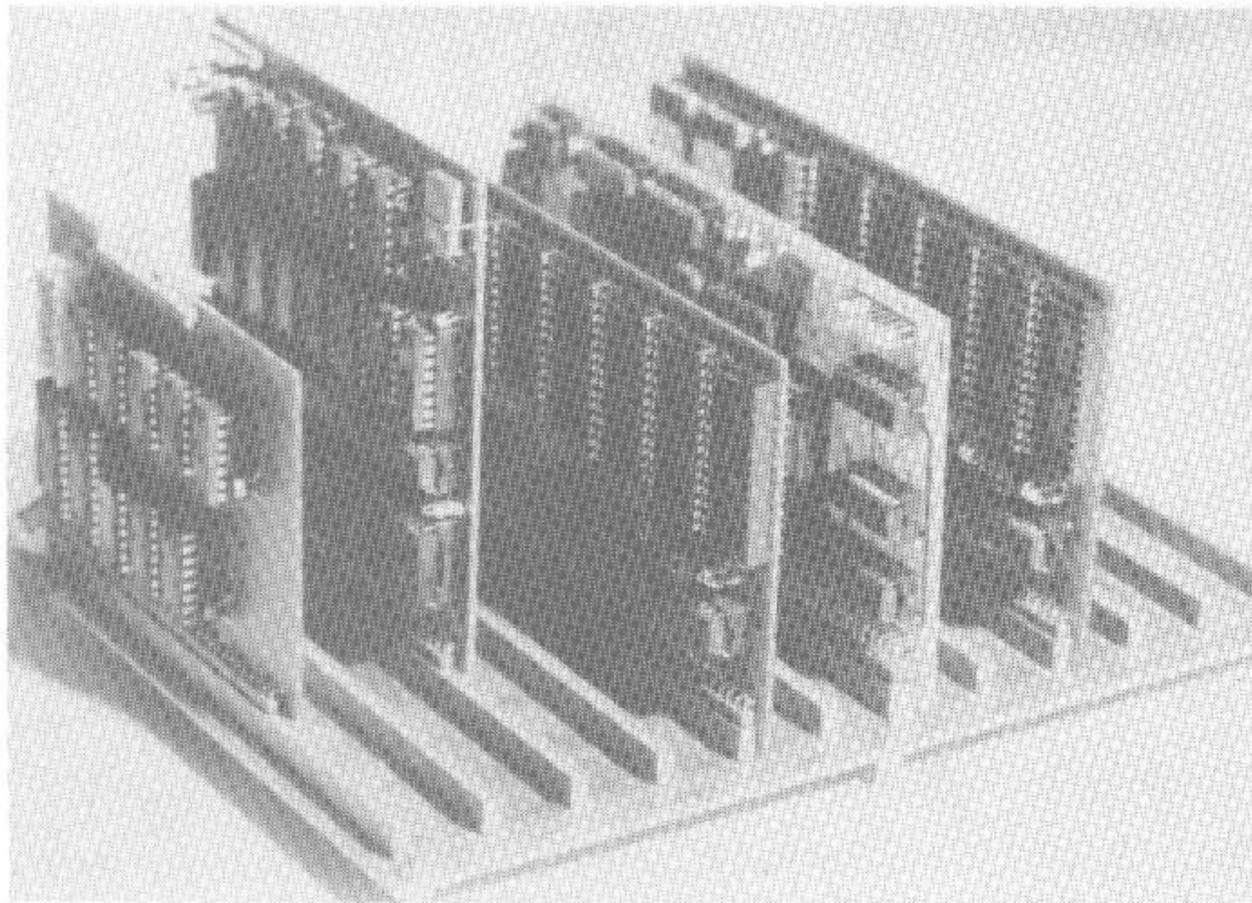


Bild 5: CPU68000 - Anschluß

3.2.2 Funktion der Baugruppe

Die Signale auf dem NDR-Computer-Bus sind wie bei einer Z80-CPU bezeichnet; sie entsprechen auch im Timing diesem Prozessor. Die Signale der 68000-CPU tragen andere Bezeichnungen und haben auch ein etwas anderes Timing.

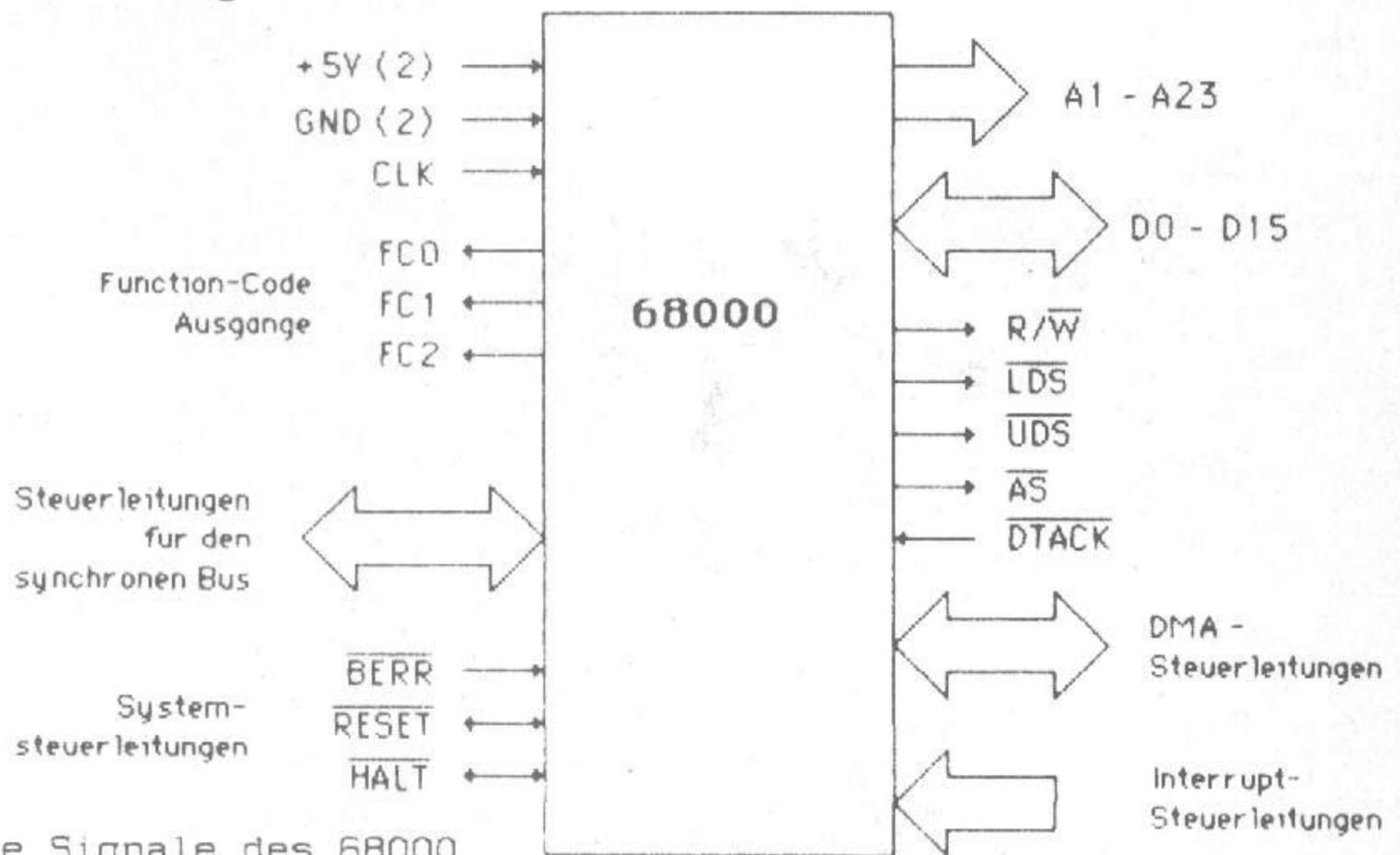


Bild 6: Die Signale des 68000

Das Signal \overline{AS} (Adreßstrobe) gibt an, daß eine Adresse auf dem Adreßbus gültig ist. Mit \overline{UDS} (Upper Data Strobe) und \overline{LDS} (Lower Data Strobe) wird der Datenbus gesteuert. Ist das Signal \overline{UDS} aktiv, wird auf ein Byte zugegriffen, welches an einer geraden Byte-Adresse steht; ist das Signal \overline{LDS} aktiv, so wird auf ein Byte, das an einer ungeraden Byte-Adresse steht, zugegriffen. Sind beide Signale \overline{UDS} und \overline{LDS} gleichzeitig aktiv, dann wird auf ein Wort (16 Bit) zugegriffen. Beim Lesen legt der Prozessor das Signal R/\overline{W} (READ/-WRITE) auf 1, beim Schreiben auf 0.

Auf der CPU68000 werden aus den Signalen des 68000 durch logische Verknüpfung über TTL-Gatter die Signale des Z80 erzeugt. Zum Beispiel ergibt sich das $\overline{\text{WR}}$ -Signal des Z80 aus der ODER-Verknüpfung des $\overline{\text{DS}}$ -Signals mit dem $\text{R}/\overline{\text{W}}$ -Signal. Denn ist eines der beiden Signale auf 1, so ist auch das $\overline{\text{WR}}$ -Signal auf 1, oder anders ausgedrückt, nur wenn beide Signale ($\text{R}/\overline{\text{W}}$ und $\overline{\text{DS}}$) auf 0 sind, so ist auch $\overline{\text{WR}}$ auf 0.

Die aus den Signalen des 68000 abgeleiteten "Z80-Steuerimpulse" weisen noch kleine zeitliche Unterschiede gegenüber dem Original auf, doch dies ist für die logische Funktion, die für das Arbeiten mit dem Speicher allein maßgeblich ist, nicht von Bedeutung. Ein wichtiger Unterschied zwischen den beiden Prozessoren besteht darin, daß der 68000 kein besonderes Signal für die Adressierung der Peripherie besitzt. Beim Z80 leistet dies das $\overline{\text{IORQ}}$ -Signal. Beim 68000 gibt es so ein Signal nicht. Bei ihm muß man einen Adreßbereich decodieren und mit dem Signal $\overline{\text{AS}}$ verknüpfen, wenn man Peripherie ansprechen will. Im Bild 7 erkennt man, daß das $\overline{\text{MREQ}}$ -Signal direkt dem $\overline{\text{AS}}$ -Signal folgt. Wenn man nun das Signal $\overline{\text{AS}}$ zusätzlich mit Adressen verknüpft, so daß das daraus abgeleitete $\overline{\text{MREQ}}$ nur dann erscheint, wenn der Adreßbereich für den Speicher angewählt ist und in einer weiteren Verknüpfung einen anderen Adreßbereich mit $\overline{\text{AS}}$ verknüpft, so kann man das zweite Signal als $\overline{\text{IORQ}}$ verwenden.

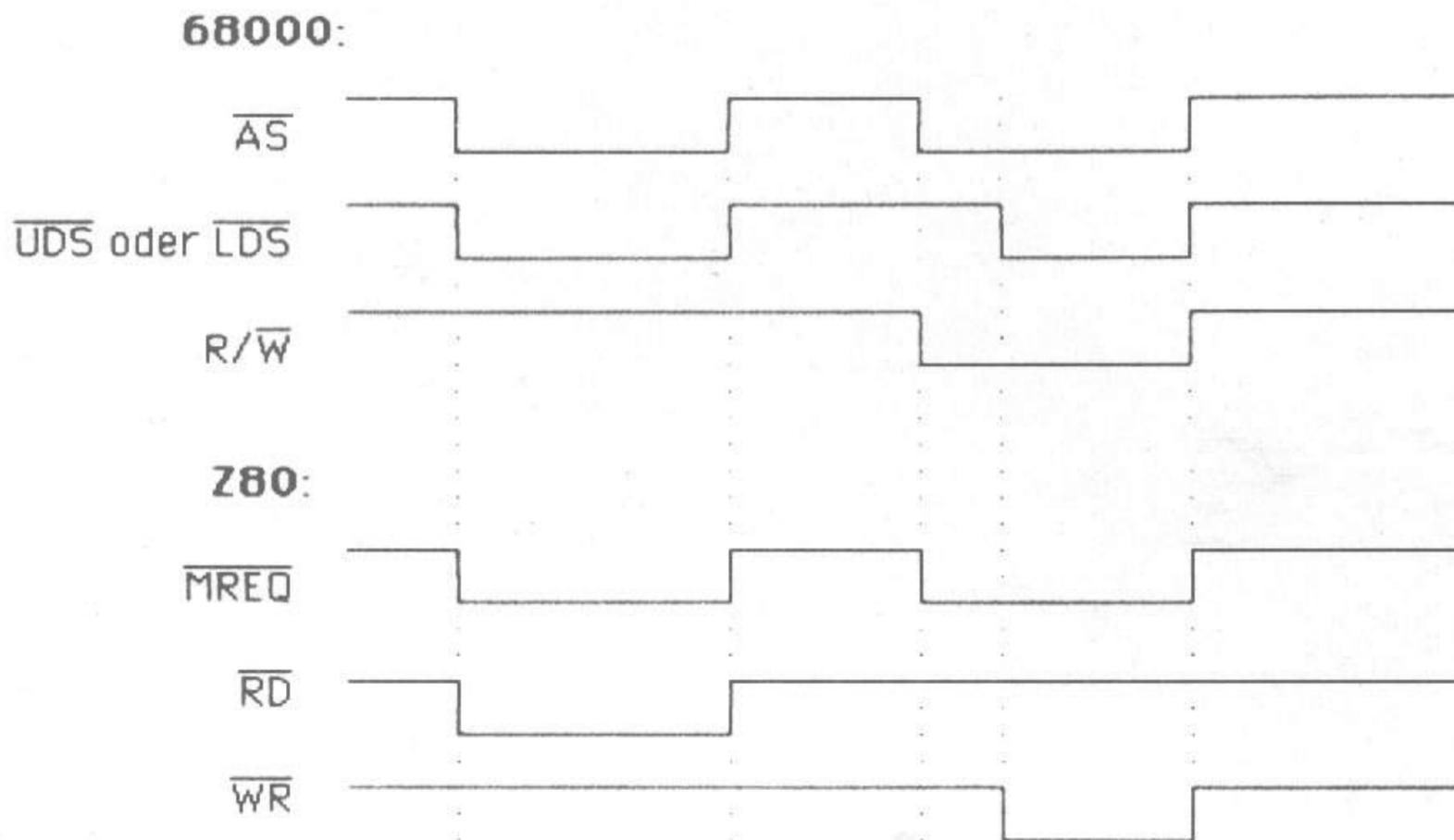


Bild 7: Timing 68000 - Timing NDR-Bus

Beim 68000 geschieht folgendes: Das Signal $\overline{\text{AS}}$ wird aktiv und zeigt damit den Beginn eines Zugriffs an. Ist nun ein Lesezugriff geplant, werden die Signale $\overline{\text{UDS}}$ und $\overline{\text{LDS}}$ oder nur eines von beiden sofort aktiv. Das Peripheriegerät erkennt an dem high-Pegel der Leitung $\text{R}/\overline{\text{W}}$, daß ein Lesezugriff erfolgen soll. Bei einem Schreibzugriff geht die Leitung $\text{R}/\overline{\text{W}}$ auf low-Pegel und etwas später werden die Signale $\overline{\text{UDS}}$ und bzw. oder $\overline{\text{LDS}}$ entsprechend dem gewünschten Zugriff aktiviert.

Beim Z80, der ja kein Data Strobe besitzt, dafür aber die Signale $\overline{\text{RD}}$ und $\overline{\text{WR}}$, funktioniert es ähnlich: Das Signal $\overline{\text{MREQ}}$ zeigt einen gültigen Zugriff an und die Signale $\overline{\text{RD}}$ und $\overline{\text{WR}}$ entscheiden über einen Lese- bzw. Schreibzugriff.

Das Prinzip eines Buszugriffs ist nun: bei Byte-Zugriffen erscheint der Buszugriff auf einer Seite des Bus wie beim 280 oder 68008. Bei einer geraden Byte-Adresse ist dies die "even"-Seite, also die Seite, auf der auch die Peripherie-Baugruppen stecken, bei einer ungeraden Byte-Adresse die andere Seite, "odd"-Seite genannt. Bei 16-Bit-Zugriffen, also zwei Byte bzw. ein Wort, wird jede Seite genauso behandelt wie bei einem Byte-Zugriff, nur eben diesmal auf beiden Seiten gleichzeitig.

68000			NDR-Bus		
Wortadresse (vom 68000 ausgegeben)	wenn		Bytezugriff, effektive Byte-Adresse	even-Seite, aktive Adresse	odd-Seite, aktive Adresse
	\overline{UDS}	\overline{LDS}			
\$000000	aktiv	aktiv	-	\$00000	\$00000
\$000002	aktiv	aktiv	-	\$00001	\$00001
\$000002	-	aktiv	\$000003	-	\$00001
\$000002	aktiv	-	\$000002	\$00001	-
⋮					
\$0E0000	aktiv	aktiv	-	\$07000	\$07000
\$0E0000	-	aktiv	\$0E0001	-	\$07000
⋮					
\$1C0000	aktiv	-	\$1C0000	\$E0000	-
\$1FFFFE	aktiv	aktiv	-	\$FFFFF	\$FFFFF
⋮					
\$FFFE00	aktiv	-	\$FFFE00	I/O \$00	-
\$FFFE02	aktiv	-	\$FFFE02	I/O \$01	-
⋮					
\$FFFFFFE	aktiv	-	\$FFFFFFE	I/O \$FF	-

Bild 8: Abbildung der Adressen am 68000 auf die Adressen am NDR-Computer-Bus

4. Aufbauanleitung

4.1 CMOS-Warnung

CMOS-Bausteine sind hochempfindlich gegen elektrostatische Aufladung! Bewahren oder transportieren Sie die CMOS-Bausteine nur auf dem leitenden Schaumstoff! Alle Pins müssen kurzgeschlossen sein!

Tip: Fassen Sie an ein geerdetes Teil (z.B. Heizung, Wasserleitung oder an den Schutzkontakt der Steckdose, bevor Sie einen Baustein berühren.

Bitte beachten Sie hierzu auch den Artikel "Schutzmaßnahmen für MOS-Schaltungen" in unserer Zeitschrift LOOP3.

4.2 Stückliste

Stückliste CPU68000

Ausgabe 2
23.09.1985

1	Original GES-Platine mit Lötstoplack CPU68000 r2		
1	Handbuch Ausgabe 1		
1	555 ✓	IC1	Timer
1	7404 ✓	IC6	6 Inverter
1	7405 ✓	IC2	6 Inverter mit offenem Kollektor
1	74LS00 ✓	IC10	4*2 NAND
1	74LS04 X	IC3	6 Inverter
1	74LS20	IC5	2*4 NAND
2	74LS139 ✓	IC4, IC8	2*2-Bit Binärdekoder
1	74LS164	IC7	8-Bit Schieberegister mit paralleler Ausgabe
2	74LS245 X	IC11, IC12	8-Bit bidirektionaler Bus-Transceiver mit Tri-State Ausgängen
3	74LS373 ✓	IC13..15	8 D-Flipflops mit Tri-State Ausgängen
1	68000 12 MHz	IC9	Mikroprozessor
14	100 nF	C2..C9, C11..C16	Kondensatoren
2	10 uF tantal	C1, C10	"
1	47 Ohm	R6	Widerstände
2	1 KOhm	R2, R3	"
3	4,7 KOhm	R1, R4, R5	"
1	100 KOhm	R7	"
1	8*3,3 KOhm	N1	Netzwerkwiderrstand
1	SO 8		IC-Fassung
6	SO 14		"
2	SO 16		"
5	SO 20		"
1	SO 64		"

1		ST1	1*2-pol. Stiftleiste gewinkelt
1		ST2	2*8-pol. Stiftleiste gerade
1		ST3	2*36-pol. Stiftleiste gewinkelt und 2*18-pol. Stiftleiste gewinkelt
1			Shuntstecker
1	Drucktaster mit Kappe	S1	
1	Quarz 12 MHz	Q1	

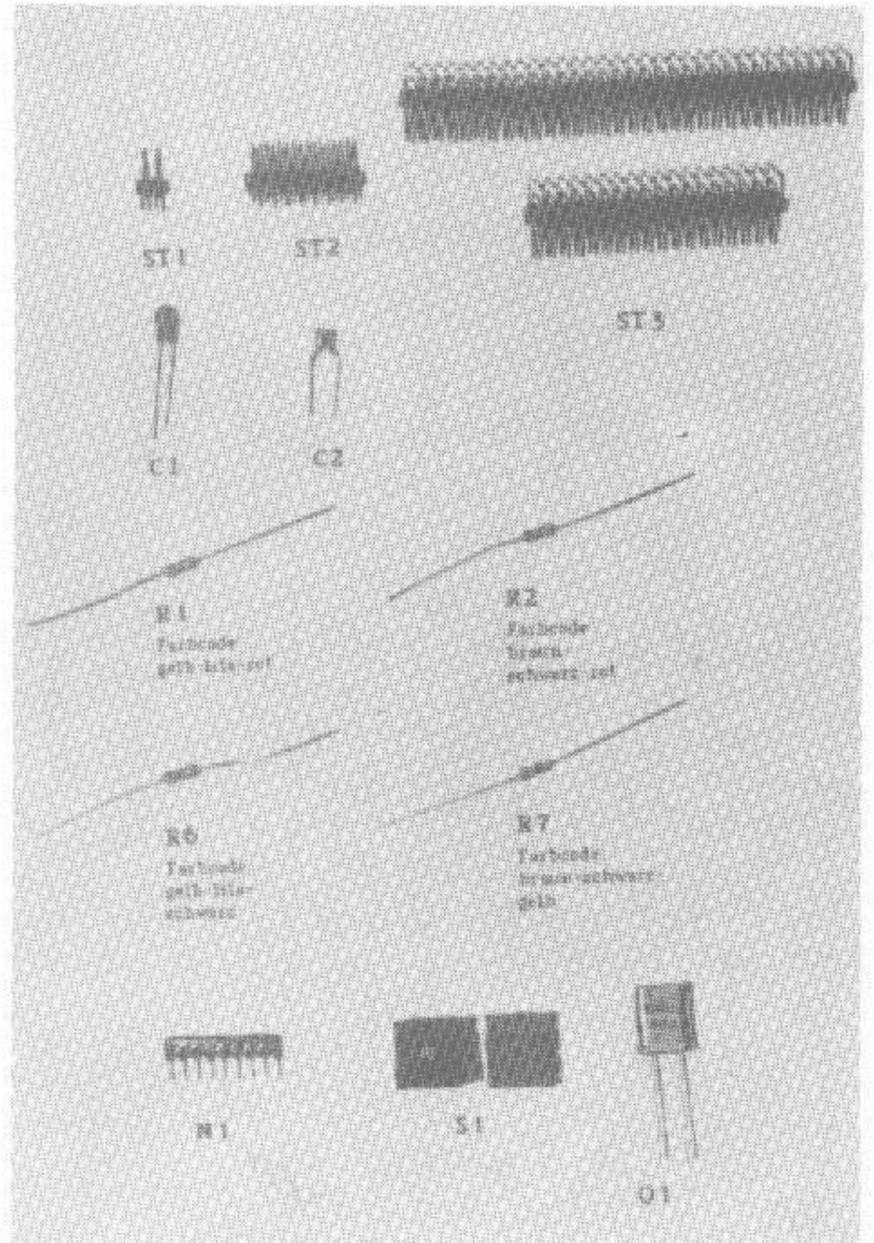


Bild 10:
Einzelne Bauteile aus dem Bausatz

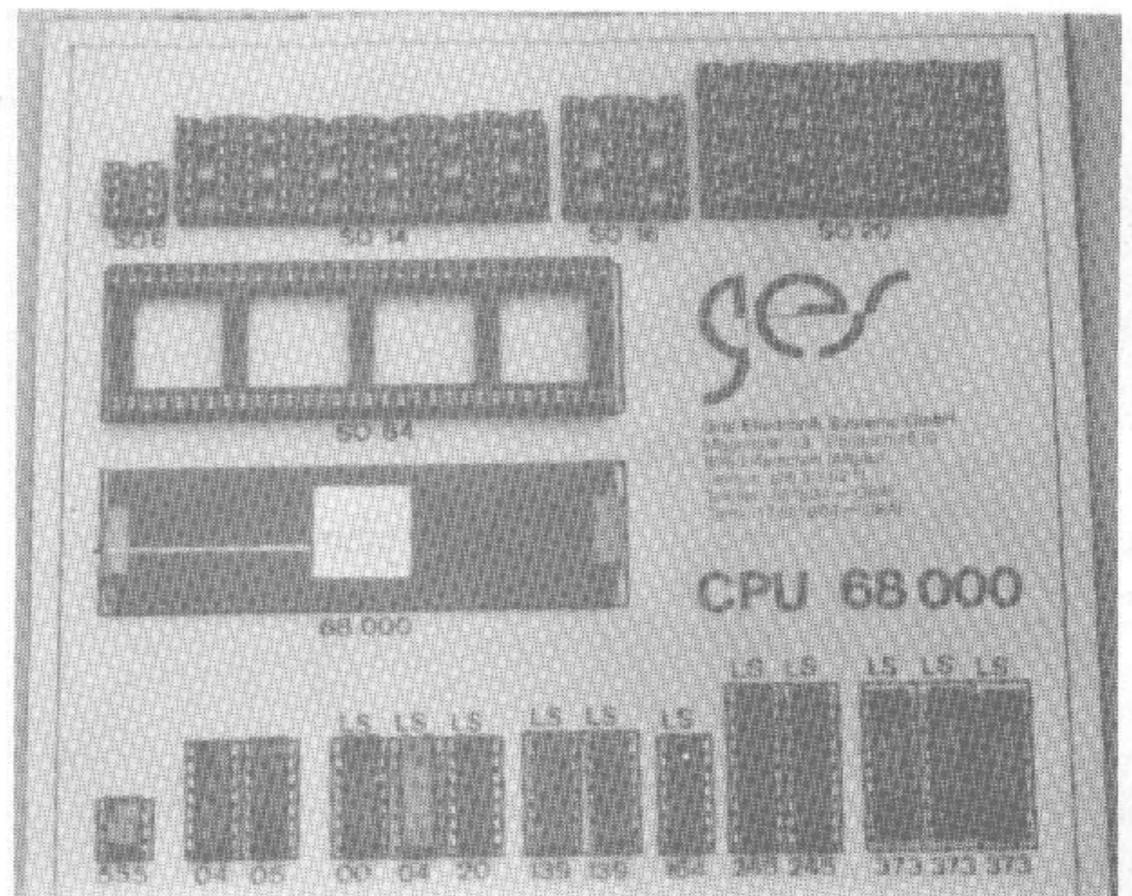
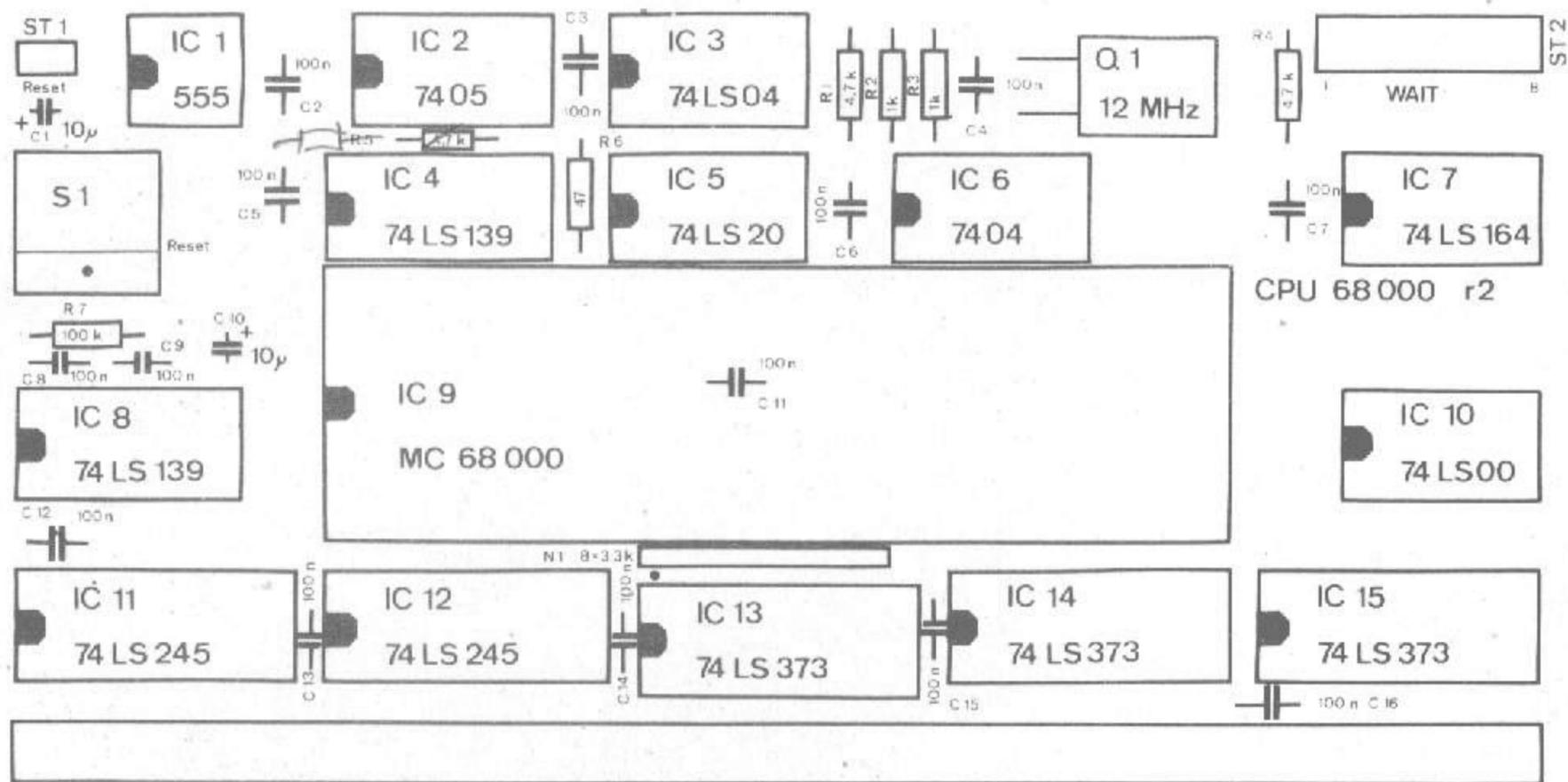


Bild 11:
Bausatz-Bestückung

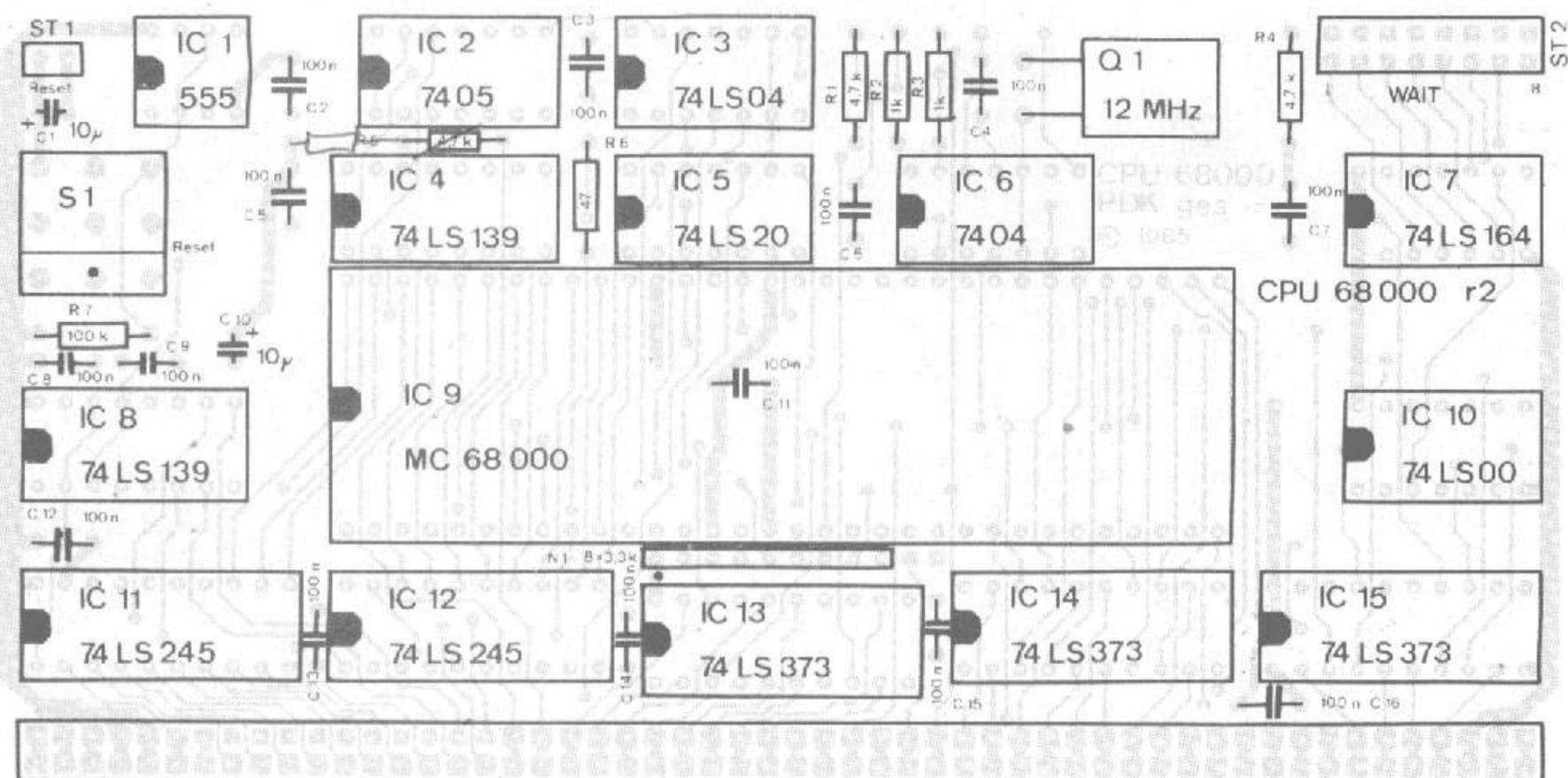
4.3 Bestückungsplan



Graf Elektronik Systeme GmbH

ST3

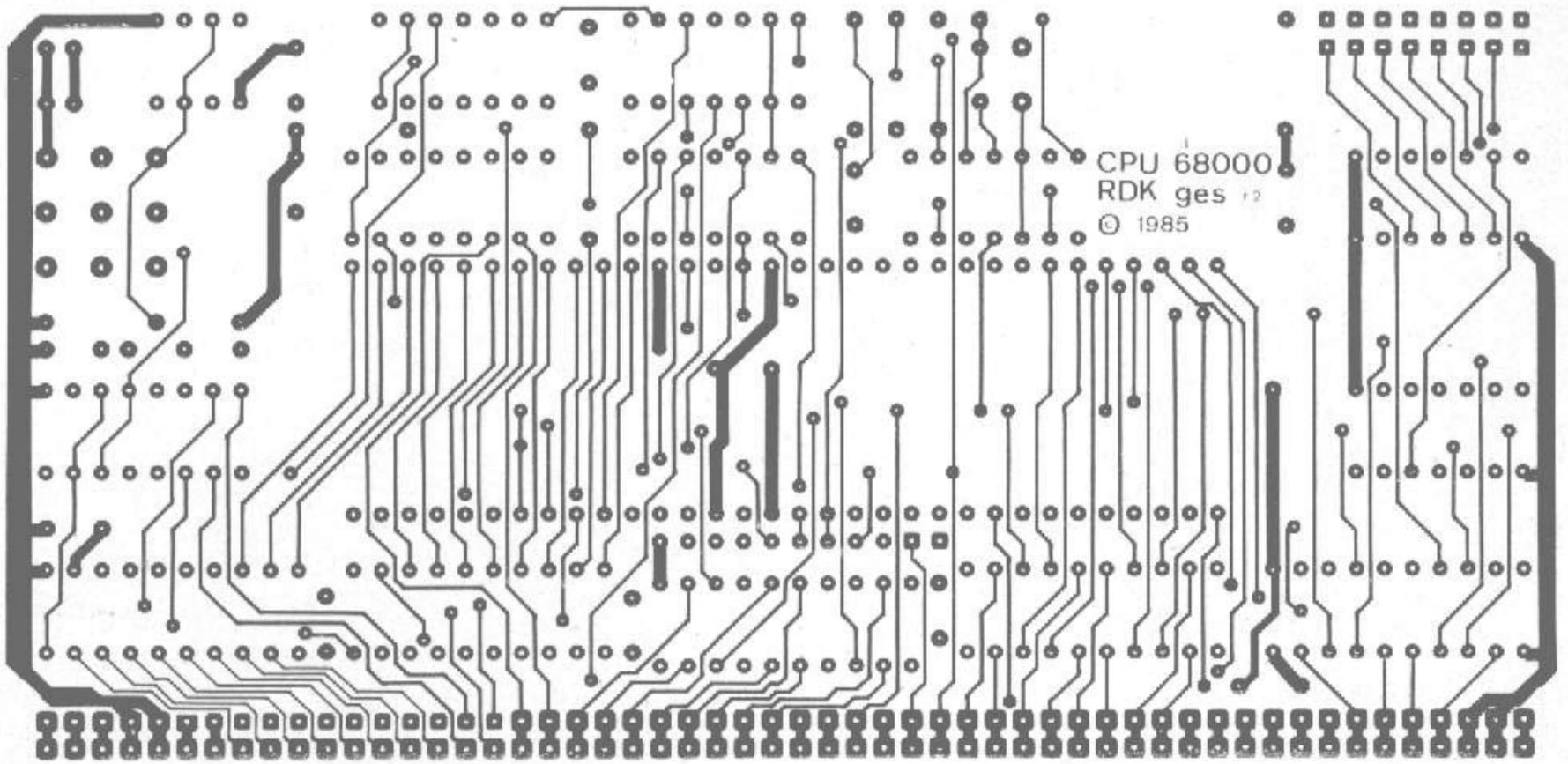
4.4 Layout Bestückungsseite mit Bestückungsplan



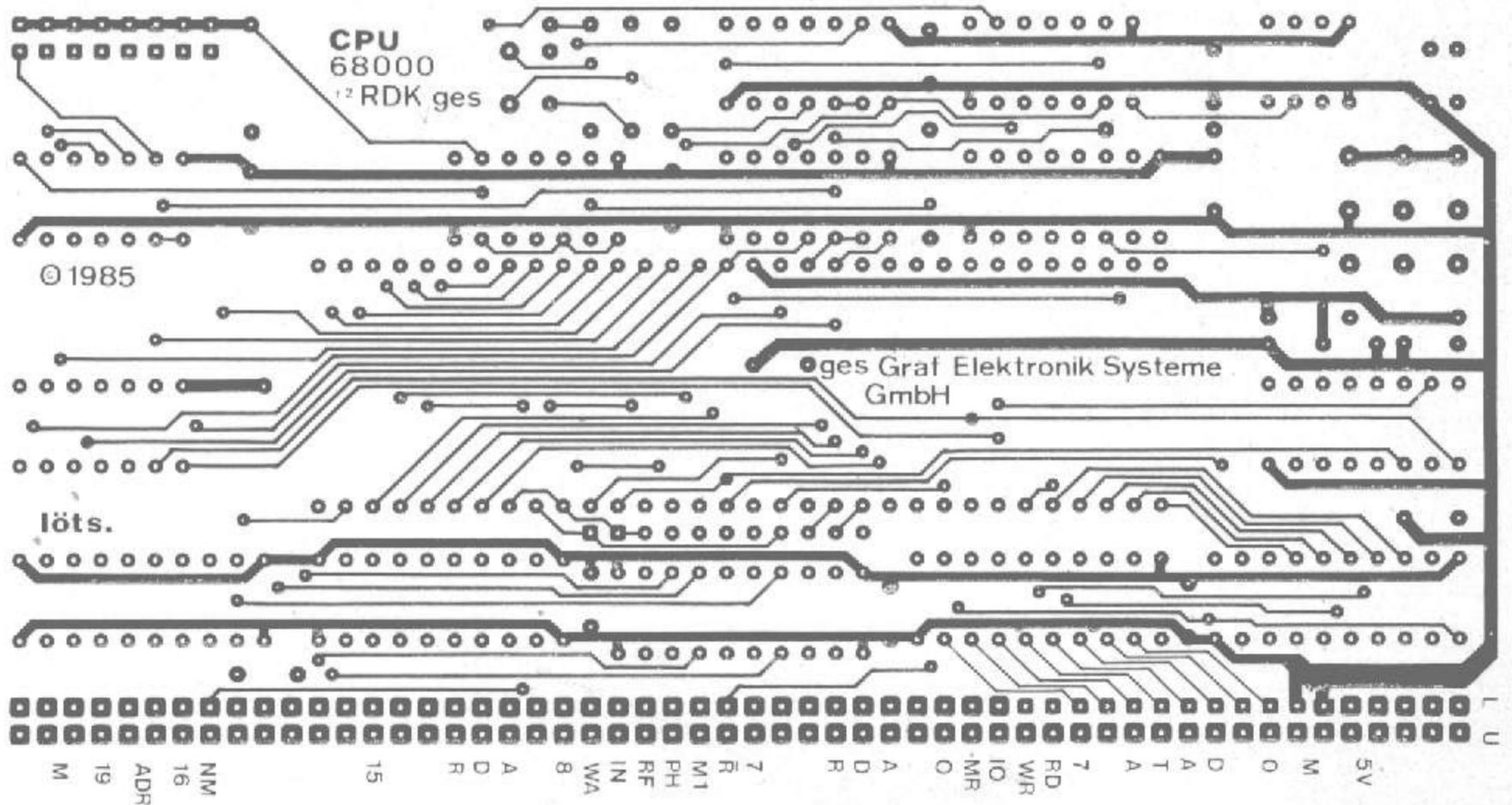
Graf Elektronik Systeme GmbH

ST3

4.5 Layout Bestückungsseite



4.6 Layout Lötseite



4.7 Aufbau Schritt für Schritt

Auf einer Seite der Platine steht der Hinweis "löts" (Lötseite); auf dieser Seite wird ausschließlich gelötet. Die Bauteile sind nur auf der anderen Seite aufzustecken, der Bestückungsseite, die in Kapitel 4.5 zu erkennen ist.

Bei dieser Baugruppe sollte man nicht mit dem Einlöten der gewinkelten Steckerleiste beginnen. Es gibt einige Besonderheiten zu beachten: so ist in diesem Fall die Bauhöhe der IC-Sockel etwas geringer als die Höhe der eingelöteten Steckerleiste; wenn man sie nach der Steckerleiste einlöten wollte, lägen sie nicht mehr flach auf der Platine auf. Außerdem muß unter der 64-poligen IC-Fassung (für den Prozessor) ein kleiner Kondensator eingelötet werden, der leider meistens unter dem mittleren Steg der IC-Fassung zu liegen kommt; eventuell muß man diesen Steg mit einem scharfen Messer oder einem Seitenschneider vorsichtig heraustrennen.

Man beginnt also am besten mit diesem Kondensator (100 nF) und lötet danach die IC-Sockel ein. Dabei muß darauf geachtet werden, daß die Sockel richtig aufgesteckt werden. Im Bestückungsplan sind die Richtungen mit einer Kerbe gekennzeichnet. Sie muß mit der Richtung der Kerbe in der Fassung übereinstimmen. Außerdem ist die Lage der Fassungen auch auf der Bestückungsseite der Platine durch den Aufdruck sehr deutlich zu erkennen. Es sollten alle Fassungen auf einmal aufgesteckt werden; zum Verlöten wird dann die Platine mit den noch losen Fassungen umgedreht; dabei ist es hilfreich, wenn man beim Umdrehen die Fassungen mit einem Stück Karton auf die Platine drückt. So wird erreicht, daß die Fassungen alle eben und gerade liegen. Es sollten nur gegenüberliegende Pins jeder Fassung verlötet werden; so können anschließend schräg liegende Fassungen noch problemlos korrigiert werden. Bevor die restlichen Pins verlötet werden, sollte man noch auf dem Bestückungsplan nachsehen, ob die Richtungen der Fassungen stimmen.

Wenn nun alle IC-Sockel eingelötet sind, kann man die gewinkelten Stiftleisten für den Bus einlöten. Bitte achten Sie darauf, daß die Leiste parallel zur Platine liegt, damit Sie die Baugruppe gut auf den Bus stecken können. Dabei sollten zuerst die beiden äußeren Stifte und einer in der Mitte verlötet werden. Dann empfiehlt es sich nachzuschauen, ob die Stiftleisten parallel zur Platine liegen und ob keine "Bäuche" zwischen den verlöteten Stiften liegen. Sollten "Bäuche" vorhanden sein, muß wiederum in der Mitte der "Bäuche" ein Stift unter Druck angelötet werden. Liegt die Steckerleiste dann richtig, können die restlichen Stifte angelötet werden.

Die Kondensatoren C1 und C10 sind gepolt und dürfen auf keinen Fall falsch herum eingelötet werden. Der Pluspol ist mit einem "+" und evtl. einem schwarzen Strich gekennzeichnet. Im Bestückungsplan ist der Pluspol ebenfalls mit einem "+" gekennzeichnet. Die Kondensatoren C2..C9 und C11..C16 sind ungepolt und können ohne auf die Polung zu achten eingelötet werden.

Die Widerstände können entsprechend den Werten eingelötet werden: beim Widerstandsnetzwerk N1 ist unbedingt auf die richtige Richtung zu achten: der weiße Punkt kennzeichnet den Pin 1. Die Einlötrichtung des Quarzes ist egal, man sollte jedoch den Quarz so einlöten, daß die Beschriftung jederzeit erkennbar ist.

Nun wird noch die 2*8-polige Stiftleiste (ST2) für den Jumper 1 (JMP1) eingelötet. Die 1*2-polige gewinkelte Stiftleiste (ST1) braucht nur eingelötet zu werden, wenn man einen Reset-Taster am Gehäuse anbringen möchte.

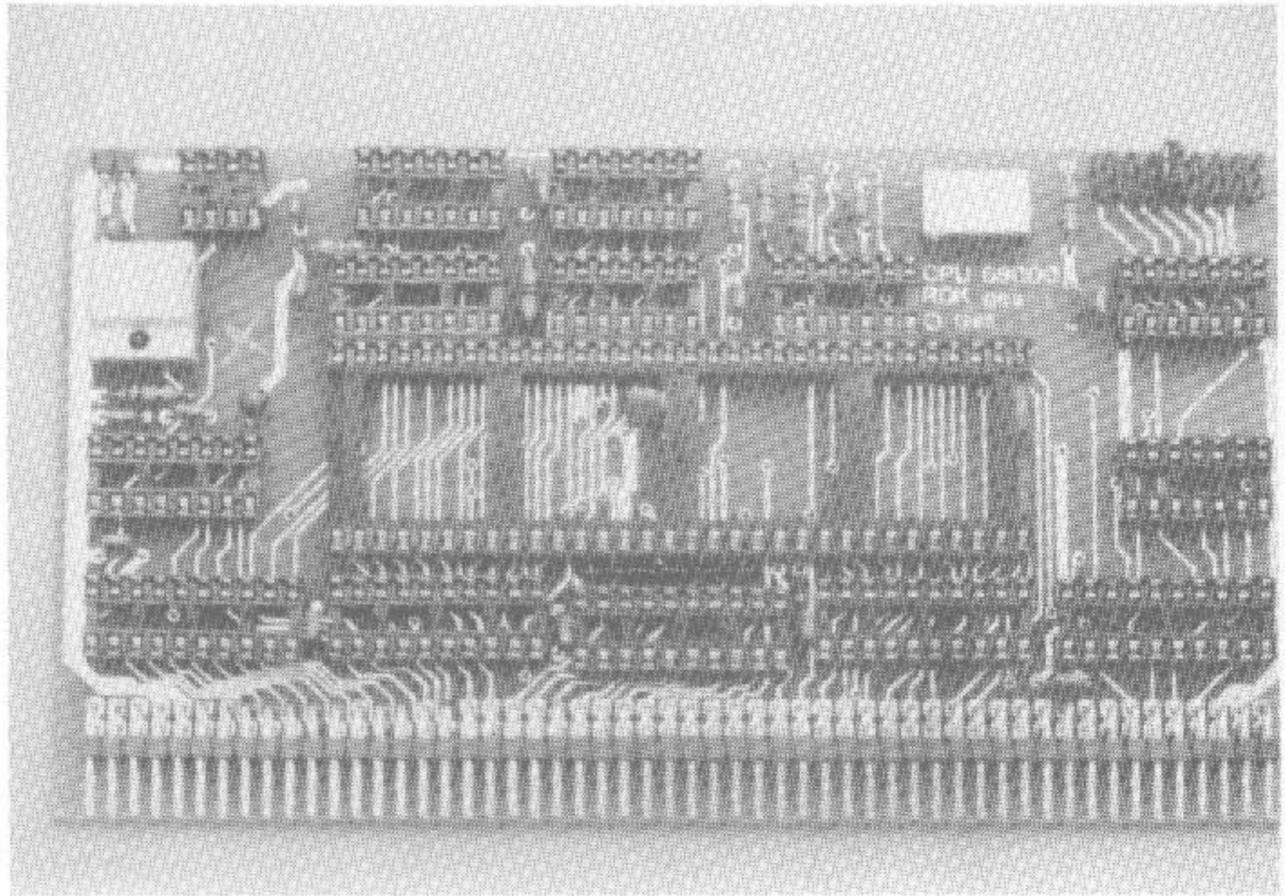


Bild 16: Leiterplatte komplett mit passiven Bauteilen bestückt

5. Testanleitung

5.1 Erste Prüfung ohne ICs

Die Platine ist bis jetzt erst mit den Sockeln und mit den passiven Bauelementen bestückt. Mit diesem Aufbau wird der erste Test durchgeführt.

Man mißt, ob an allen IC-Sockeln die Versorgungsspannung von 5V ankommt. Achtung: bei der 68000-CPU liegt 5V an Pin 14 und Pin 49. Masse liegt an Pin 16 und 53.

Nun können alle ICs eingesetzt werden. Dabei muß auf die Richtung der ICs geachtet werden. Die Markierung auf dem IC muß mit der Kerbe in der Fassung übereinstimmen.

Achten Sie beim Einsetzen der Baugruppe in den Bus darauf, daß Sie die Baugruppe richtig einsetzen. Ein falsches Einstecken, z.B. um ein Bus-Loch zu weit rechts oder falsch herum zerstört evtl. einige Bausteine.

Bitte beachten Sie den besonderen Busanschluß (Kapitel 8).

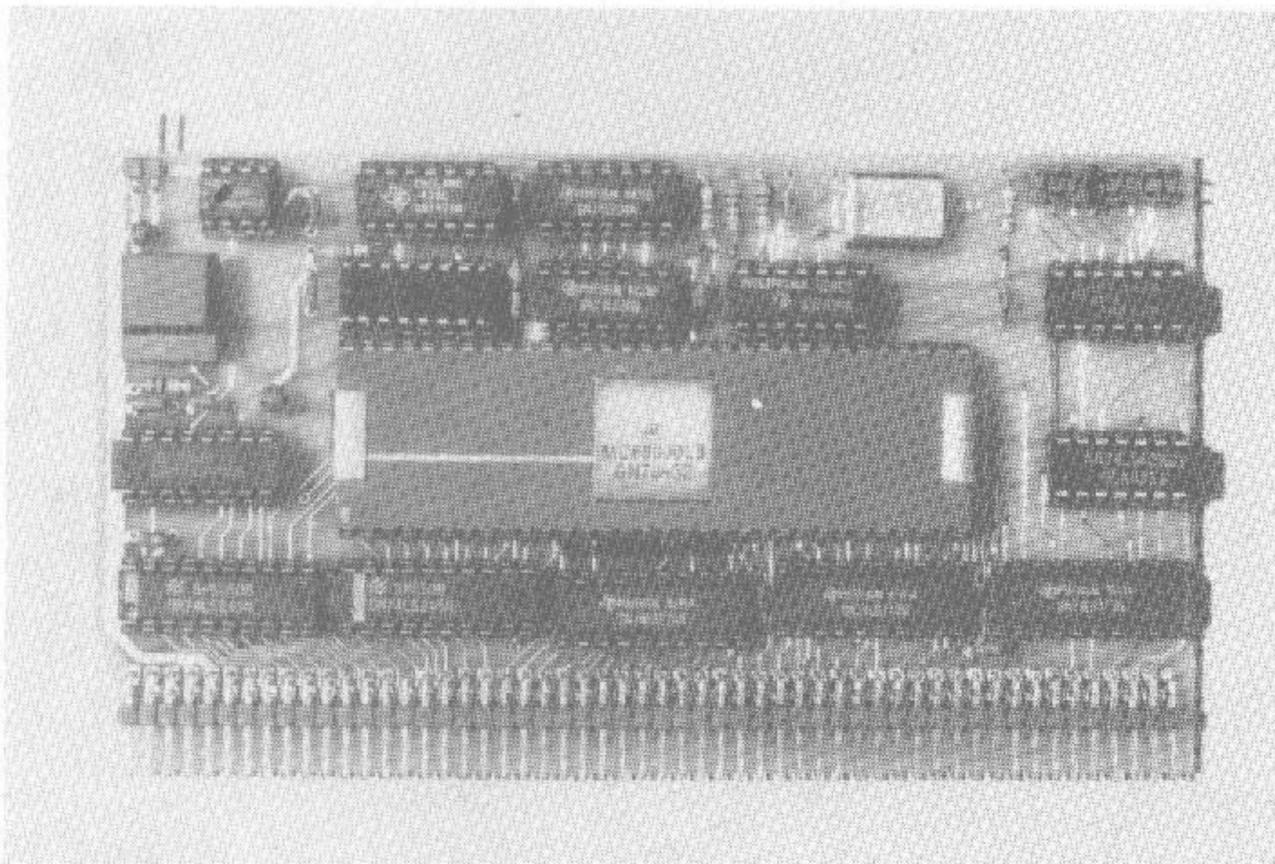


Bild 17: Fertiggerät CPU68000

5.2 Test der CPU68000 im System

Achtung: Bitte nehmen Sie zum Einsetzen und Entfernen von ICs oder sonstigen Bauteilen immer die Baugruppe aus dem System, aber NUR BEI AUSGESCHALTETER STROMVERSORGUNG!!!

Bestücken Sie Ihren Computer wie in Kapitel 3.2.1 vorgeschlagen. Wenn Sie das Grundprogramm für den 68000 (Bestell-Nr. EG68000) richtig eingesetzt haben und auch die beiden ROA64 richtig adressiert haben (auf beiden Karten Adresse 0, siehe Kapitel 3.2), sollte sich nach dem Einschalten der Stromversorgung das Grundprogramm mit einem Menü melden. Wenn dies nicht der Fall sein sollte, können wir Sie nur auf das Kapitel 6 verweisen.

5.3 Test mit anderen Baugruppen

Beim Einsetzen von anderen Baugruppen bedenken Sie bitte die ungewöhnliche Adressierung, die schon im Kapitel 3.2 beschrieben wurde:

- Speicherkarten müssen jeweils zu zweit eingesetzt werden, und zwar auf jede Seite der CPU68000 eine (beide müssen die gleiche Adresse haben). Wichtig für eventuelle Tests: die Seite, auf der auch die Peripherie steckt ("even"), wird mit geraden (Byte-)Adressen angesprochen, die andere ("odd") mit ungeraden (Byte-)Adressen.
- Peripheriekarten (z.B. KEY, GDP64K usw.) werden auf die "even"-Seite des Bus gesteckt. Sie können dort nur über "gerade" Adressen angesprochen werden, also z.B. FFFFFFFE00, FFFFFFFE02, FFFFFFFE04, ..., FFFFFFFE, FFFFFFF00, FFFFFFF02, ..., FFFFFFFFE. Welche Adresse eine Baugruppe hat, kann man herausfinden bzw. dem Assembler mitteilen, indem man die alte (bekannte) Adresse mit 2 multipliziert, z.B.

SER68008 EQU	\$FFFFFFF0			
SER68000 EQU	SER68008 * 2			
	\$FFFFFFE00	HEX 0	\$FFFFFFF00	PROMER
	\$FFFFFFE02	HEX 1	\$FFFFFFF02	PROMER
			\$FFFFFFF04	PROMER
	\$FFFFFFE80	SOUND		
	\$FFFFFFE82	SOUND	\$FFFFFFF10	HARDCOPY/MAUS
			\$FFFFFFF12	HARDCOPY/MAUS
	\$FFFFFFE90	CENT	\$FFFFFFF14	HARDCOPY/MAUS
	\$FFFFFFE92	CENT	\$FFFFFFF16	HARDCOPY/MAUS
	\$FFFFFFE00	GDP/Page	\$FFFFFFF80	FLO2
			\$FFFFFFF82	FLO2
	\$FFFFFFED0	KEY	\$FFFFFFF84	FLO2
	\$FFFFFFED2	KEY	\$FFFFFFF86	FLO2
			\$FFFFFFF88	FLO2/S
	\$FFFFFFE00	GDP		
	\$FFFFFFE02	GDP	\$FFFFFFF90	BANKSEL
	\$FFFFFFE04	GDP	\$FFFFFFF92	RELAIS
	\$FFFFFFE06	GDP	\$FFFFFFF94	CAS
	\$FFFFFFE08	GDP	\$FFFFFFF96	CAS
	\$FFFFFFE0A	GDP		
	\$FFFFFFE0C	GDP	\$FFFFFFFB0	SPRACHE
	\$FFFFFFE0E	GDP	\$FFFFFFFB2	SPRACHE
	\$FFFFFFE10	GDP	\$FFFFFFFB4	SPRACHE
	\$FFFFFFE12	GDP	\$FFFFFFFB6	SPRACHE
	\$FFFFFFE14	GDP	\$FFFFFFFB8	SPRACHE
	\$FFFFFFE16	GDP	\$FFFFFFFBA	SPRACHE
	\$FFFFFFE18	GDP	\$FFFFFFFBC	SPRACHE
	\$FFFFFFE1A	GDP	\$FFFFFFFBE	SPRACHE
	\$FFFFFFE1C	GDP		
	\$FFFFFFE1E	GDP	\$FFFFFFFC0	
			-\$FFFFFFFD6	AD16x
			\$FFFFFFFE0	SER
			\$FFFFFFFE2	SER
			\$FFFFFFFE4	SER
			\$FFFFFFFE6	SER
			\$FFFFFFF00	DA2*8
			\$FFFFFFF02	DA2*8
			\$FFFFFFF08	AD1*10
			\$FFFFFFFA	AD1*10
			\$FFFFFFFC	UHR
			\$FFFFFFFE	UHR

Bild 18: I/O-Adressbelegung für 68000

ACHTUNG: Auf der I/O-Baugruppe wird wie bisher die ganz normale Adresse eingestellt! Also z.B. für die serielle Schnittstelle die Adresse \$FFFFFFF0 auf der Karte einstellen, diese Karte aber im Programm mit \$FFFFFFE0 ansprechen!

Die auf den Karten einzustellenden Adressen kann man dem Buch '68008 Grundprogramm' entnehmen. Bestellnummer bei GES: 6012

6. Fehlersuchanleitung

Sollte Ihre CPU68000-Baugruppe bei den in Kapitel 5 beschriebenen Tests nicht funktionieren, so heißt es jetzt systematisch auf Fehlersuche zu gehen.

Wir wollen Ihnen nun ein paar Vorschläge machen, wie eine systematische Fehlersuche mit und ohne Oszilloskop vor sich gehen kann:

6.1 Mögliche Fehler und ihre Behebung

- 6.1.1 Sind die bisher verwendeten Baugruppen in Ordnung? (Funktionierte das System mit einer anderen CPU-Baugruppe, insbesondere CPU68K?)
- 6.1.2 Sind die Jumper richtig gesteckt (nicht nur auf der CPU68000-Baugruppe)? (vergleiche Kapitel 8)
- 6.1.3 Machen Sie zuerst eine Sichtprobe. Können Sie irgendwo auf der Platine unsaubere Lötstellen (zuviel Lötzinn, manchmal zieht das Lötzinn auch Fäden) erkennen, die eventuell einen Kurzschluß verursachen könnten? Dann müssen Sie diese Lötstellen nachlöten und die unzulässige Verbindung beseitigen.
- 6.1.4 Haben Sie auch alle ICs richtig herum am richtigen Platz aufgesteckt? (vergleiche mit Bestückungsplan)
- 6.1.5 Sind alle gepolten Bauteile (Elkos, Dioden, usw.) richtig herum eingelötet?
- 6.1.6 Haben Sie auch keine Lötstelle vergessen zu löten? (sehen Sie lieber noch einmal nach)
- 6.1.7 Sehen Sie irgendwo "kalte Lötstellen"? Kalte Lötstellen erkennt man daran, daß sie nicht glänzen, sie sind im Vergleich mit richtig gelöteten Lötstellen trübe.
- 6.1.8 Haben Sie auch nicht zu heiß gelötet? Wenn der LötKolben zu heiß eingestellt ist und (oder) Sie zu lange auf der Lötstelle bleiben, dann kann es passieren, daß sich die Leiterbahnen von der Platine lösen und sich Unterbrechungen bilden. Ferner kann es auch passieren, daß Durchkontaktierungen unterbrochen werden, oder daß Bauteile durch zu heißes Löten zerstört werden.

6.1.9 Nehmen Sie alle ICs aus ihren Fassungen. Nehmen Sie sich die Layouts zur Hand und kontrollieren Sie alle Leiterbahnen mit einem Durchgangsprüfer oder mit einem Ohmmeter auf Durchgang. Bereits kontrollierte Leiterbahnen können Sie auf dem Layout mit Bleistift durchzustreichen.

6.1.10 Prüfen Sie die Versorgungsspannung mit einem Digital-Voltmeter. Hat Sie 5.0V? Toleranzen von $\pm 5\%$, also von 4.75V bis 5.25V sind zulässig. Falls die Spannung zu gering ist, prüfen Sie, ob die Verbindung vom Netzteil zum Bus mit ausreichend dickem Draht (2mm Durchmesser erfolgt ist. Gegebenenfalls müssen Sie Ihr Netzteil nachregeln. VORSICHT: nie über 5.1V nachregeln, da sich auf einigen Platinen Zenerdioden 5.1V befinden. Übrigens: Wir empfehlen 5,05 V.

Wenn Sie alle Leiterbahnen kontrolliert haben und nichts gefunden haben, dann ist die Wahrscheinlichkeit groß, daß ein Bauteil defekt ist.

Wenn Sie einen Prüfstift oder ein Oszilloskop haben, dann können Sie jetzt überprüfen, ob an den jeweiligen Ausgängen die richtigen Signale anliegen. Welche Signale wo anliegen müssen, können Sie aus der Schaltungsbeschreibung in Verbindung mit dem Schaltplan herausfinden.

Falls Sie keine Meßgeräte haben, dann müssen Sie alle Bauteile systematisch austauschen, bis Sie das defekte Bauteil gefunden haben. Verwenden Sie dazu eventuell eine zweite Baugruppe (die eines Freundes oder eines Bekannten).

Sollten Sie gar nicht zurande kommen, hilft Ihnen unser Pauschal-Reparatur-Service, dessen Bedingungen Sie der Preisliste entnehmen können.

7.2 Funktionsbeschreibung der CPU68000

Der Takt wird mit dem IC6 (7404, Pin 8 bis 14). Die Quarzfrequenz beträgt 12 MHz. Die Reset- oder Startlogik wird durch das IC1 (555) gebildet. Dieses IC ist als Monoflop geschaltet. Man hätte auch ein 74121 verwenden können, jedoch ist das IC 555 in seinen Abmessungen kleiner und liefert sehr präzise Zeitsignale, auch bei großer Länge. Der -HALT- und -RESET-Eingang der CPU erhalten beide das RESET-Signal nach dem Spannungseinschalten oder wenn man die Reset-Taste drückt. Da -RESET und -HALT auch Ausgänge sein können, werden sie über Gatter mit offenen Kollektorausgängen (7405, IC2) angesteuert. Der -RESET-Ein/Ausgang der CPU ist zudem so verschaltet, daß er auch einen Reset am Bus auslösen kann. Dazu gibt es beim 68000 einen eigenen Befehl. Die vier Ein-Aus-Vier-Decoder in den 74LS139 (IC 4 und 8) haben die Aufgabe, aus den 68000-Steuersignalen die Z80-ähnlichen Signale für den Bus zu erzeugen. Bild 20 zeigt die Wahrheitstabelle für das IC. Das -IORQ-Signal wird immer dann erzeugt, wenn auf den Adressbereich Fxxxxx zugegriffen wird. Bei allen anderen Adressbereichen wird das Signal -MREQ erzeugt. Dabei wird aber nur der Adressbereich 000000 bis 1FFFFFF auf unserem Bus genutzt.

\bar{G}	B	A	0	1	2	3
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	x	x	1	1	1	1

Bild 20:

Die Wahrheitstafel des Bausteines 74LS139

Für die Peripherie stehen theoretisch 131072 Adressen zur Verfügung. Auf den NDR-Standard-Baugruppen werden jedoch nur die Adreßleitungen A0 bis A7 zur Decodierung herangezogen. Man kann also real nur 256 verschiedene Adressen vergeben, wie es auch beim Z80 vorgesehen ist. An die Decoder 74LS139 ist zusätzlich das Signal -VPA geführt. Es dient, wie hier verschaltet, der Interrupt-Steuerung beim 68000. Es wird genauso wie beim 68008 der nicht vektorisierte Interrupt verwendet. Wenn der 68000 die Leitungen FC0 bis FC2 auf 1-Pegel legt, zeigt er damit an, daß er eine Interrupt-Anforderung erkannt hat. Mit dem IC5 (74LS20) wird daraus das Signal -VPA erzeugt, welches dem Prozessor mitteilt, daß er keinen Interrupt-Vektor vom Bus lesen soll. Daher wird auch die Erzeugung der Bussignale -MREQ und -IORQ verhindert.

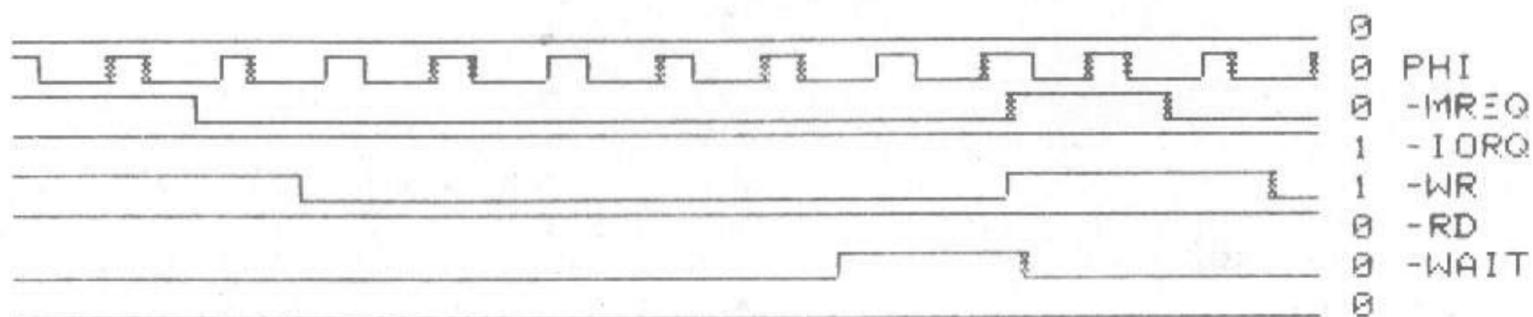
Die Bausteine IC11..IC15 dienen der Pufferung der Daten- und Adreßleitungen.

Eine Besonderheit stellt das IC 74LS164 (IC7) auf der CPU-Karte dar. Damit lassen sich sogenannte Warte-Zyklen einfügen. Wenn man eine Brücke bei JMP1 (in der Stückliste als ST2 bezeichnet) einsetzt, wird jeder Zugriff auf den Speicher oder die Peripherie verlängert. Der kürzeste Wartezyklus ist über die Brücke zum Eingang A, der längste über den Eingang zur Brücke H eingestellt. Ganz ohne Brücke erfolgen alle Zugriffe mit maximaler Geschwindigkeit.

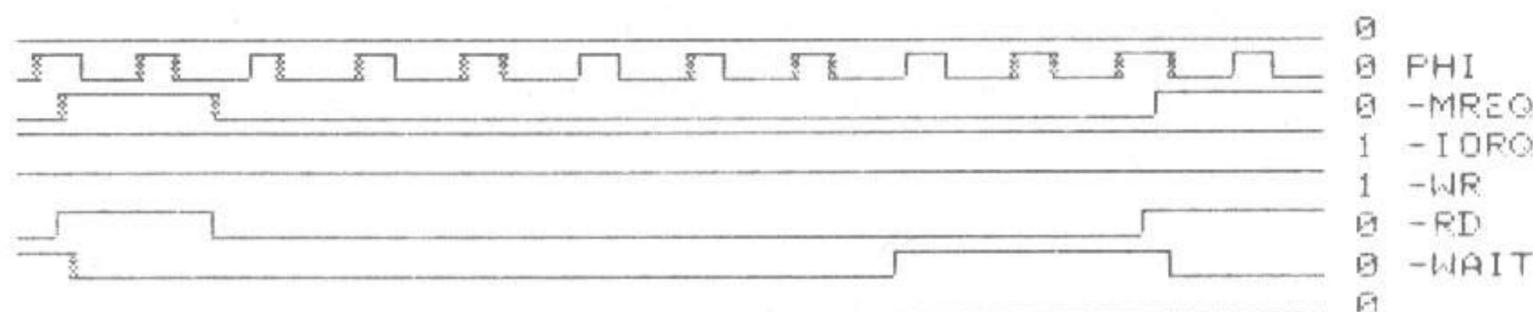
Diese Warte-Zyklen werden nötig, wenn Peripherie- oder Speicher-karten die Daten nicht so schnell liefern oder annehmen können, wie die CPU sie haben bzw. liefern möchte. Dies ist zum Beispiel bei der Baugruppe FLO2 der Fall; die Baugruppe FLO3 erzeugt die nötigen Wartezyklen selbst (diese werden über die Leitung -WAIT an die CPU-Baugruppe weitergeleitet, s.u.).

Die CPU besitzt einen Eingang mit der Bezeichnung -DTACK. Liegt er auf 0V, was ohne Brücke über R4 und IC6 (Inverter) erzwungen wird, so wird jeder Zugriff mit maximaler Geschwindigkeit durchgeführt. Wenn man eine der genannten Brücken einsetzt, ist das IC7 (74LS164), ein Schieberegister, für die -DTACK-Erzeugung verantwortlich. Das Signal DS am CLR-Eingang des Schieberegisters sorgt dafür, daß alle Ausgänge des Schieberegisters auf 0V liegen, wenn ein Zugriff erfolgen soll. Über die Brücke gelangt das Null-Signal an den Inverter und am Ausgang des Inverters liegt jetzt ein 1-Signal, das an den -DTACK-Eingang der CPU gelangt. Die CPU wartet nun so lange, bis das -DTACK-Signal am Eingang wieder auf 0 geht. Dies geschieht nun in Abhängigkeit von der Brückenstellung. Denn unmittelbar nachdem das -DS-Signal auf 0 geht, um einen Zugriff zu signalisieren, wird eine 1, die an den Pins 1 und 2 dauernd anliegt, durch den Schiebetakt an CLK der Reihe nach von Ausgang A nach Ausgang H durchgeschoben. Wenn die Brücke zum Beispiel an D angeschlossen wurde, kommt das 1-Signal erst nach dem vierten Schiebetakt am Ausgang D an. Also wird der -DTACK-Eingang der CPU nach dem vierten Takt auf 0 gehen und die CPU wird erst jetzt den Zugriff abschließen. Zusätzlich ist die Busleitung -WAIT in die -DTACK-Erzeugung mit einbezogen. Dadurch können auch andere Karten die CPU anhalten, wenn sie mit einem -WAIT-Signal anzeigen, daß sie noch Zeit benötigen. Dieses wird z.B. beim Betrieb mit dynamischen Speichern verwendet.

a) Ein Schreibzugriff (Signale auf dem Bus)



b) Ein Lesezugriff



c) Ein I/O-Zugriff (schreibend)

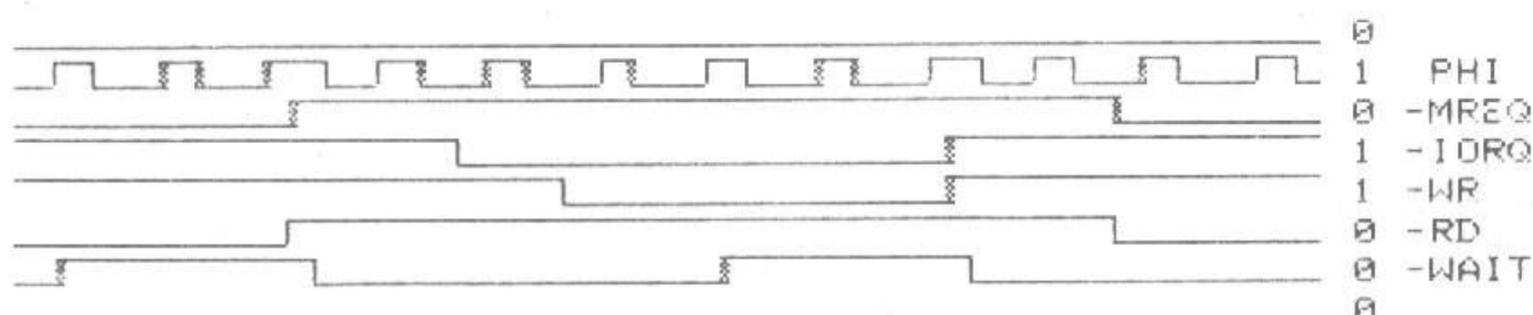


Bild 21: einige Timing-Diagramme von der CPU68000

8. Anwendungsbeispiele

- Hohe Geschwindigkeit
- CP/M68K
- Steuerungen mit hohen Geschwindigkeitsanforderungen

Achtung: da die CPU68000 mit 12MHz betrieben wird, hat sie eine große Geschwindigkeit bei allen Buszugriffen. Daher kann es zu Störungen kommen, wenn nicht alle Baugruppen mit dieser Geschwindigkeit arbeiten können. Man sollte für alle Fälle also auf der CPU-Karte den JMP1 in die zweite Position stecken.

8.1 CPU68000 mit Grundprogramm 4.3

Für diese Konfiguration können alle Beispiele aus dem Buch "68008 - Grundprogramm" eingegeben werden; sie laufen ohne Probleme auch auf der CPU68000. Das Listing in diesem Buch ist auch für die CPU68000 gültig, man muß nur alle IO-Adressen mit 2 multiplizieren (siehe auch Kapitel 5.3)

8.2 CPU68000 mit CP/M68K

Das von uns vertriebene CP/M68K hat ein BIOS, welches ohne Änderungen sowohl auf der CPU68K (mit 68008) als auch auf der CPU68000 läuft. Das BIOS ist so geschrieben, daß alle I/O-Funktionen über das Grundprogramm abgewickelt werden. Nur dieses ist für die Baugruppen CPU68K und CPU68000 unterschiedlich.

Allerdings benötigt man für diesen Einsatz zwei BANKBOOT-Baugruppen und besondere BOOT-EPROMs. Diese sind mit "even" und "odd" gekennzeichnet und gehören auf die jeweilige Baugruppe BANKBOOT auf der entsprechenden Seite der CPU. Auf der "odd"-Seite muß noch eine kleine Hardware-Änderung ausgeführt werden: am IC11 (74LS32) muß der Pin 11 hochgebogen werden, so daß er mit der Leiterplatte keinen Kontakt mehr erhält.

Achtung: Zum Formatieren von Disketten unter CP/M68K mit der CPU68000 benötigen Sie das Formatierprogramm UF068000 !

9. Diverses

- Die Baugruppe CPU68000 ist nicht DMA-fähig
- Der Quarztakt (bei uns 12MHz) ist nicht vorgeschrieben. Ebenso kann man die Baugruppe auch mit 6, 8, 10 oder 16 MHz betreiben, wenn man die entsprechenden CPU-Ausführungen hat.
- Beim Betrieb der Baugruppe FLO2 zusammen mit der CPU68000 muß die Leitung -INT vom Floppy-Controller zur CPU unterbrochen werden. Diese Unterbrechung kann sowohl auf der FLO2 als auch auf der CPU68000 vorgenommen werden.

9.1 Verbesserungsmöglichkeiten

- 1. Man könnte die Reset-Schaltung verbessern, so daß bei einem manuell ausgelösten Reset der Reset-Impuls so kurz wird, daß er keinen Einfluß auf den Speicherinhalt dynamischer RAMs ausübt.
- 2. Die Wartezyklen-Erzeugung könnte für I/O- und Speicherbaugruppen getrennt erfolgen. Dies hätte den Vorteil, daß langsame I/O-Baugruppen nicht mehr die Gesamtgeschwindigkeit des Systems verlangsamen.

9.2 Ausblick

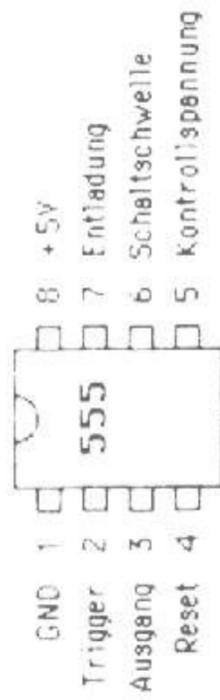
Korrekturen für dieses Handbuch werden in der Zeitschrift LOOP bekanntgegeben. Man sollte dann die fehlerhaften Stellen von Hand korrigieren).

Die Baugruppe CPU68020 wird auch von uns angeboten werden. Sie enthält den Mikroprozessor 68020, die echte 32-Bit-Version der 68000-Familie. Dieser Prozessor ist aufwärts-kompatibel zur CPU68000, allerdings wird es ein wesentlich umfangreicheres Grundprogramm geben...

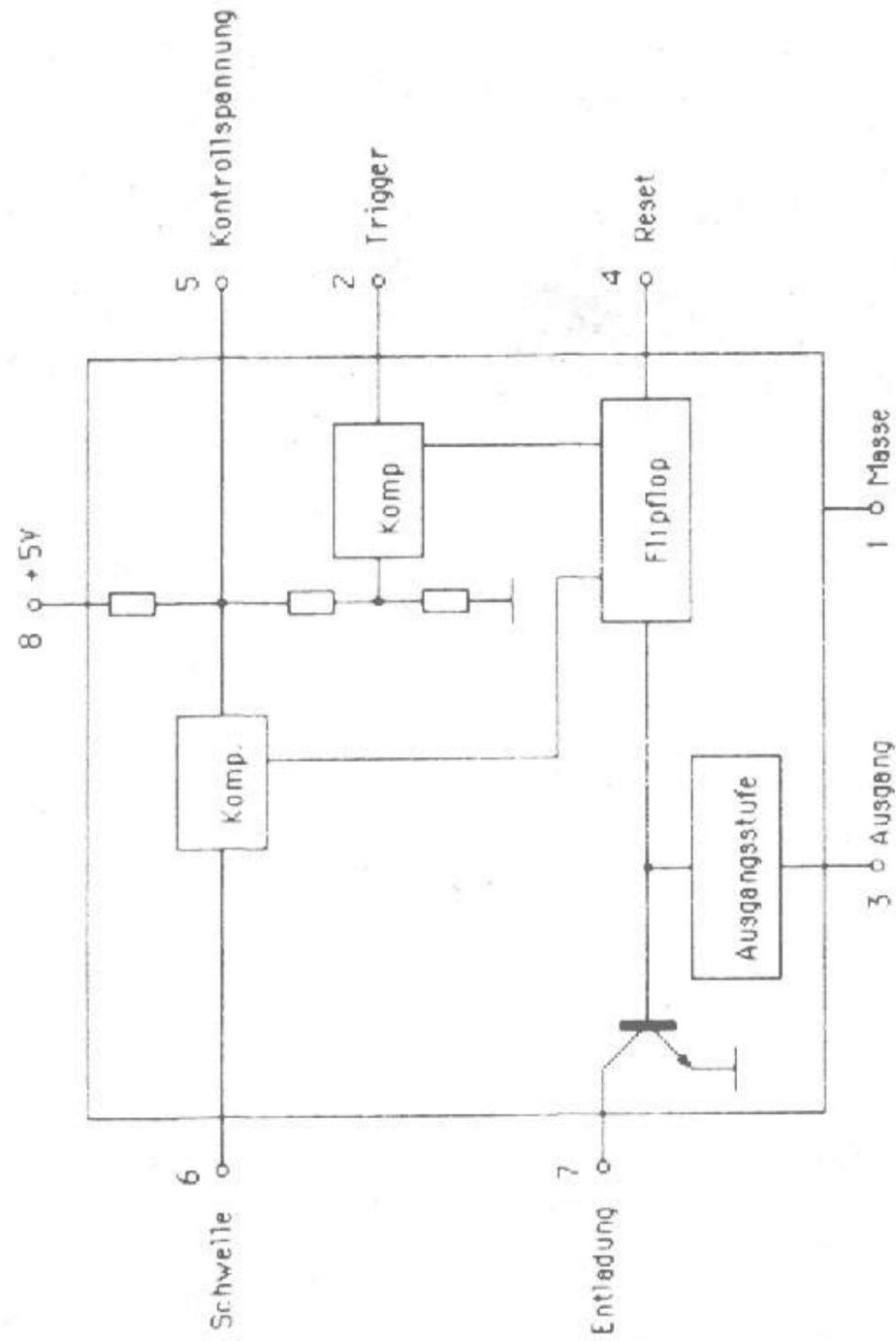
10. Unterlagen zu den verwendeten ICs

10.2 TTL-Bausteine 10.2.1 7404

10.1 Der Timer 555

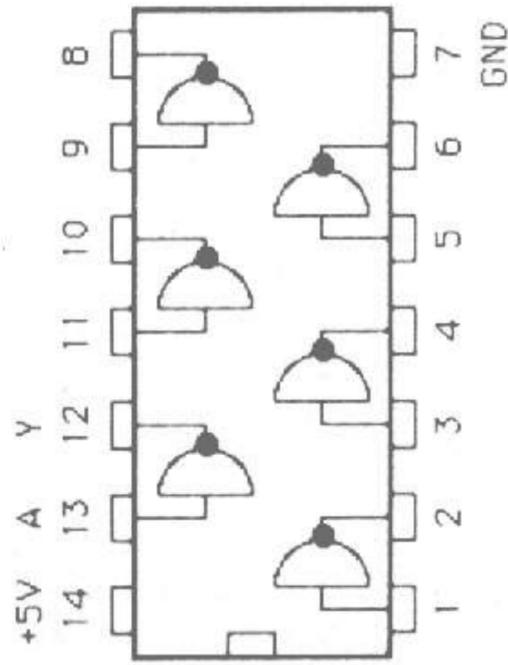


Blockschaltbild



7404

6 Inverter



Logiktablelle

A	Y
0	1
1	0

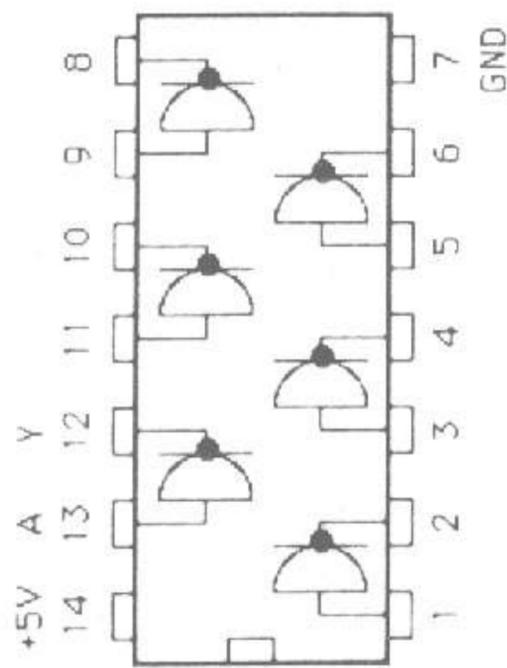
Typ Impuls-
Verzögerungszeit: 9 ns

Typ Versor-
gungsstrom: 25 mA

positive Logik:
 $Y = \bar{A}$

7405

6 Inverter mit offenen Kollektor Ausgängen



Logiktablelle

A	Y
0	1
1	0

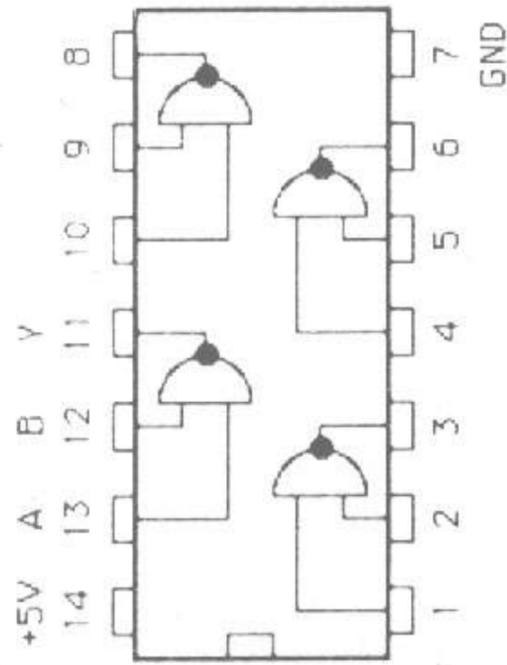
Typ Impuls-Verzögerungszeit 30 ns

Typ Versorgungstrom 25 mA

positive Logik
 $Y = \overline{A}$

74LS00

4 NAND-Gatter mit je zwei Eingängen



Logiktablelle

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Typ Impuls-Verzögerungszeit 10 ns

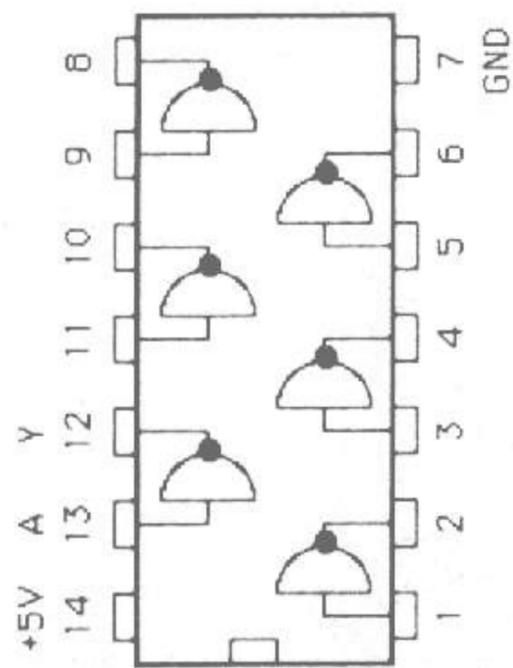
Typ Versorgungsstrom 2.5 mA

positive Logik
 $Y = \overline{AB}$

10.2.4 74LS04

74LS04

6 Inverter



Logiktablelle

A	Y
0	1
1	0

Typ Impuls-
Verzögerungszeit: 10 ns

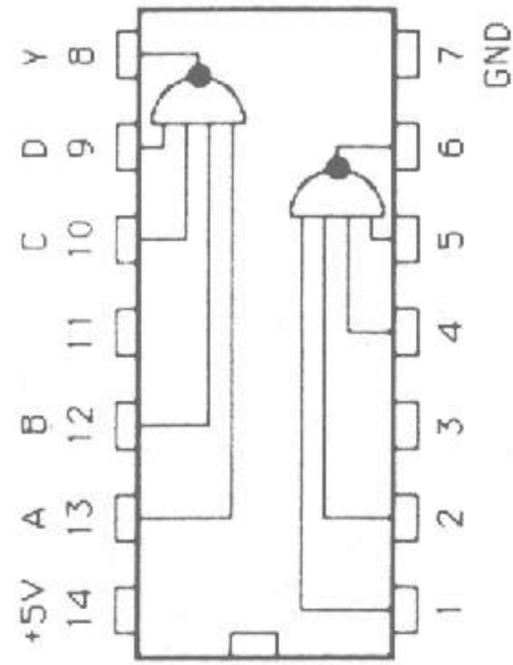
Typ. Versor-
gungsstrom: 4 mA

positive Logik:
 $Y = \bar{A}$

10.2.5 74LS20

74LS20

2 NAND-Gatter mit je vier Eingängen



Logiktablelle

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	1	1	0	0
1	1	1	1	0

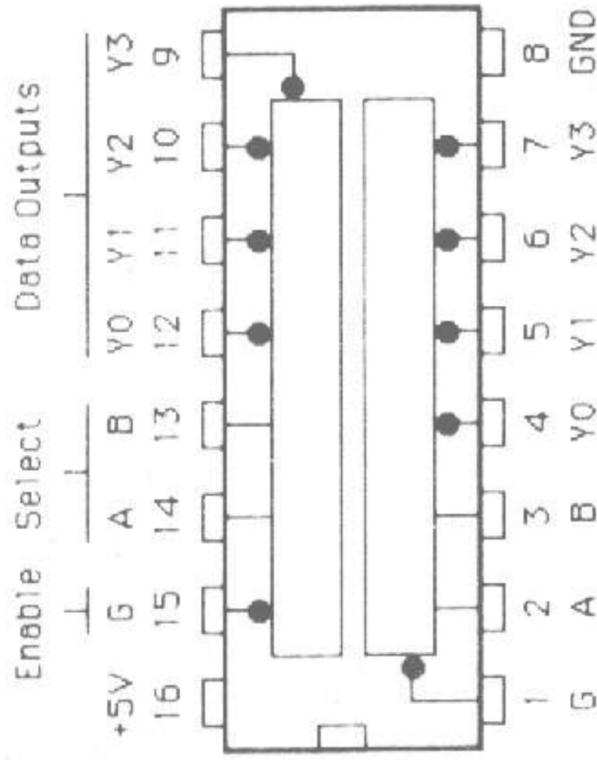
Typ. Impuls-
Verzögerungszeit: 10 ns

Typ. Versor-
gungsstrom: 1 mA

positive Logik:
 $Y = \overline{ABCD}$

74LS139

2 2-zu-4 Decoder/Demultiplexer



Logiktablelle

INPUTS		OUTPUTS			
Enable	Select	Y0	Y1	Y2	Y3
G	B A	H H H H	H H H H	L L L L	H H H H
H	x x	L L L L	H H H H	H H H H	L L L L
L	L L	L L L L	L L L L	H H H H	H H H H
L	L H	L L L L	L L L L	L L L L	H H H H
L	H L	L L L L	L L L L	L L L L	L L L L
L	H H	L L L L	L L L L	L L L L	L L L L

H = high level
 L = low level
 x = irrelevant

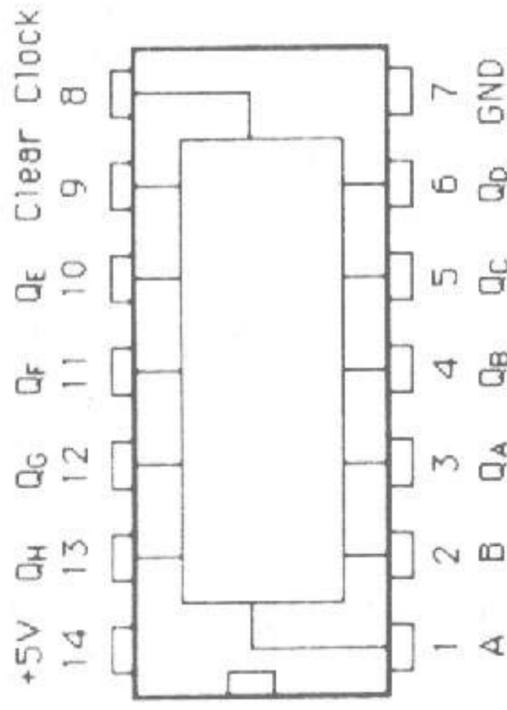
Typ. Impuls-Verzögerungszeit: 20 ns

Typ. Versorgungsstrom: 7 mA

positive Logik siehe Tabelle

74LS164

Schieberegister mit 8-Bit paralleler Ausgabe



Fuction Table:

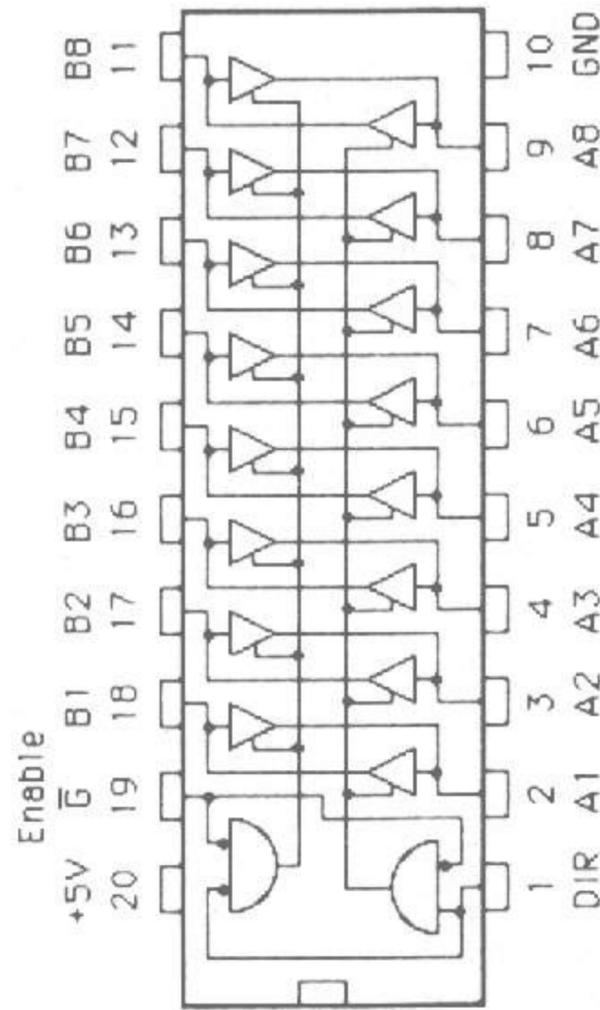
INPUTS		OUTPUTS			
Clear	Clock	A	B	QA	QB ... QH
L	x	x	x	L	L
H	L	x	x	QA0	QB0 ... QH0
H	↑	H	H	H	QA0 ... QH0
H	↑	L	x	L	QA0 ... QH0
H	↑	x	L	L	QA0 ... QH0

Typ. Impulsverzögerungszeit: 15 ns
 Typ. Versorgungsstrom: 20 mA

10.2.8 74LS245

74LS245

8-fach Bus-Transceiver mit 3-state Ausgängen



Function Table

ENABLE \bar{G}	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	x	Isolation

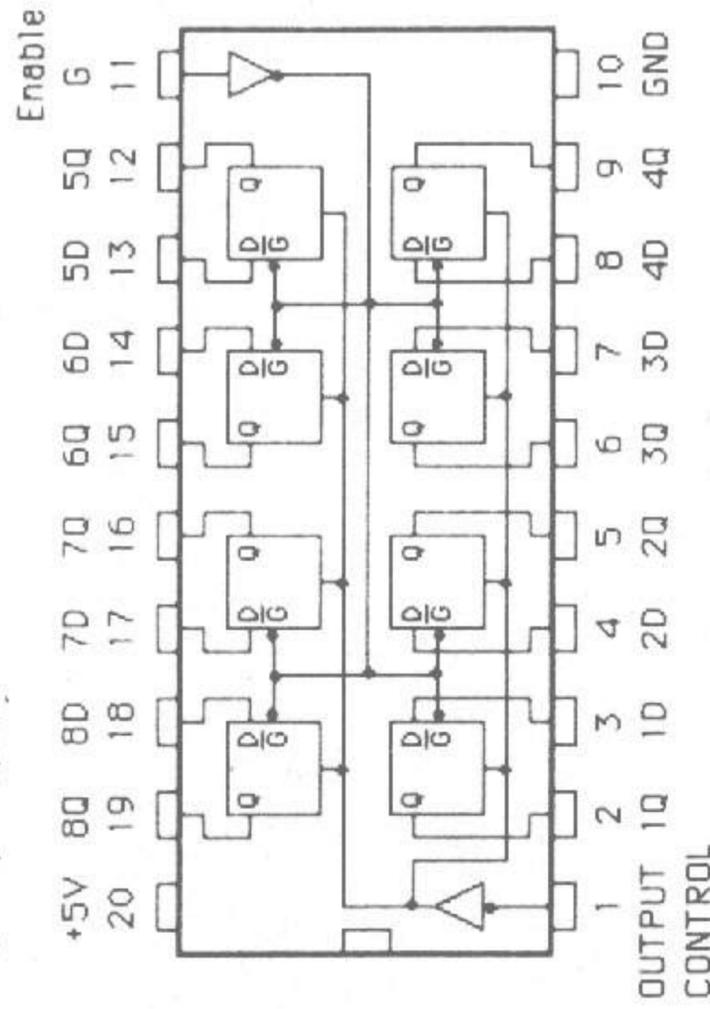
Typ. Impuls-
Verzögerungszeit: 20 ns

Typ. Versor-
gungsstrom: 75 mA

10.2.9 74LS373

74LS373

8-fach transparente Latches (flankengetriggerte D-Flip-Flops)



Function Table:

OUTPUT CONTROL	ENABLE G	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	x	Q ₀
H	x	x	Z

Typ. Impuls-
Verzögerungszeit: 20 ns

Typ. Versor-
gungsstrom: 30 mA

10.3 Auszüge aus dem Datenblatt zum 68000

Table 3-1. Data Movement Operations

Instruction	Operand Size	Operation
EXG	32	$R_x \leftrightarrow R_y$
LEA	32	$EA \rightarrow An$
LINK	-	$An \rightarrow -(SP)$ $SP \rightarrow An$ $SP + displacement \rightarrow SP$
MOVE	8, 16, 32	$s \rightarrow d$
MOVEM	16, 32	$(EA) \rightarrow An, Dn$ $An, Dn \rightarrow EA$

NOTES

s = source -() = indirect with predecrement
d = destination -() + = indirect with postdecrement
n = bit number # = immediate data

Instruction	Operand Size	Operation
MOVEP	16, 32	$(EA) \rightarrow Dn$ $Dn \rightarrow (EA)$
MOVEQ	8	$\#xxx \rightarrow Dn$
PEA	32	$EA \rightarrow -(SP)$
SWAP	32	$Dn[31:16] \leftrightarrow Dn[15:0]$
UNLK	-	$An \rightarrow Sp$ $(SP) + \rightarrow An$

Table 3-2. Integer Arithmetic Operations

Instruction	Operand Size	Operation
ADD	8, 16, 32 16, 32	$Dn + (EA) \rightarrow Dn$ $(EA) + Dn \rightarrow (EA)$ $(EA) + \#xxx \rightarrow (EA)$ $An + (EA) \rightarrow An$
ADDX	8, 16, 32 16, 32	$Dx + Dy + X \rightarrow Dx$ $-(Ax) + -(Ay) + X \rightarrow (Ax)$
CLR	8, 16, 32	$0 \rightarrow EA$
CMP	8, 16, 32 16, 32	$Dn - (EA)$ $(EA) - \#xxx$ $(Ax) + -(Ay) -$ $An - (EA)$
DIVS	$32 \div 16$	$Dn \div (EA) \rightarrow Dn$
DIVU	$32 \div 16$	$Dn \div (EA) \rightarrow Dn$
EXT	$8 \rightarrow 16$ $16 \rightarrow 32$	$(Dn)_{16} \rightarrow Dn_{16}$ $(Dn)_{16} \rightarrow Dn_{32}$
MULS	$16 \times 16 \rightarrow 32$	$Dn \times (EA) \rightarrow Dn$
MULU	$16 \times 16 \rightarrow 32$	$Dn \times (EA) \rightarrow Dn$
NEG	8, 16, 32	$0 - (EA) \rightarrow (EA)$
NEGX	8, 16, 32	$0 - (EA) - X \rightarrow (EA)$
SUB	8, 16, 32 16, 32	$Dn - (EA) \rightarrow Dn$ $(EA) - Dn \rightarrow (EA)$ $(EA) - \#xxx \rightarrow (EA)$ $An - (EA) \rightarrow An$
SUBX	8, 16, 32	$Dx - Dy - X \rightarrow Dx$ $-(Ax) - -(Ay) - X \rightarrow (Ax)$
TAS	8	$(EA) - 0, 1 \rightarrow EA[7]$
TST	8, 16, 32	$(EA) - 0$

NOTES

[] = bit number
-() = indirect with predecrement
-() + = indirect with postincrement
= immediate data

Table 3-3. Logical Operations

Instruction	Operand Size	Operation
AND	8, 16, 32	$Dn \wedge (EA) \rightarrow Dn$ $(EA) \wedge Dn \rightarrow (EA)$ $(EA) \wedge \#xxx \rightarrow (EA)$
OR	8, 16, 32	$Dn \vee (EA) \rightarrow Dn$ $(EA) \vee Dn \rightarrow (EA)$ $(EA) \vee \#xxx \rightarrow (EA)$
EOR	8, 16, 32	$(EA) \oplus Dn \rightarrow (EA)$ $(EA) \oplus \#xxx \rightarrow (EA)$
NOT	8, 16, 32	$\sim (EA) \rightarrow (EA)$

NOTES

\sim = invert \vee = logical OR
= immediate data \oplus = logical exclusive OR
 \wedge = logical AND

Table 3-4. Shift and Rotate Operations

Instruction	Operand Size	Operation
ASL	8, 16, 32	
ASR	8, 16, 32	
LSL	8, 16, 32	
LSR	8, 16, 32	
ROL	8, 16, 32	
ROR	8, 16, 32	
ROXL	8, 16, 32	
ROXR	8, 16, 32	

Table 3-5. Bit Manipulation Operations

Instruction	Operand Size	Operation
BTST	8, 32	- bit of (EA) $\rightarrow Z$
BSET	8, 32	- bit of (EA) $\rightarrow Z$ $1 \rightarrow$ bit of EA
BCLR	8, 32	- bit of (EA) $\rightarrow Z$ $0 \rightarrow$ bit of EA
BCHG	8, 32	- bit of (EA) $\rightarrow Z$ \sim bit of (EA) \rightarrow bit of EA

NOTE \sim = invert

Table 3-6. Binary Coded Decimal Operations

Instruction	Operand Size	Operation
ABCD	8	$Dx_{10} + Dy_{10} + X \rightarrow Dx$ $-(Ax)_{10} + -(Ay)_{10} + X \rightarrow (Ax)$
SBCD	8	$Dx_{10} - Dy_{10} - X \rightarrow Dx$ $-(Ax)_{10} - -(Ay)_{10} - X \rightarrow (Ax)$
NBCD	8	$0 - (EA)_{10} - X \rightarrow (EA)$

NOTE -() = indirect with predecrement

Table 3-7. Program Control Operations

Instruction	Operation
Conditional	
Bcc	Branch Conditionally (14 Conditions) 8- and 16-Bit Displacement
DBcc	Test Condition, Decrement, and Branch 16-Bit Displacement
Scc	Set Byte Conditionally (16 Conditions)
Unconditional	
BRA	Branch Always 8- and 16-Bit Displacement
BSR	Branch to Subroutine 8- and 16-Bit Displacement
JMP	Jump
JSR	Jump to Subroutine
Returns	
RTR	Return and Restore Condition Codes
RTS	Return from Subroutine

64-Pin Dual-in-Line Package



Table 3-8. System Control Operations

Instruction	Operation
Privileged	
ANDI to SR	Logical AND to Status Register
EORI to SR	Logical EOR to Status Register
MOVE EA to SR	Load New Status Register
MOVE USP	Move User Stack Pointer
ORI to SR	Logical OR to Status Register
RESET	Reset External Devices
RTE	Return from Exception
STOP	Stop Program Execution
Trap Generating	
CHK	Check Data Register Against Upper Bounds
TRAP	Trap
TRAPV	Trap on Overflow
Status Register	
ANDI to CCR	Logical AND to Condition Codes
EORI to CCR	Logical EOR to Condition Codes
MOVE EA to CCR	Load New Condition Codes
MOVE SR to EA	Store Status Register
ORI to CCR	Logical OR to Condition Codes

11. Literatur

11.1 Hinweis auf LOOP

In unserer Zeitschrift LOOP wird regelmäßig über neue Produkte und Änderungen bzw. Verbesserungen berichtet. Es ist für Sie von großem Vorteil, LOOP zu abonnieren, denn dadurch ist sichergestellt, daß Sie auch immer über die neuesten Informationen verfügen.

Ein LOOP-ABO können Sie bei jeder Bestellung mitbestellen...

11.2 Empfohlene Fachbücher

- M68000 Familie Teil 1
Grundlagen und Architektur
Werner Hilf - Anton Nausch
te-wi Verlag GmbH
Bestellnummer bei GES: B002
- M68000 Familie Teil 2
Anwendung und 68000-Bausteine
Werner Hilf - Anton Nausch
te-wi Verlag GmbH
Bestellnummer bei GES: B011

Graf Elektronik Systeme GmbH
Magnusstr. 13 · Postfach 1610
8960 Kempten (Allgäu)
Telefon: (08 31) 62 11
Teletex: 831804 = GRAF
Telex: 17 831 804 = GRAF

Filiale Hamburg
Ehrenbergstraße 56
2000 Hamburg 50
Telefon: (0 40) 38 81 51
Filiale München
Georgenstraße 61
8000 München 40
Telefon: (0 89) 2 71 58 58

ger

