



# **FLO3**

**Der Floppy-Controller für den**

**NDR-Computer**

**und den**

**mc-Computer**

**Graf Elektronik Systeme GmbH**



# Inhalt

1	Einführung . . . . .	1
1.1	Zum NDR-Computer . . . . .	1
1.2	Die Baugruppe FLO3 . . . . .	2
2	Technische Daten . . . . .	3
3	Prinzipbeschreibung . . . . .	4
3.1	Prinzip der Precompensation . . . . .	8
3.2	Diskettenformate . . . . .	8
4	Aufbauanleitung . . . . .	10
4.1	CMOS-Warnung . . . . .	10
4.2	Stückliste . . . . .	10
4.3	Aufbau Schritt für Schritt . . . . .	12
5	Testanleitung . . . . .	14
5.1	Erste Prüfung ohne ICs . . . . .	14
5.2	Test mit dem Z80-System . . . . .	14
5.2.1	Test mit dem 680xx-System . . . . .	16
5.2.2	Anschluß an den mc-Computer . . . . .	16
5.3	Test mit dem NDR-Grundprogramm, mc-Computer . . . . .	18
5.4	Bedeutung der Jumper . . . . .	20
6	Fehlersuchanleitung . . . . .	22
6.1	Mögliche Fehler und ihre Behebung . . . . .	22
7	Schaltungsbeschreibung . . . . .	24
7.1	Funktionsbeschreibung der Schaltung . . . . .	24
8	Anwendungsbeispiele . . . . .	29
9	Diverses . . . . .	29
9.1	Verbesserungsmöglichkeiten . . . . .	29
9.2	Ausblick . . . . .	29
9.3	Kritik . . . . .	29
10	Unterlagen zu den verwendeten ICs . . . . .	30
10.1	TTL-ICs . . . . .	30
10.2	Auszüge aus dem Datenblatt zum 1797 . . . . .	42
10.3	Auszüge aus dem Datenblatt zum 9229 . . . . .	64
11	Die Zeitschrift LOOP . . . . .	66
	Anhang A: Schaltplan . . . . .	68
	Anhang B: Bestückungsplan . . . . .	70
	Anhang C: Layout Bestückungsseite . . . . .	71
	Anhang D: Layout Lötseite . . . . .	72
	Anhang E: Anschluß des Laufwerkes . . . . .	73
	Anhang F: Kabelpläne . . . . .	79



## 1. Einführung

### 1.1 Zum NDR-Computer

Der NDR-Computer wird in der Fernsehserie "Computer Modular - Schritt für Schritt" aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird vom Norddeutschen Rundfunk und vom Bayerischen Fernsehen ausgestrahlt. Es werden bald auch die Regionalsender anderer Bundesländer die Sendung in ihr Programm aufnehmen.

Zur Serie gibt es einige Begleitmaterialien, es ist daher nicht unbedingt notwendig, die Fernsehserie gesehen zu haben, um den NDR-Computer zu bauen und zu begreifen:

- Buch: Rolf-Dieter Klein,  
"Mikrocomputer selbstgebaut und programmiert"  
2., neu bearbeitete und erweiterte Auflage  
ISBN 3-7723-7162-0, DM 38,-  
erschienen im Franzis-Verlag, München  
Bestellnummer: 10078  
Auf diesem Buch baut die NDR-Serie auf
- Buch: Rolf-Dieter Klein,  
"Die Prozessoren 68000 und 68008"  
ISBN 3-7723-7651-7, 78,--  
erschienen im Franzis-Verlag, München  
Bestellnummer: 10588
- Sonderhefte der "mc"  
"Mikrocomputer Schritt für Schritt"  
Bestellnummer: 10399  
"Mikrocomputer Schritt für Schritt Teil 2"  
Bestellnummer: 10398
- Zeitschriften "mc" und "ELO" des Franzis-Verlages
- Zeitschrift "LOOP" der Firma Graf (siehe Kapitel 11)

## 1.2 Die Baugruppe FLO3

Die FLO3 ist eine Baugruppe, mit der Daten auf Disketten geschrieben und auch wieder davon gelesen werden können. Besonders ein CP/M-Computer ist ohne Massenspeicher hilflos. Die FLO3 steuert die Laufwerke, von welchen Sie Ihr CP/M einlesen können. Es können prinzipiell alle auf dem Markt befindlichen Laufwerke angeschlossen werden, einige benötigen jedoch spezielle Steuersignale, die man nur durch Schaltungsänderungen erzeugen könnte. Wir unterstützen standardmäßig Laufwerke der Firma TEAC mit 5 1/4 und 3 1/2 Zoll sowie 8 Zoll Standard-Laufwerke.

Die FLO3 kann im NDR-Computer als Nachfolger der FLO2 angesehen werden. Wie diese wird sie in den 54-pol. RDK-Bus eingesetzt. Im mc-CP/M-Computer dient die FLO3 als Nachfolger der FLO1 und in beschränktem Maße als Alternative zur FLOSASI. Hier wird sie in den 64-pol. ECB-Bus eingesetzt.

Zum Betrieb der FLO3 benötigt man entsprechende Software. Diese ist in allen Computern identisch mit den Versionen für die FLO2 bzw. FLOSASI.

Die FLO3 ist die Schnittstelle zwischen dem Computer-Bus (ECB- oder NDR-Bus) und dem Floppylaufwerk (Shugart-Bus). Dabei können an die FLO3 8-Zoll, 5 1/4-Zoll, 3 1/2-Zoll und 3 Zoll Laufwerke angeschlossen werden.

Unser Standard bei 5 1/4 Zoll und 3 1/2 Zoll Laufwerken sind die TEAC-Typen FD-55F bzw. FD-35F. Werden andere Typen verwendet, übernehmen wir keine Funktionsgarantie.

Die FLO3 besitzt den schon bekannten FD 1797 als Floppy Controller und einen integrierten Datenseparator, den 9229B, durch den jeglicher Abgleich entfällt, der aber in seinem Inneren eine sehr raffinierte Regelschaltung besitzt, sodaß man jetzt auch ohne Probleme double density bei 8-Zoll Laufwerken fahren kann. Die FLO3 ersetzt nahtlos die FLO2. Außerdem enthält die FLO3 eine WAIT-Logik, damit sie auch mit wesentlich schnelleren CPUs zusammenarbeiten kann. Der Interrupt ist nach unserem neuen Interrupt-Konzept ausgeführt: Interrupt auf den Bus gelegt (Leitung INT) (über Jumper trennbar) sowie Interruptvektor-Ausgang (für Baugruppe INTVECT).



## 2. Technische Daten

Spannungsversorgung:	+5V, +12V
Stromaufnahme:	+5V: 310 mA, +12V: <50 mA
Busformat:	NDR-Bus 54-polig
	bzw. ECB-Bus 64-polig
Leiterplattenformat:	160 x 100 mm (Europakarte)
Floppy-Controller:	FD 1797 (Western Digital)
Datenseparator:	9229 B, digital
Ausgang:	50-polige Steckerleiste für 8" Laufwerke (Shugart-Bus)
	34-polige Steckerleiste für 5 1/4" und 3 1/2" Laufwerke (Shugart-Bus)
<ul style="list-style-type: none"><li>- Interne Wait-Logik (bis zu 8 WAIT-Zyklen einstellbar)</li><li>- Interrupt durch JMP trennbar (Z80 oder 680xx)</li><li>- Vektor-Interrupt vorgesehen</li><li>- maximal 4 Laufwerke anschließbar</li></ul>	

### 3. Prinzipbeschreibung Floppy Disks, FLO3

Wenn Sie schon einmal mit einem Computer gearbeitet haben, kennen Sie das Problem: man hat mühevoll ein Programm erstellt, dann will man es auch möglichst für alle Ewigkeit festhalten. Denn sobald man den Computer abschaltet, sind sämtliche Daten verloren. Also muß ein externer Speicher her, auf dem die Daten (unser Programm) dann übertragen werden.

Weit verbreitet ist hier der Kassettenrecorder, mit dem Daten auf einer normalen Kassette abgespeichert werden können. Auf solch eine Kassette passt zwar viel, jedoch kann die Suche nach einem Programm sehr mühevoll sein.

Wesentlich vorteilhafter ist da der Einsatz einer Floppy-Disk als Programm/Daten-Speicher.

Was ist eine Floppy-Disk?

Unter Floppy-Disk versteht man eine flexible Kunststoffscheibe, die eine magnetisierbare Schicht (wie bei einem Tonband) besitzt. Darauf können Daten geschrieben und wieder gelesen werden.

Hergestellt wird eine Diskette aus einer dünnen Kunststoffolie, auf die eine 1 µm dicke Oxidschicht (beidseitig) aufgebracht wird. Damit sie gegen Schmutz geschützt und einfach zu behandeln ist, wird sie in eine Schutzhülle gesteckt.

Wie solch eine Diskette aussieht, zeigt Ihnen das folgende Bild:

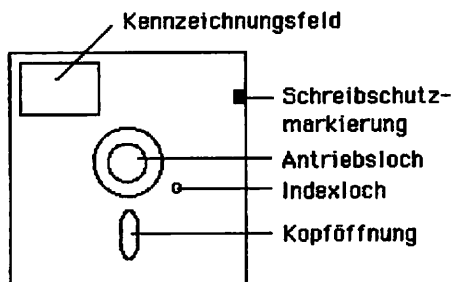


Bild 1: Diskette

Nun wollen wir kurz die (neuen) Begriffe näher erläutern. Sie haben bestimmt schon mal eine Kassette näher betrachtet und untersucht. Ähnlich der Aufnahmesperre bei Musikkassetten ist bei der Diskette die Schreibe Schutzöffnung, die - je nachdem ob sie überklebt ist oder nicht - versehentliches Überschreiben verhindert.

In die Antriebsöffnung wird - ähnlich wie bei Schallplatten - der Antriebsmotor eingreifen und die Diskette drehen.

Die Daten werden auf die Diskette aufgenommen und wiedergegeben, wie bei einem Tonband über einen Tonkopf, in unserem Fall Schreib/Lesekopf genannt. Dieser Kopf bekommt durch den Schreib- und Leseschlitz (Kopföffnung) Zugang zur Diskettenscheibe und gehört zu einem Laufwerk, daß wir später noch behandeln werden.

Nun zu dem Abspeichern von Informationen.

Damit möglichst viele Daten auf eine Diskette passen und später gezielt wiedergefunden werden, unterliegt das Aufzeichnungsverfahren einer bestimmten Ordnung. Die Floppy-Disk wird dazu in eine bestimmte Anzahl in sich geschlossener konzentrischer Kreise (Spuren) aufgeteilt. Auf diese Spuren können die Informationen (Daten) geschrieben werden.

Zunächst einmal würde es genügen, mit der Spureinteilung zu arbeiten. Aber eine Spur kann schon 5000 Byte (1 Byte = 8 Bit) fassen. Damit die Anzahl der zusammenhängenden Daten (Bytes), die man auf eine Spur schreiben kann, nicht zu groß wird - sie müssen ja bei einem Lesevorgang von der Diskette sofort vom Computer übernommen werden - ist jede Spur nochmals in einzelne Stücke (Sektoren) unterteilt. Ein Sektor ist die kleinste Informationseinheit, an die man bei einem Diskettenlaufwerk herankommt. Damit man einen bestimmten Sektor auf der Spur wiederfinden kann, sind die Sektoren nummeriert. Üblicherweise fängt man bei 1 zu zählen an, im Gegensatz zu den Spuren, bei denen bei 0 zu zählen begonnen wird.

Wie erkennt man, welcher Sektor gerade dran ist?

Hierzu gibt es zwei Möglichkeiten: Einmal steht die Sektornummer unmittelbar als kleiner Datenblock vor dem Sektor, oder man verwendet Löcher, die fest in die Diskette eingestanzt sind und vom Laufwerk abgezählt werden können. Bei jedem Beschreiben eines Sektors wird zunächst dessen Identifikationsfeld gelesen und geprüft. Handelt es sich um den richtigen Sektor, kann der Schreib/Lesevorgang beginnen.

Das erste Verfahren heißt "Soft-Sektoriert" - dies verwenden wir. Das zweite Verfahren, das sehr wenig verbreitet ist, heißt "Hard-Sektoriert".

Die folgende Abbildung zeigt die Aufteilung einer Diskette in Spuren und Sektoren.



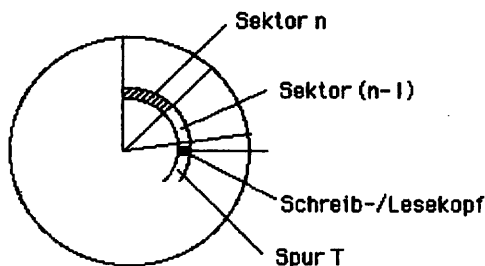


Bild 2: Aufteilung einer Diskette in Spuren und Sektoren

Um Zugriff auf eine Diskette zu bekommen, ist ein Laufwerk (ähnlich einem Kassetten-Rekorder) notwendig. So ein Laufwerk besteht aus einem Antriebsmotor, der die Diskettenscheibe dreht, um Daten auf den Spuren abzuspeichern. Die Drehgeschwindigkeit ist je nach Größe der Floppy-Disk unterschiedlich groß.

Ein zweiter Motor (Schrittmotor) bewegt den Schlitten, auf dem der Schreib/Lesekopf sitzt, in Richtung Mittelpunkt (der Diskette) hin und her, um auf jeder Spur Daten schreiben und lesen zu können.

Über diese Antriebsmöglichkeiten hinaus ist ein Laufwerk noch viel komplexer, dies sollte uns aber weiter nicht beschäftigen.

Wie werden die Daten aufgezeichnet?

Die Informationen werden auf die Diskette in binärer Form geschrieben; d.h. es werden Signale auf die Floppy-Disk aufgebracht, die je nach Magnetisierungsrichtung eine logische 1 bzw. eine logische 0 darstellen. Das Bild 3 zeigt wie so etwas aussieht.

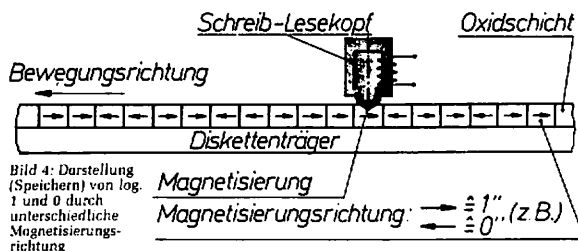


Bild 4: Darstellung (Speichern) von log. 1 und 0 durch unterschiedliche Magnetisierungsrichtung

Abb. : Logische 0 und 1 Signale auf der Diskette

Zwischen den einzelnen Signalen sind keine Pausen, deshalb können zwei aufeinanderfolgende logische 0 bzw. 1 Signale nicht unterschieden werden. Um diesen Mangel zu beheben, bringt man zu den Daten einen zusätzlichen Takt auf.

Es gibt zwei Verfahren den Takt mit in die Information einzubringen:

Zum einen kann jedes Datenbit von zwei Taktbits eingeschlossen werden, zum anderen wird nur dann ein Taktbit aufgezeichnet, wenn eine logische Null geschrieben wurde und darauf wieder eine logische Null folgt.

Abb. 4 zeigt das erste Verfahren, das auch FM (Frequency Modulation) genannt wird. Allgemein spricht man bei dieser Aufzeichnung von "Single Density".

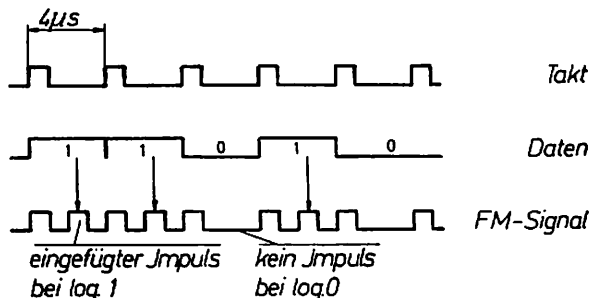


Abb. Single Density Aufzeichnungsverfahren

Im Gegensatz zu dem oben genannten Verfahren werden bei dem im Bild unten (Abb. 5) gezeigten Verfahren die Taktsignale geschickt in die Information verstrickt. Dieses Aufzeichnungsverfahren heißt offiziell MFM (Modified Frequency Modulation), bei Computerinsidern aber unter dem Begriff "double density" gängig.

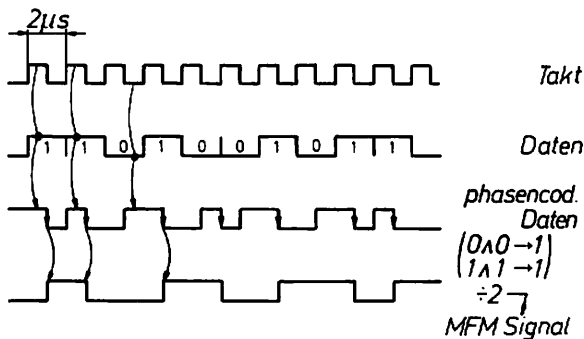


Abb. 5: Double Density Aufzeichnungsverfahren.

Beim Einlesen der Daten in den Rechner muß dieses Signal vom Takt getrennt (demoduliert) werden. Ebenso muß Schreiben der Daten auf Diskette das Datensignal moduliert (mit dem Takt vermischt werden). Die Arbeit des Modulierens übernimmt der Datenseparator 9229 B. Die Aufbereitung und Serialisierung der Daten übernimmt der WD1797 (Floppy-Controller).

### 3.1 Prinzip der Precompensation

Bei der Wiedergabe (Auslesen von der Diskette) tendieren nahe beieinanderliegende Bits, sich voneinander zu entfernen. Dies kann durch Überlagerungseffekte auf der Magnetschicht auftreten. Die Precompensation gleicht diesen Effekt aus und rückt diese Bits wieder näher zusammen. Die Precompensationstabelle unter 7.3 gibt an wieviel nsec die Bits zusammengedrückt werden. Die Precompensationswerte werden mit JMP7 eingestellt. Wird die Precompensationszeit zu groß gewählt, treten Datenfehler auf. Bei von uns eingesetzten Laufwerken ist keine Precompensation nötig ( $P_0 = 0$ ,  $P_1 = 0$  und  $P_2 = 0$ ). Die Precompensation 0 ist voreingestellt.

### 3.2 Diskettenformate

Wie weiter oben schon aufgeführt, wird eine Diskette softwaremäßig in Spuren und Sektoren eingeteilt. Wieviel Spuren und wieviel Sektoren auf einer Diskette aufgebracht werden, hängt von mehreren Gegebenheiten ab.

#### 1. Technische Gegebenheiten

Technisch gesehen hängt das Diskettenformat einmal vom Laufwerk und einmal von der Diskette ab. Ein Laufwerk ist von seinem mechanischen Aufbau her nicht in der Lage, beliebig viele Spuren auf der Diskette unterzubringen. So gibt es 40-Spur Laufwerke und 80-Spur Laufwerke, dann Laufwerke mit einem Kopf, der die Diskette nur von einer Seite beschreiben kann oder mit zwei Köpfen die die Diskette von beiden Seiten beschreiben. (single sided und double sided).

Eine Diskette hat natürlich ähnliche Einschränkungen. Die charakteristischen Daten für eine Diskette sind die Spurdichte (96 tpi, 135 tpi, 40 tpi). Diese Angabe bezieht sich auf die maximal mögliche Anzahl der Spuren pro Inch (Inch = 2,54 cm). Bei 3 1/2" Disketten muß diese Spurdichte natürlich höher sein als bei 5 1/4" Disketten, da die Abmessungen kleiner sind. Außerdem wird eine Diskette nach der Aufzeichnungsdichte beurteilt (SD = single density, DD = double density, QD = quad density). Diese Angabe bezieht sich auf die Dichte der Daten auf einer Spur, mit der die Diskette beschrieben werden kann. Ein drittes Kriterium ist dieses SS oder DS, was soviel bedeutet wie single sided und double sided (Diskette einseitig beschreibbar oder doppelseitig).

#### 2. Herstellerspezifische Gegebenheiten

Da sich der Mikrocomputermarkt rasant entwickelte, wurden immer wieder neue Disketteformate auf den Markt gebracht. Dabei schlug fast jeder Versuch, diese Formate zu Standardisieren, fehl. Ein Diskettenformat konnte sich und kann im Moment sich nur durchsetzen, wenn ein Hersteller mit seinen System und dessen Format eine



führende Marktposition erreicht. Es gibt nur ein Format, das sich als Standard durchgesetzt hat und dies nur auf 8" Laufwerken. Dies ist das sog. IBM Standardformat 8" SS, SD mit einer Speicherkapazität von 256 kbyte. Diese Disketteformat besteht aus 77 Spuren, 26 Sektoren pro Spur und 128 Bytes pro Sektor. Daraus kann wiederum die Speicherkapazität errechnet werden:  $77 \times 26 \times 128 = 256256$ . Außerdem werden beim Formatieren noch bestimmte Markierungen auf die Diskette aufgebracht. So hat z. B. jeder Sektor sein sog. ID-Feld in dem sämtliche Daten über diesen Sektor stehen z. B. Sektornummer, auf welcher Spur, auf welcher Seite, dann sind Informationsbytes abgespeichert die bestimmen, wo der Datenbereich beginnt und wo er endet, wo der Sektor überhaupt beginnt und zu guter Letzt noch Bytes die zur Kontrolle der abgespeicherten Daten dienen, die sog. CRC's. Dieses ID-Feld ist natürlich auch von Hersteller zu Hersteller verschieden. Die folgende Tabelle zeigt einen Sektor beim IBM-Standardformat.

Anzahl der Bytes	auf Diskette geschriebene HEX-Format
40	FF (or 00)
6	00
1	FC (Index Markierung)
26	FF (or 00)
6	00
1	FE (ID Adress Marke)
1	Spur Nummer
1	Seiten Nummer (00 or 01)
1	Sektor Nummer
1	00
1	F7 (2 CRC's geschrieben)
11	FF (or 00)
6	00
1	FB (Daten Adress Marke)
128	Daten
1	F7 (2 CRC's geschrieben)
27	FF (or 00)
247	FF (or 00)

## 4. Aufbauanleitung

### 4.1 CMOS-Warnung

CMOS-Bausteine sind hochempfindlich gegen elektrostatische Aufladung! Bewahren oder transportieren Sie CMOS-Bausteine nur auf dem leitenden Schaumstoff! Alle Pins müssen kurzgeschlossen sein.

*Tip: Fassen Sie an ein geerdetes Teil (z.B. Heizung, Wasserleitung, bevor Sie einen Baustein berühren.*

Bitte beachten Sie hierzu auch den Artikel "Schutzmaßnahmen für MOS-Schaltungen" in unserer Zeitschrift LOOP3.

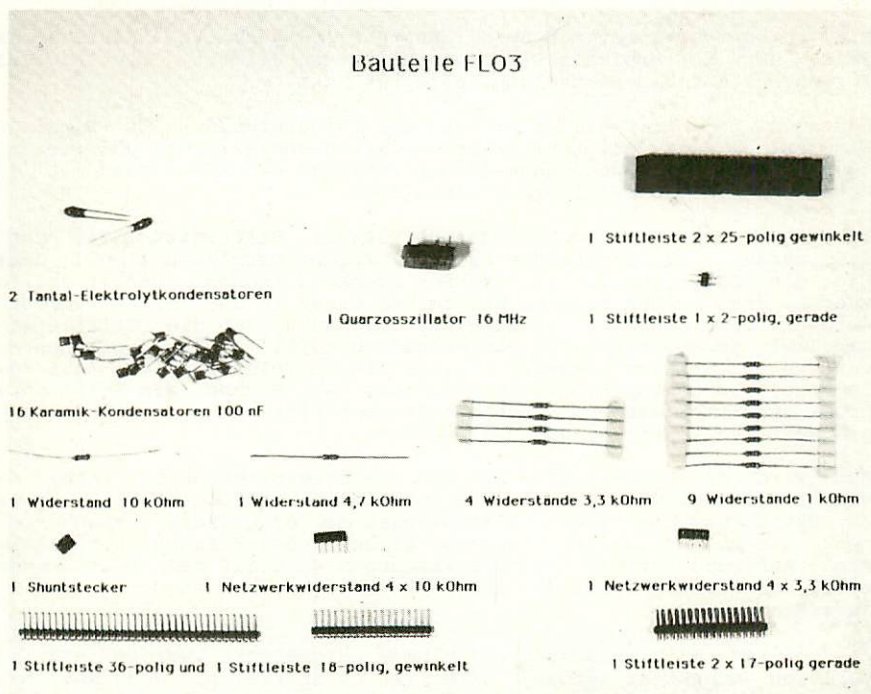
### 4.2 Stückliste

Stückliste FLO3

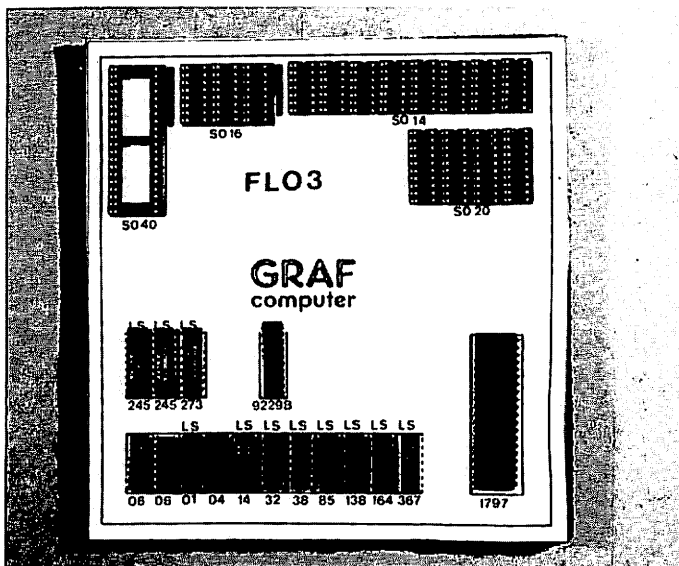
Ausgabe 3  
13.10.1986 AGR

1	Handbuch FLO3 Ausgabe 1		
1	Leiterplatte FLO3 r3 mit Lötstoplack und Bestückungsdruck		
1	7404	J4	6 Inverter
2	7406	J3, J11	6 Inverter mit offenem Kollektor (keinen LS-Typ verwenden !)
1	74LS01	J2	4*2 NAND mit offenem Kollektor
1	74LS14	J16	6 invertierende Schmitt-Trigger
1	74LS32	J1	4*2 OR
1	74LS38	J6	4*2 NAND mit offenem Kollektor
1	74LS85	J8	4-Bit Vergleicher
1	74LS138	J7	3 zu 8 Demultiplexer
1	74LS164	J5	8-Bit Schieberegister
2	74LS245	J13, J14	8 Bus-Transceiver
1	74LS273	J12	8-Bit D-Register mit Clear
1	74LS367	J10	6 Tri-State Leitungstreiber
1	1797	J9	Controller-Baustein
1	9229	J15	Datenseparator
16	100nF	C2..C17	Kondensatoren
2	10 uF Tantal	C1, C18	"
9	1 KOhm	R1, R3, R4, R6, R7, R8, R13, R14, R15	Widerstände
4	3,3 KOhm	R9..R12	"
1	4,7 KOhm	R2	"
1	10 KOhm	R5	"
-	8*3,3 KOhm	RN3	wird nicht mitgeliefert (siehe Handbuch)
1	4*3,3 KOhm	RN1	Netzwerk-Widerstand
1	4*10 KOhm	RN2	"
-	AA118	D1..D4	Dioden

8	SO14	IC-Sockel
3	SO16	"
4	SO20	"
1	SO40	"
-	JMP1	wird nicht mitgeliefert (nur sehr selten benötigt)
-	JMP2	wird nicht mitgeliefert (Brücke ist voreingestellt)
-	JMP3	wird nicht mitgeliefert (Adresse ist voreingestellt)
1	JMP4	1*2-pol. Stiftleiste gerade
-	JMP5	wird nicht mitgeliefert (Brücke ist voreingestellt)
-	JMP6	wird nicht mitgeliefert (Brücke ist voreingestellt)
-	JMP7	wird nicht mitgeliefert (Brücken sind voreingestellt)
1	ST2	2*25-pol. Stiftleiste gewinkelt
1	ST3	2*17-pol. Stiftleiste gerade
1	ST4	1*36-pol. Stiftleiste gewinkelt und 1*18-pol. Stiftleiste gewinkelt (RDK-Bus)
1	Quarzoszillator 16 MHz	
1	Shuntstecker	







#### 4.3 Aufbau Schritt für Schritt

Die Lötseite erkennt man an der Aufschrift "Lötseite". Auf dieser Seite der Leiterplatte wird ausschließlich gelötet. Die Bauteile werden nur auf der Bestückungsseite bestückt.

Beginnen Sie mit dem Einlöten der Widerstände. Es sind 10 Widerstände mit je 1 kOhm (Farbcode braun-schwarz-rot) und vier mit je 3,3 kOhm (Farbcode orange-orangerot) und ein Widerstand mit 4,7 kOhm (Farbcode gelb-lila-rot) einzulöten.

Fahren Sie fort mit dem Einlöten der 54-pol. Stiftleiste ST4. Achten Sie darauf, daß die Leiste parallel zur Leiterplatte liegt, damit Sie die Baugruppe gut auf den Bus stecken können. Dabei sollten zuerst die beiden äußeren Stifte und einer in der Mitte verlötet werden. Dann empfiehlt es sich nachzuschauen, ob die Stiftleisten parallel zur Leiterplatte liegen und ob keine "Bäuche" zwischen den verlöteten Stiften liegen. Sollten die Stiftleiste nicht auf der Leiterplatte anliegen, muß in der Mitte der "Bäuche" ein Stift unter Druck angelötet werden. Liegt die Steckerleiste dann richtig, können die restlichen Stifte angelötet werden.

Nun wird die Leiterplatte mit den IC-Sockeln bestückt. Dabei muß darauf geachtet werden, daß die Sockel richtig aufgesteckt werden. Im Bestückungsplan sind die Richtungen mit einer Kerbe gekennzeichnet. Sie muß mit der Richtung der Kerbe in der Fassung übereinstimmen. Außerdem ist die Lage der Fassungen auch auf der Bestückungsseite der Platine durch den Aufdruck (falls vorhanden) sehr deutlich zu erkennen.

Es sollten alle Fassungen auf einmal aufgesteckt werden und zum Verlöten umgedreht werden; dabei ist es hilfreich, wenn man beim Umdrehen die Fassungen mit einem Stück Karton auf die Platine drückt. So wird erreicht, daß die Fassungen alle eben und gerade

liegen. Beim Löten sollten wiederum nur zwei Pins jeder Fassung (möglichst diagonal) verlötet werden. So können anschließend schräg liegende Fassungen noch problemlos korrigiert werden. Bevor die restlichen Pins verlötet werden, sollte noch auf die Bestückungsseite geschaut werden, ob die Fassungen richtig liegen und die Richtungen der Fassungen stimmen.

Die Kondensatoren C1 und C18 sind gepolt und dürfen auf keinen Fall falsch herum eingelötet werden. Der Pluspol ist mit einem "+" und evtl. einem schwarzen Strich gekennzeichnet. Im Bestückungsplan ist der Pluspol ebenfalls mit einem "+" gekennzeichnet.

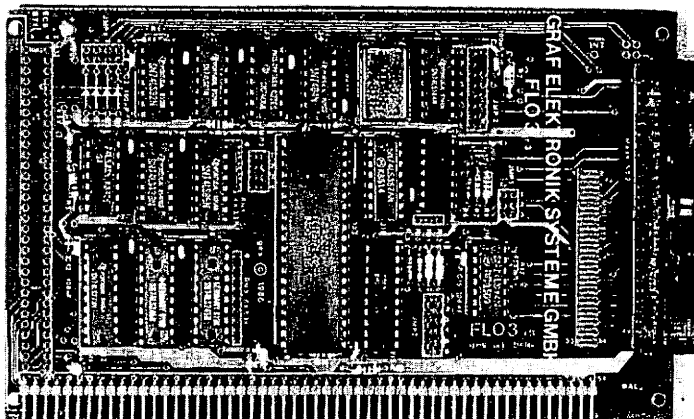
Die Kondensatoren C2 bis C17 sind ungepolt und können ohne auf die Polung zu achten eingelötet werden.

Der Quarzoszillator OSC - 16 MHz darf nicht falsch herum eingesetzt werden. Pin 1 des Oszillators ist durch einen Punkt auf dem Oszillator und auf der Leiterplatte gekennzeichnet. Vorsicht: Zwischen dem OSC - 16 MHz und dem Floppy-Controller 1797 (J9) ist ebenfalls ein Punkt; dieser Punkt soll aber den gemeinsamen Anschluß des Netzwerkwiderstandes RN2 markieren, nicht Pin 1 des "OSC - 16MHz"!

Die Dioden D1 bis D4 sind um Lieferumfang nicht enthalten. Diese Dioden werden nur benötigt wenn das entsprechende Laufwerk kein Ready-Signal liefert (z.B. SA 200). Die von uns gelieferten TEAC-Laufwerke benötigen diese Dioden nicht. Der dazugehörige JMP1 bleibt demnach offen. Sollten Sie irgendein Laufwerk haben, das kein Ready-Signal liefert müssten Sie die entsprechende Diode einlöten und den entsprechenden JMP schließen. Je eine Diode und ein JMP des JMP1 ist für ein Laufwerk vorgesehen.

Die Netzwerkwiderstände RN1 bis RN3 haben jeweils einen gemeinsamen Anschluß der auf dem Netzwerkwiderstand und auf der Leiterplatte jeweils mit einem Punkt gekennzeichnet ist. RN1 ist ein  $4 \times 3,3 \text{ k}\Omega$  Netzwerkwiderstand mit der Aufschrift 332. RN2 hat ebenfalls 5 Beinchen und hat den Wert  $4 \times 10 \text{ k}\Omega$  (Aufschrift 103). RN3 hat 9 Beinchen und hat den Wert  $8 \times 3,3 \text{ k}\Omega$  (Aufschrift 332). Abschließend werden noch ST2 und ST3, sowie JMP4 bestückt. ST2 wird nur für 8"-Laufwerke benötigt. Sollten Sie also nicht vorhaben 8"-Laufwerke anzuschließen müssen Sie diesen Stecker nicht bestücken. JMP4 dient dazu den Interrupt aufzutrennen. Bei 680xx Systemen (CPU68k, CPU68000 und CPU 68020) muß JMP4 offen sein. Bei Z80-Systemen (CPUZ80, SBC3 oder CPU64180 muß dieser JMP geschlossen sein.

Bevor Sie die IC's einstecken machen Sie weiter mit Punkt 5.1



## 5. Testanleitung

Wenn Sie mutig sind, können Sie das Kapitel 5.1 überspringen und gleich versuchen, die Baugruppe komplett bestückt in Betrieb zu nehmen. Dies können wir aber nicht empfehlen!

### 5.1 Erste Prüfung ohne ICs

Dieser Test wird auf der mit den Sockeln und mit den passiven Bauelementen bestückten Leiterplatte durchgeführt. Beachten Sie beim Einstecken der Baugruppe in den Bus, daß Sie die Baugruppe richtig herum einsetzen. Ein falsches Einstecken, z.B. um ein Pin zu weit rechts kann zu Kurzschlüssen führen und kann Bauelemente zerstören.

Nach dem Einstecken der Leiterplatte muß der Rechner weiter problemlos funktionieren. Falls nein - weiter mit Kapitel 6.

Man mißt, ob an allen IC-Sockeln die Versorgungsspannung von +5V ankommt. Dabei liegt bei Standard-TTL-Bausteinen jeweils am letzten Pin einer Fassung (z.B. bei 14-poligen an Pin 14) die Versorgungsspannung von +5V. 0V bzw. Masse liegt jeweils auf dem letzten Pin der ersten Reihe (bei 14-poligen auf Pin 7, bei 16-poligen auf Pin 8, bei 20-poligen auf Pin 10).

Liegen die Versorgungsspannung +5V und 0V (Masse) an den richtigen Pins an, dann können die ICs eingesetzt werden. Dabei muß auf die Richtung der ICs geachtet werden. Die Markierung auf dem IC muß mit der Kerbe in der Fassung übereinstimmen (vgl. Bestückungsplan).

Beim J9 (WD1797) muß auf Pin 21 +5V, auf Pin 40 +12V und auf Pin 20 Masse liegen. Bei J10 liegt +5V auf Pin 20 und Masse (0V) auf Pin 10, wie bei TTL-IC's.

Liegen alle Spannungsversorgungen richtig an, sollten Sie nochmal eine Sichtprobe auf der Lötseite der Baugruppe vornehmen, um eventuelle Kurzschlüsse festzustellen.

Sollte auch dies in Ordnung sein, können Sie die IC's einstecken. Achten Sie auf die Richtung der IC's. Kontrollieren Sie vor dem Einstecken der Baugruppe in den Bus zur Sicherheit nochmal, ob alle IC's richtig herum stecken.

### 5.2 Test mit dem Z80-System

Vernünftiger Betrieb mit dem Z80 mit Floppy-Laufwerken ist nur mit dem CP/M 2.2 möglich. Dieses Betriebssystem ist Standard bei 8-Bit Computern. Um dieses Betriebssystem laden zu können müssen sie folgende Konfiguration zur Verfügung haben.

#### 1. Möglichkeit

CPUZ80 oder CPU64180, BANKBOOT, GDP64K, ROA64 oder RAM64/256, KEY oder KEY2, FLO3



## 2. Möglichkeit

SBC3, GDP64k, ROA64k oder RAM64/256, KEY oder KEY2, FLO3

## 3. Möglichkeit

SBC3, ROA64k oder RAM64/256, FLO3, SER + Terminal und FLOMON V4.0 (in Vorbereitung).

Als Stromversorgung reicht die POW5V nicht aus. Sie benötigen mindestens ein NE1, NE2 oder NE3. Zu diesen Konfigurationen benötigen mindestens ein Laufwerk FD55F oder FD35F von TEAC. Es gehen zwar andere Laufwerke mit diesem Bus eventuell auch, aber dafür übernehmen wir keine Funktionsgarantie. Die Laufwerke werden mit der FLO3 mit einem Flachbandkabel (siehe unter Anhang A) verbunden. Um das Kabel nicht falsch einzustecken, sind die Pins auf der FLO3 beschriftet. Weiterer Anschluß eines Laufwerkes siehe im Handbuch "Laufwerke und Festplatten", oder auch unter Anhang E. Auch die Einstellungen am Laufwerk können Sie diesem Handbuch entnehmen.

Haben Sie nun das EPROM EFLOMON auf die Baugruppe SBC3 oder BANKBOOT gesteckt, müßte nach dem Einschalten das Grundmenü erscheinen " 1 = Floppy Boot  
2 = .. " usw. erscheinen.

Sollte diese Anzeige nicht ruhig stehen bleiben, drücken Sie den RESET-Taster und das Flimmern müsste verschwinden.

Achten Sie bitte darauf daß JMP4 der FLO3 geschlossen ist. Schieben Sie nun ihre CP/M Diskette in das Laufwerk A, so daß der Aufkleber in Richtung des roten Lämpchens zeigt. Falls sie die Diskette falsch herum reinstecken, tut sich gar nichts. Haben sie die Diskette eingelegt und das Laufwerk mit dem Riegel in Richtung des Pfeiles geschlossen können Sie durch drücken der "1" den BOOT-Vorgang starten. Haben Sie alles richtig gemacht, so muß jetzt nach kurzer Wartezeit und etwas "rattern" am Laufwerk die Meldung:

"Welcome to 60k CP/M"

A>"

erscheinen. Wenn das soweit läuft dürfen wir Ihnen gratulieren, denn dann dürfte Ihre FLO3 und Ihr Laufwerk ordnungsgemäß funktionieren. Als weiteren Test können wir Ihnen nur noch das Formatieren einer leeren Diskette empfehlen. Achtung: Wird eine Diskette formatiert wird alles was vorher auf der Diskette war gelöscht. Nehmen Sie also eine leere Diskette und formatieren diese mit "UFORM". Diese Datei befindet sich auf der Systemdiskette und sie können Sie direkt aufrufen. Ist diese Datei geladen, entnehmen Sie die Diskette aus dem Laufwerk und legen die leere Diskette ein. Haben Sie zwei Laufwerke können Sie natürlich die leere Diskette in Laufwerk B einlegen. Sie sollten aber auf jeden Fall nach dem Laden des "UFORM" das Systemlaufwerk öffnen oder zumindest den Schreibschutzkleber auf die Systemdiskette aufbringen, daß sie nicht aus Versehen die Systemdiskette formatieren. Wählen Sie nun die Punkte "5 = NDR 80 Spur DS DD", "1 = FLO2" und schließlich das Laufwerk in dem sich die zu formatierende Diskette befindet ("1 = Laufwerk A" oder "2 = Laufwerk B").

Zum Schluß müssen Sie die eingegebenen Daten noch mit "J" quittieren, und der Formatierungsvorgang beginnt. Mit jedem "F" das auf den Bildschirm erscheint wird eine Spur ihrer Diskette formatiert und anschließend wird jede Spur überprüft. Dies wird durch "V" angezeigt. Ist alles in Ordnung meldet sich ihr Computer nach dem Überprüfen der Spuren wieder mit dem Menü des "UFORM". Sollten irgendwelche Fehler beim Formatieren auftreten, wird das Überprüfen abgebrochen, und der Fehler angezeigt (z. B. : "Spur 27 CRC-Fehler"). Sollten hier Fehler auftreten kann dies auch an der Diskette liegen. Achten Sie darauf daß Sie nur Disketten mit "double sided" und "double density" mit einer Spurdichte von 96 tpi verwenden. Bei 3 1/2" Disketten benötigen Sie eine Spurdichte von 135 tpi.

Sollten beim Formatieren keine Fehler aufgetreten sein ist Ihre FLO2 und Ihr Laufwerk in Ordnung. Sollten Fehler aufgetreten sein kontrollieren Sie doch bitte Ihre FLO3 (siehe Kapitel 6) und Ihre Laufwerke (siehe Handbuch "Laufwerke und Festplatten").

### 5.2.1 Test mit 680xx-System

Bei 680xx-Systemen gibt es verschiedene Betriebssysteme: YOGIDOS, JADOS, RL-DOS und CP/M68k. Hier sollen nur die Betriebssysteme JADOS und CP/M68k, im Bezug auf Floppy-Betrieb, kurz angesprochen werden.

Mögliche Systemkonfigurationen für CP/M68k

CPU68k, BANKBOOT, GDP64k, KEY oder KEY2, FLO3, RAM256 oder 2 ROA64k (mindestens 128k RAM) und ROA64k mit EASS 0-3

CPU68000, 2 BANKBOOT, 2 RAM256 oder 4 ROA64k, KEY oder KEY2, GDP64k, FLO3, 2 ROA64k mit EASS odd und even

CPU68020, 4 RAM256 oder 8 ROA64, 4 ROA64k mit EASS, GDP64k, KEY oder KEY2, FLO3

Anschluß des Laufwerkes (siehe oben 5.2.1 Floppy-Betrieb beim Z80). CP/M68k besteht aus 5 Disketten. Nehmen Sie nun Diskette 0 und schieben sie in Laufwerk A und schließen das Laufwerk.

Im Grundprogramm gehen sie mit zweimal "W" und "CR" ins dritte Menü und wählen Punkt "4 = Floppy Start" aus. Nach kurzer Wartezeit (das Laufwerk arbeitet erscheint auf dem Bildschirm die Meldung "Welcome to CP/M68k" und "A>". Damit ist das Betriebssystem geladen.

Formatieren einer Diskette (siehe unter 5.2.1)

Für das Betriebssystem JADOS erhalten Sie von uns ein umfangreiches Handbuch in dem sämtliche Einzelheiten beschrieben sind. Abgesehen davon daß JADOS weniger Speicher benötigt, ist die Konfiguration als auch der Start des Betriebssystems identisch zu CP/M68k.

### 5.2.3 Anschluß an den mc-Computer

Am mc-Computer kann die FLO3 statt der FLOSASI oder der FLO1 eingesetzt werden. Der Unterschied zur FLOSASI besteht darin, daß der SASI-Teil zur Ansteuerung einer Winchester nicht auf der FLO3

integriert ist und, daß auf der FLO3 eine WAIT-Logik integriert ist, die beim mc-Computer aber nicht benötigt wird. Wer also in Betracht zieht, seinen mc-Computer eines Tages mit Festplatte nachzurüsten, sollte sich lieber gleich die FLOSASI zulegen. Hier besteht natürlich die Möglichkeit, erst nur den FLO-Teil zu bestücken und später den SASI-Teil nachzurüsten.

Für den Einsatz der FLO3 beim mc-Computer muß statt der 54-poligen Steckerleiste die 64-polige Messerleiste für den ECB-Bus bestückt werden. Außerdem müssen auf der Lötseite der Baugruppe zwei Brücken mit Lötbrücken geschlossen werden (siehe Abb.)

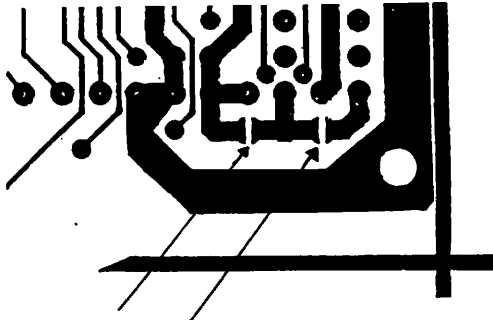


Abb. : Die beiden Brücken müssen geschlossen werden

#### Konfiguration des mc-Computer

Die Konfiguration Ihres mc-Computers sieht genauso aus wie beim Betrieb mit der FLOSASI: SYS, OUT, TERM1, (eventuell PSU zum Anschluß einer parallelen Tastatur) und die FLO3. Setzen Sie in die SYS1 jetzt den Monitor 7.2 (Art. Nr. 10497) ein, dann ist Ihr Rechner betriebsbereit. Anschluß eines Laufwerkes siehe unter Anhang E.

Schalten Sie Ihren Rechner ein, blinkt auf dem Monitor der CURSOR. Mit "I" erscheint auf dem Bildschirm: "1 = FLO2 Boot, 2 = FLO1, 3 = Winchester". Die FLO3 verhält sich hier wie die FLO2. Wählen Sie die "1" so muß sich das CP/M Betriebssystem melden (falls die Betriebssystem Diskette im Laufwerk liegt und das Laufwerk geschlossen ist).

### 5.3 Test mit dem NDR-Grundprogramm oder mc-Computer

Dieser Test ist nur sinnvoll durchführbar, wenn sie eine formatierte Diskette (NDR 80-Spur-Format) zur Verfügung haben, mit Ausnahme des Tests 5.3.1

Sollten Sie nicht auf Anhieb booten können oder auch beim Formatieren Schwierigkeiten haben, können die nachfolgenden Tests zur Fehlereingrenzung eventuell nützlich sein, allerdings sollten Sie vorher die Fehlersuchanleitung unter 6. abgearbeitet haben.

#### 5.3.1 Test 1

Man gibt einen Wert auf dem I/O-Port C1H aus. Der Test kann für beliebige Werte ausgeführt werden; wir haben uns für "55H" (H zeigt an daß es sich hierbei um eine Hexadezimalzahl handelt) und "AAH" entschieden, da damit sämtliche Datenleitungen überprüft werden können.

Über den Befehl I/O-Setzen oder mit "Q0C1 55" beim mc-Computer wird der Wert 55 auf Port C1 ausgegeben (siehe Abb. 5.3.1.1). Beim 68000 wird die Portadresse \$FFFFFFC0 bis \$FFFFFFC4 \* 2 verwendet, da beim 68000 die Systemports auf geraden Adressen zum liegen kommen.

IO setzen

Adr:c1

Data: 55

Abb. 5.3.1.1 Setzen des Ports C1 mit dem Grundprogramm

Wollen wir nun wissen, ob der Wert im Register des FD 1797 abgespeichert wurde, muß der Port C1H mit I/O Lesen oder beim mc-Computer mit Q0C1 wieder eingelesen werden. Auf dem Bildschirm muß der Wert 55 wieder erscheinen (siehe Abb. 5.3.1.2).

IO lesen

Adr:c1

55

01010101

R=Adr D=Dauer S=Stop M=Menue

Abb. 5.3.1.2 Menü I/O lesen beim Grundprogramm des NDR-Computers

Dieser Test dient nur dazu, die Datenleitungen zum Floppycontroller, die Register des Floppy-Controllers und die Dekodierlogik zu testen.

### 5.3.2 Test 2

Für diesen Test muß mindestens ein Laufwerk angeschlossen sein (Anschluß eines Laufwerkes siehe unter Anhang E), und eine formatierte Diskette eingelegt sein.

#### RESTORE- Befehl

Ein RESTORE Befehl bedeutet daß das Laufwerk zurückgesetzt wird und der Schreib-Lese-Kopf über der Spur 0 positioniert wird. Dazu muß auf den Port C4H folgender Wert, abhängig vom Laufwerk ausgegeben werden:

Maxilaufwerke SD	=	11H
Minilaufwerke SD	=	21H
Minilaufwerke DD	=	31H

Anschließend wird auf Port C0H (Kommandoregister des FD 1797) der Wert 0FH ausgegeben (RESTORE-Befehl). Die rote LED am Laufwerk muß nun kurz aufleuchten und der Schrittmotor positioniert den Kopf auf Spur 0. Bei neuen Laufwerken ist der Kopf meistens schon auf Spur 0 positioniert, sodaß der Schrittmotor bei diesem Befehl nicht in Aktion tritt.

Wird nun das Statusregister abgefragt (Port C0H), muß die Ausgabe nicht unbedingt dem in der Abb. 5.3.2 entsprechen. Aber dieses Beispiel ist eine mögliche richtige Ausgabe des Statusregisters.

IO lesen  
Adr:c0  
64  
01100100  
R=Adr D=Dauer S=Stop M=Menue

Abb. 5.3.2.1 Lesen des Statusregisters des FD1797

Bit 6 bedeutet daß der Schreibschutz gesetzt ist, Bit 5 = 1 bedeutet, daß der Kopf aufliegt und Bit 2 = 1 bedeutet daß der Schreib-Lese-Kopf sich in Spur 0 befindet. Wenn man das Statusregister etwas später abfragt, erscheint der Wert "00", denn das Laufwerk wird nur für eine bestimmte Zeit selektiert.

Fehler gibt es erst, wenn andere Bits auftauchen. So z. B. Bit 7. Das würde bedeuten "Laufwerk nicht ready", dann steckt vielleicht die Diskette falsch herum drin. Bit 0 kann gesetzt bleiben wenn z.B. der Indeximpuls nicht kommt. Man kann das einmal ausprobieren, indem man die Diskette aus dem Laufwerk herausnimmt und dann den RESTORE-Befehl durchführt.

Wenn Bit 3 oder 4 gesetzt ist liegt ein Lesefehler vor. Entweder stimmt die eingegebenen Dichte (SD, DD) nicht, oder die Diskette ist nicht oder falsch formatiert oder die Schaltung arbeitet nicht einwandfrei.

## SEEK-Befehl

Der SEEK-Befehl sucht, wie der Name schon sagt, eine Spur, die ins Spur-Register eingetragen wird.

Dazu wird auf Port C4H wieder das Laufwerkabhängige Byte (Maxi SD = 11H, Mini DD = 21, Mini SD = 31) ausgegeben. Das Spur-Register des FD1797 (Port C3H) wird mit der gewünschten Spur, die gesucht werden soll geladen (z. B. 20H) und das Kommandoregister (Port C0H wird mit dem Wert 1FH, was dem SEEK-Befehl entspricht geladen. Mit dem Laden des Kommandoregisters wird die Spur angefahren; man hört den Schrittmotor rattern. Tut sich hier gar nichts, ist es wahrscheinlich, daß ein Fehler auf der FLO3 oder dem Kabel zum Laufwerk vorliegt.

Sollten Sie sowohl mit der Fehlersuchanleitung unter 6. als auch mit diesem Test den Fehler nicht eingrenzen können, bieten wir als Hersteller einen Pauschal-Reparaturservice an.

## 5.4 Die Bedeutung der Jumper

### 5.4.1 JMP1

Anschlußmöglichkeit (hauptsächlich zum Test) für Dioden als Komponente der Ready-Erzeugung. Die Dioden werden für die Laufwerke benötigt, die keinen Ready-Ausgang besitzen. Wenn ein Ready-Ausgang vorhanden ist, so liegt er meist auf dem Stift 34 der 34-poligen Steckerleiste. Er liegt in unserer Schaltung auf dem gemeinsamen Ready-Eingang der Dioden (Anode). Für ein Laufwerk mit Ready-Ausgang dürfen die Dioden nichts beeinflussen, daher darf der zugehörige Jumper nicht gesteckt sein! Dioden und JMP1 sind im Bausatz nicht enthalten, im Fertiggerät aber enthalten.

### 5.4.2 JMP2

Mit diesem JMP werden die WAIT-Zyklen, die die FLO3 erzeugen soll eingestellt. Sinnvoll ist die Einstellung dieses JMP nur bei CPU-Taktfrequenzen größer 8 MHz. Haben Sie also eine 8, 12 oder 16 MHz CPU empfiehlt es sich, WAIT-Zyklen einzustellen. Die einzelnen Brücken sind mit "1", "2" usw. beschriftet was der Anzahl der eingestellten WAIT-Zyklen entspricht. Auf der Leiterplatte FLO3 r3 sind 3 WAIT-Zyklen "default" eingestellt. Wollen Sie mehr oder weniger WAIT-Zyklen einstellen müssen diese Brücke (JMP2/3) auftrennen. Achten Sie darauf, daß nie mehr als eine Brücke an diesem JMP geschlossen ist, sonst zerstören Sie den Baustein 74LS164 (J5).

### 5.4.3 JMP3

JMP3 dient zur Einstellung des FLO-Ports; er ist auf C0 bis C8 voreingestellt. Diese Portadresse wird von allen Betriebssystemen die auf dem NDR laufen, unterstützt.



#### 5.4.4 JMP4

JMP4 dient zum Trennen des Interrupts vom Bus. Bei Z80-Systemen muß dieser JMP geschlossen sein, bei 680xx-Systemen offen.

#### 5.4.5 JMP5

JMP5 dient zum Einstellen des "MOTOR ON" Signales. Dabei gibt es drei Möglichkeiten:

1. Das MOTOR ON wird über den HLD (HEAD LOAD) gesteuert. Diese Einstellung ist "default" eingestellt.
2. Das Motor ON Signal wird über das Bit 6 (J12/9) des Ports C5 gesteuert.
3. Das MOTOR ON wird auf Masse gelegt. Dann läuft der Laufwerksspindelmotor ständig.

#### 5.4.6 JMP6

Mit JMP6 kann die Steuerleitung "SIDE" (Laufwerksseite) entweder softwaremäßig über Bit 7 (J12/12) des Port C5 oder über die SS0 Leitung des 1797 (J9) gesteuert werden. JMP6 ist auf Bit 7 (J12/12) voreingestellt.

#### 5.4.7 JMP7

JMP7 dient zur Einstellung der Precompensation. Mit JMP7/1/3/5 kann P0, P1 und P2 des Datenseparators auf 0 gelegt werden (Voreinstellung). Mit JMP7/2/4/6 können P0, P1 und P2 je auf 1 (HIGH) gelegt werden. Die jeweils gewünschte Precompensation wird nach der Wahrheitstabelle unter 7.1.3 eingestellt.

Die Precompensation ist auf 000 für P0, P1 und P2 voreingestellt. Diese Werte müssen sie im allgemeinen bei Verwendung von uns angebotenen Laufwerken nicht ändern.

## 6. Fehlersuchanleitung

Sollte Ihre Baugruppe bei den in Kapitel 5 beschriebenen Tests nicht funktionieren, so heißt es jetzt systematisch auf Fehlersuche zu gehen.

Wir wollen Ihnen nun ein paar Vorschläge machen, wie eine systematische Fehlersuche mit und ohne Oszilloskop vor sich gehen kann:

### 6.1 Mögliche Fehler und ihre Behebung

6.1.1 Sind die bisher verwendeten Baugruppen in Ordnung?  
(Funktionierte das System ohne die Baugruppe FL03)

6.1.2 Sind die Jumper richtig gesteckt? (!!)

6.1.3 Machen Sie zuerst eine Sichtprobe. Können Sie irgendwo auf der Leiterplatte unsaubere Lötstellen (zuviel Lötzinn, manchmal zieht das Lötzinn Fäden) erkennen, die eventuell einen Kurzschluß verursachen könnten? Dann müssen sie diese Lötstellen nachlöten und die unzulässige Verbindung beseitigen.

6.1.4 Haben Sie auch alle ICs richtig herum und am richtigen Platz eingesteckt? (Vergleiche mit Bestückungsplan)

6.1.5 Sind alle gepolten Bauteile (Elkos, Dioden, usw.) richtig herum eingelötet?

6.1.6 Haben sie auch keine Lötstelle vergessen zu löten?  
(sehen sie lieber noch einmal nach)

6.1.7 Sehen Sie irgendwo "kalte" Lötstellen?  
Kalte Lötstellen erkennt man daran, daß sie nicht glänzen, sie sind im Vergleich mit richtig gelöteten Lötstellen trübe.

6.1.8 Haben Sie auch nicht zu heiß gelötet?  
Wenn der LötKolben zu heiß eingestellt ist und (oder) Sie zu lange auf der Lötstelle bleiben, dann kann es passieren, daß sich die Leiterbahnen von der Leiterplatte lösen und Unterbrechungen bilden. Ferner kann es auch passieren, daß Durchkontaktierungen unterbrochen werden, oder daß Bauteile durch zu heißes Löten zerstört werden.

6.1.9 Nehmen Sie alle ICs aus ihren Fassungen. Nehmen Sie sich die Layouts zur Hand und kontrollieren Sie alle Leiterbahnen mit einem Durchgangsprüfer oder mit einem Ohmmeter auf Durchgang. Bereits kontrollierte Leiterbahnen können Sie, der Übersicht wegen, auf dem Layout mit Bleistift durchstreichen oder mit Farbstiften nachziehen.

6.1.10 Prüfen sie die Versorgungsspannung mit einem Digital-Voltmeter (am Bus +5V, nicht am Netzgerät, da am Kabel bei starker Belastung bis zu 0.5V abfallen können). Toleranzen von  $\pm 5\%$  also von 4,75V bis 5,25V sind erlaubt. Falls die Spannung zu gering ist, prüfen Sie, ob die Verbindung vom Netzteil zum Bus mit ausreichend dickem (mind. 2 mm Quadrat) Kabel erfolgt ist. Gegebenenfalls müssen Sie Ihr Netzteil nachregeln. Vorsicht: nie über 5,1V nachregeln, da sich auf einigen Leiterplatten 5,1V Zenerdioden befinden, die ab 5,1V durchschalten, was entweder zum Zusammenbruch Ihrer Versorgungsspannung führt oder die Zenerdiode bis zu Ihrer Zerstörung erhitzt.  
Übrigens: Wir empfehlen 5,05V.

Wenn Sie alle Leiterbahnen kontrolliert haben und nichts gefunden haben, dann ist die Wahrscheinlichkeit groß, daß ein Bauteil defekt ist.

Wenn Sie einen Prüfstift oder ein Oszilloskop haben, dann können Sie jetzt überprüfen, ob an den jeweiligen Ausgängen die richtigen Signale anliegen. Welche Signale wo anliegen müssen, können Sie aus der Schaltungsbeschreibung, aus dem Schaltplan und Ihren eigenen Überlegungen entnehmen.

Falls Sie keine Meßgeräte haben, dann müssen Sie alle Bauteile systematisch austauschen, bis Sie das Defekte gefunden haben. Verwenden Sie dazu eventuell eine zweite Baugruppe (die eines Freundes oder eines Bekannten).

Sollten Sie gar nicht zurande kommen, hilft Ihnen unser Pauschal-Reparatur-Service, dessen Bedingungen Sie der Preisliste entnehmen können.

## 7. Schaltungsbeschreibung

### 7.1 Wie funktioniert die Baugruppe

Wenn Sie hier weiterlesen, sollten Sie die grobe Funktionsweise, wie sie auch im Kapitel 4 beschrieben wird, verstanden haben. Denn wir beschreiben hier nur die Funktionen der einzelnen ICs und die Verbindungen untereinander in recht knapper Form. Für genaue Informationen verweisen wir auf die Datenblätter zu den verwendeten ICs und appellieren ein wenig an Ihren Mut, einen Schaltplan zu "lesen" und zu versuchen, ihn zu verstehen. Ausgezeichnete Profis werden sicher keine Probleme dabei haben, und als Anfänger sei Ihnen nur Hoffnung gemacht, daß eines Tages...

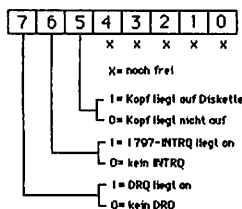
Die Schaltung läßt sich einige grob gegliederte Blöcke aufspalten:

1. Dekodierlogik und Ports
2. Floppy-Controller
3. Datenseparator 9229B
4. WAIT-Logik
5. Der Shugart Bus (Laufwerks-Bus)

#### 7.1.1 Dekodierlogik und Ports

Der Vergleichler 74LS85 vergleicht die Adressbits A4 bis A7 mit der an JMP3 eingestellten Bitkombination (hier C0H voreingestellt). Sind die Adressbits identisch mit den an den JMP3 eingestellten und das M1-Signal 1 so wird der Ausgang J8/8 aktiviert (1-Signal) und aktiviert den Eingang G1 des Dekoders 74LS138 (J7). Liegt gleichzeitig das -IORQ-Signal auf 0 so wird auch der Eingang -G2A aktiviert und der Dekoder ausgewählt. Liegt nun ein IO-Zugriff auf die Adressen C0 bis C3 vor so ist A2 und A3 0 und der Dekoder (J7) aktiviert den Ausgang 0 (J7/15). Dieses Signal wird noch mit RD verodert und auf den Eingang RD (J9/4) gelegt; ebenso mit WR verodert und auf WR (J9/2) gelegt. Die Register des 1797 werden über die Ports C0 bis C3 angesprochen, wobei die einzelnen Register über die Adressbits A0 und A1, sowie über RD und WR ausgewählt werden. Die RD-Leitung führt außerdem zum bidirektionalen Bustreiber 74LS245 (J14/1), sodaß bei einem Lesezugriff auf die Register des 1797 die Daten vom Floppy-Controller auf den Bus gelegt werden. Sonst werden die Daten ständig vom Bus zum Floppy-Controller übertragen.

Wird einer der Ports C5 bis C8 angesprochen so wird Ausgang 1 des Dekoders 74LS138 (J7/14) aktiviert und mit RD bzw. WR verodert. Soll nun von dem Port C4 gelesen werden so wird J13 selektiert und die Daten auf den Bus gelegt, soll auf C4 geschrieben werden so wird J12 selektiert und die Daten vom Datenbus auf das Latch geschrieben. Bedeutung der Bits auf Port C4:



Port C4 beim Schreiben

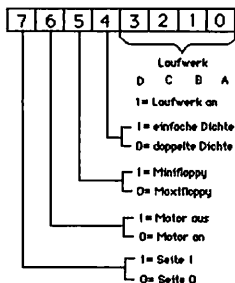


Abb. Belegung des Schreibports C4 und des Leseports C4  
Erklärung der Steuerbits siehe unter Shugart-Bus.

### 7.1.2. Der Floppy-Controller WD1797

Der Floppy-Controller wird über die Adressen 0C0H bis 0C3h angesprochen. Abb. 7.2.2 zeigt die Register des 1797.

Lesen			Schreiben		
Port C0H	I	Statusregister	I	Kommandoregister	I
Port C1H	I	Spurregister	I	Spurregister	I
Port C2H	I	Sektorregister	I	Sektorregister	I
Port C3H	I	Datenregister	I	Datenregister	I

Abb. Registerbelegung 1797

#### Befehls- und Statusregister

Mit dem Schreib-Port 0C0h wird das Befehlsregister des Floppy-Controllers angesprochen. An dieses Register werden sämtliche Befehle des Computers an den Controller übergeben. Im Gegenzug wird von Register 0C0H das Statusregister gelesen. In diesem Register stehen die aktuellen Informationen was der Floppy-Controller im Moment "arbeitet".

Befehle des Floppy-Controllers die dem Befehlsregister übergeben werden:

Typ	I	Befehl	I	Befehl	I	7	6	5	4	3	2	1	0
I	I	Restore	I	Auf Spur 0	I	0	0	0	0	h	V	R0	R1
I	I	Seek	I	Spur suchen	I	0	0	0	0	h	V	R0	R1
I	I	Step	I	Schreiten mit dem	I	0	0	1	u	h	V	R0	R1
	I		I	Schrittmotor	I								
I	I	Step In	I	nach innen	I	0	1	0	u	h	V	R0	R1
I	I	Step Out	I	nach außen	I	0	1	1	u	h	V	R0	R1
II	I	Read Sector	I	Lese Sektor	I	1	0	0	m	F2	E	F1	0
II	I	Write Sector	I	Schreibe Sektor	I	1	0	1	m	F2	E	F1	A0
III	I	Read Address	I	Lese Adresse	I	1	1	0	0	0	E	F1	0
III	I	Read Track	I	Lese Spur	I	1	1	1	0	0	E	F1	0
III	I	Write Track	I	Schreibe Spur	I	1	1	1	1	0	E	F1	0
IV	I	Force Int.	I	Int. auslösen	I	1	1	0	1	I3	I2	I1	I0

Man unterscheidet hier vier Befehlsarten. Die erste Gruppe (I) sind Befehle zur Kopfpositionierung, die zweite Gruppe sind Befehle zum Lesen und Schreiben auf Sektoren. Die dritte Gruppe sind Spur-Befehle die eigentlich nur zum Formatieren verwendet werden. Die vierte Befehlsgruppe (IV) dient zur Interrupt Steuerung.

In diesen Befehlen sind nun einige Variablen enthalten, die ich hier noch kurz auflisten möchte:

R0, R1	Steprate des Schrittmotors einstellbar
h = 0	Kopf bei Start laden
h = 1	Kopf bei Start heben
V = 1	Spur prüfen durch auslesen
V = 0	keine Prüfung
u = 1	Spur Register auf aktuellen Stand bringen
u = 0	Spur Register belassen



m = 0	Einen Record bearbeiten; m = 1	Mehrere bearbeiten
a0	Data Address Mark	
a0 = 0	FB (Data Mark)	
a0 = 1	F8 (Delete Data Mark)	
E	15 ms Delay (bei Head Load)	
E = 0	keine 15 ms Verzögerung	
E = 1	15 ms Verzögerung	
F1	Side Select Flag	
F1 = 0	SSO auf 1 legen	
F1 = 1	SSO auf 0 legen	
F2	Sector Length Flag	

I-----I-----									
I	I	Sector Length Field						I	I
I	I	00	01		01		11	I	I
I-----I-----									
I	b = 0	I	256	I	512	I	1024	I	128
I	b = 1	I	128	I	256	I	512	I	1024
-----									

## Statusregister

### Belegung des Statusregisters

Bit des Statusregisters	I	Typ	I	Befehl	I	Typ	II und III	Befehl
-----								
Bit 0	I	1	=	Busy	I	1	=	Busy
Bit 1	I	1	=	Index	I	1	=	DRQ
Bit 2	I	1	=	Spur 0	I	1	=	Daten Verlust
Bit 3	I	1	=	CRC-Fehler	I	1	=	CRC-Fehler
Bit 4	I	1	=	Such Befehl	I	1	=	Record nicht gefunden
Bit 5	I	1	=	Kopf geladen	I	1	=	Record Typ Fehler
Bit 6	I	1	=	Schreibschutz	I	1	=	Schreibschutz
Bit 7	I	1	=	Nicht ready	I	1	=	nicht ready
	I	0	=	ready	I	0	=	ready
=====								

Weitere Einzelheiten zum 1797 siehe unter 10.2

### 7.1.3 Der Datenseparator 9229B (J15)

Der Datenseparator trennt beim Lesen die wirklichen Daten vom Takt und beaufschlagt beim Schreiben die Daten mit dem Takt. Diese Modulation und Demodulation wurde früher immer durch eine Analogschaltung realisiert, die zu allem Übel auch noch abgeglichen werden musste. Durch die integrierte Schaltung des IC's wird dieser Abgleich überflüssig und die Schaltung ist auch sonst (durch die Integration) um einiges störsicherer.

Außerdem beinhaltet dieser Datenseparator noch eine Precompensationsschaltung, wobei die zu "compensierenden" Werte über JMP7 eingestellt werden können. Erklärung Precompensation siehe unter 3.2.



# Precompensationstabelle:

Eingang MINI = 0

MINI = 1

P2	P1	P0			P2	P1	P0		
0	0	0	0	nsec	0	0	0	0	nsec
0	0	1	62,5	nsec	0	0	1	125	nsec
0	1	0	125	nsec	0	1	0	250	nsec
0	1	1	187,5	nsec	0	1	1	375	nsec
1	0	0	250	nsec	1	0	0	500	nsec
1	0	1	250	nsec	1	0	1	500	nsec
1	1	0	312,5	nsec	1	1	0	625	nsec
1	1	1	312,5	nsec	1	1	1	625	nsec

Mit JMP7 können die verschiedenen Precompensationswerte eingestellt werden.

P0	o	1	o	Masse
P0	o	2	o	+5V
P1	o	3	o	Masse
P1	o	4	o	+5V
P2	o	5	o	Masse
P2	o	6	o	+5V

Abb. 7.1.3 JMP7 zur Einstellung der Precompensation

## 7.1.4 WAIT Logik

Die WAIT-Logik dient dazu, eine schnelle CPU bei Zugriff auf den Floppy-Controller zum Warten zu veranlassen.

Wird auf den Floppy-Controller nicht zugegriffen, verhält sich die WAIT-Logik passiv (der -CLR-Eingang (J5/9) liegt auf LOW und sämtliche Ausgänge von J5 sind auf LOW).

Wird nun auch den Floppy-Controller zugegriffen, geht der -CLR-Eingang J5/9 auf HIGH und mit jedem CLK-Impuls wird ein HIGH-Signal in das Schieberegister geschoben und auf die entsprechenden Ausgänge gelegt. Die Zeit, die das WAIT-Signal auf LOW liegt, berechnet sich aus dem Produkt von Taktperiodendauer und eingestellte WAIT-Zyklen. Sind zum Beispiel 8 WAIT-Zyklen eingestellt, so liegt das -WAIT-Signal 62,5 nsec \* 8 = 500 nsec auf LOW. Während dieser Zeit wartet die CPU bis der Floppy-Controller die Daten angekommen sind oder aufgenommen werden

## Der Shugart Bus

Der Shugart Bus ist die heute übliche Schnittstelle vom Controller zum Floppy-Laufwerk. Er besteht aus folgenden Signalen:

SIDE:	Seitenauswahl, 0 = Seite 1, 1 = Seite 2
MOTOR ON:	Ein- und Ausschalten des Laufwerksmotors (Spindelmotor), 0 = Motor an, 1 = Motor aus
DS1 bis DS4:	Drive Select = Laufwerksauswahl, mit diesen vier Signalen können vier Laufwerke angesprochen werden. Ist eines der vier Laufwerke angesprochen so geht der entsprechende DS-Ausgang auf LOW.
HEAD LOAD:	Laden des Schreib- Lesekopfes
TG 43:	Track Greater Than 43; dieser Ausgang informiert das Laufwerk ob eine Spur größer 43 angesprochen werden soll.
WDATA	WRITE DATA; Auf diesem Ausgang wird das modulierte Datensignal zum Laufwerk transportiert.
RAWRD	RAW READ; das Datensignal vom Laufwerk
READY	Dieser Eingang zeigt an, ob das Laufwerk betriebsbereit ist
TK0	Track 0; befindet sich der Schreib- Lesekopf auf Spur 0 so ist dieser Eingang LOW
INDEX	Index Pulse; dieser Eingang wird LOW wenn das Index Loch auf der Diskette erkannt wird
WRIPT	WRITE PROTECT; dieser Eingang zeigt an ob auf der Diskette ein Schreibschutz gesetzt ist
WG	WRITE GATE; dieser Ausgang muß bei einem Schreibzugriff auf Diskette aktiviert werden
DIRC	DIREKTION; dieser Ausgang bestimmt die Stepriichtung des Laufwerksschrittmotor, 0 = nach außen, 1 = nach innen
STEP	Für jeden Impuls auf diesem Ausgang bewegt sich der Schrittmotor einen "Step"

Pinbelegung dieses Busses siehe unter Anhang A: Schaltplan

## 8. Anwendungsbeispiele

Anwendungsbeispiele siehe unter 5.2; Anschluß eines Laufwerkes siehe unter Anhang E

## 9. Diverses

### 9.1 Verbesserungsmöglichkeiten

Es gibt ja an jeder Baugruppe immer wieder etwas zu verbessern, und so werden auch wir die diversen Verbesserungsvorschläge nicht ignorieren können.

Wir freuen uns auf Ihre Vorschläge!

### 9.2 Ausblick

Korrekturen für dieses Handbuch werden in der Zeitschrift LOOP bekanntgegeben. Man sollte dann die fehlerhaften Stellen von Hand korrigieren. In der LOOP wird auch über weitere Anwendungsmöglichkeiten der FLO3 berichtet werden.

### 9.3 Kritik

Bitte senden Sie uns die ausgefüllte Kritikkarte, die dem Bausatz beiliegt, zurück. Sie helfen uns, unsere Produkte und unseren Service noch besser zu gestalten. Für Fehlermeldungen und Verbesserungen, die dieses Handbuch betreffen, sind wir immer dankbar!

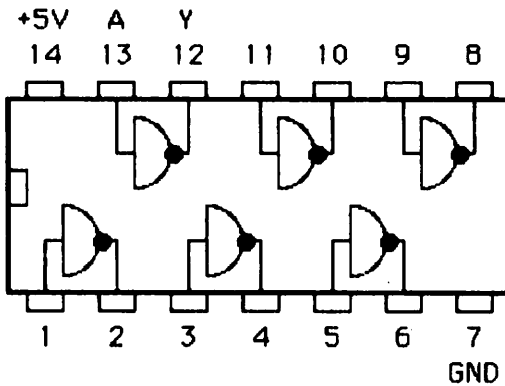
## 10. Unterlagen zu den verwendeten ICs

### 10.1 TTL-ICs

#### 10.1.1 7404

# 7404

6 Inverter



Logiktablelle:

A	Y
0	1
1	0

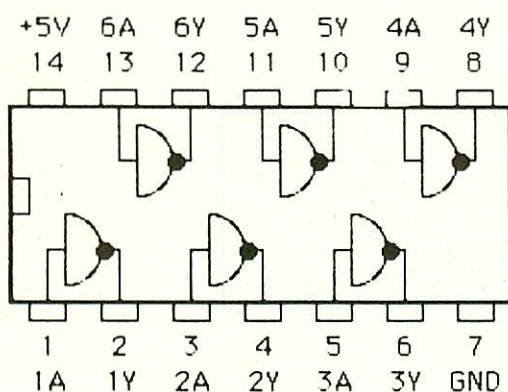
Typ. Impuls-  
Verzögerungszeit: 9 ns

Typ. Versor-  
gungsstrom: 25 mA

positive Logik:  
 $Y = \bar{A}$

# 7406

6 invertierende Treiber (O. K. 30V)



Logiktablelle:

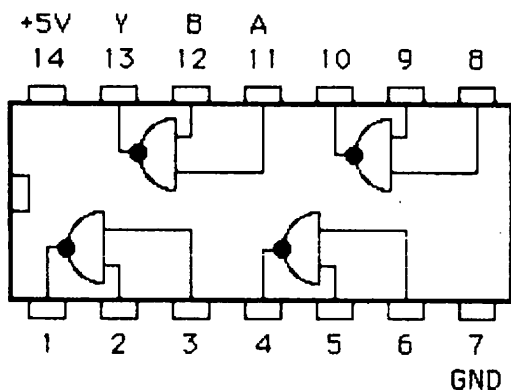
A	Y
0	1
1	0

Typ. Impuls-  
Verzögerungszeit: 12,5 ns

Typ. Leistungs-  
aufnahme: 156 mW

# 74LS01

4 NAND-Gatter mit je zwei Eingängen



Offene Kollektorausgänge

Logiktablelle.

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

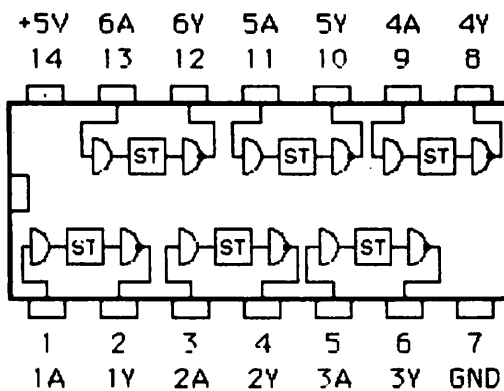
Typ. Impuls-  
Verzögerungszeit: 22 ns

Typ. Leistungs-  
aufnahme 40 mW

positive Logik:  
 $Y = \overline{AB}$

# 74LS14

6 Invertierende Schmitt-Trigger



Logik Tabelle

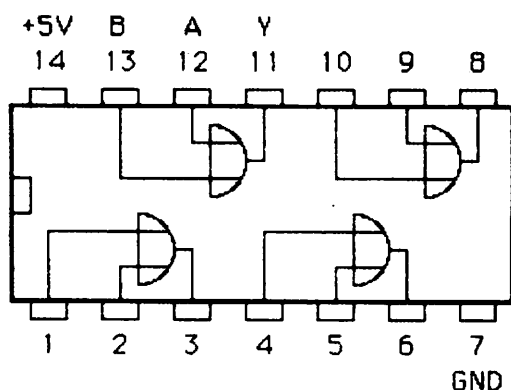
INPUT	OUTPUT
A	Y
L	H
H	L

Typ. Impulsverzögerungszeit: 15 ns  
 Typ. Versorgungsstrom: 10 mA



# 74LS32

4 OR-Gatter mit je zwei Eingängen



Logiktablelle:

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

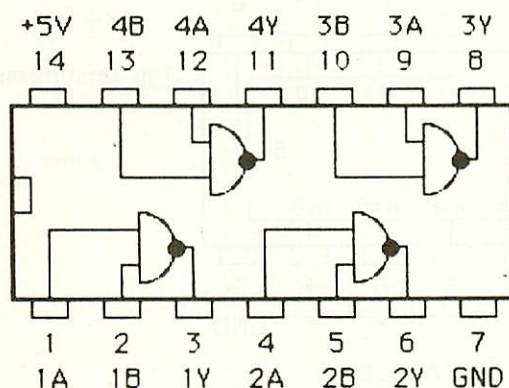
Typ. Impuls-  
Verzögerungszeit: 12 ns

Typ. Leistungs-  
aufnahme: 20 mW

positive Logik:  
 $Y = A + B$

# 74LS38

4 NAND-Leistungsgatter mit je zwei Eingängen (o.K.)



Logiktablelle:

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

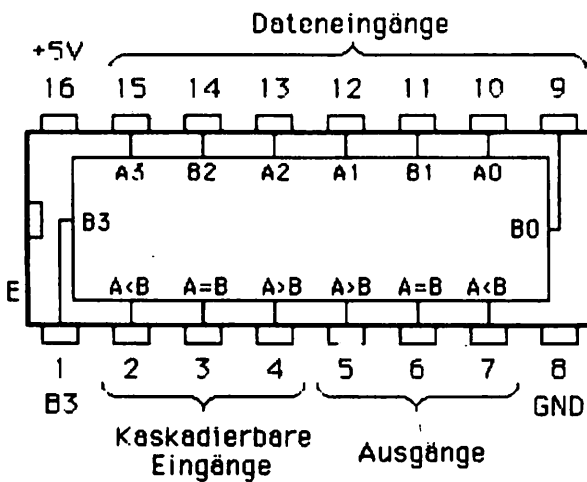
Typ. Impuls-  
Verzögerungszeit: 19 ns

Typ. Leistungs-  
aufnahme: 17 mW

positive Logik:  
 $Y = \overline{AB}$

# 74LS85

4-Bit Vergleicher



Typ. Vergleichszeit  
für 4 Bit.

24 ns

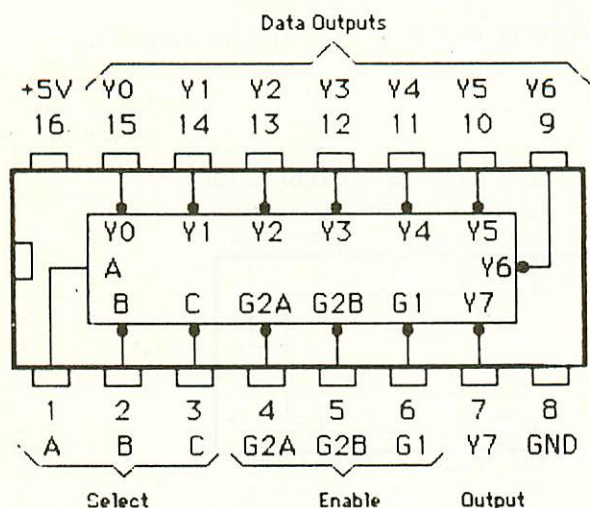
Typ. Leistungsauf-  
nahme:

52 mW

Dateneingänge				Kaskadierbare Eingänge			Ausgänge		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=A3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=A1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

# 74LS138

3-Bit Binärdekoder/Demultiplexer (3 zu 8)



Logiktablelle:

Inputs		Outputs										
Enable		Select										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

Positive Logik

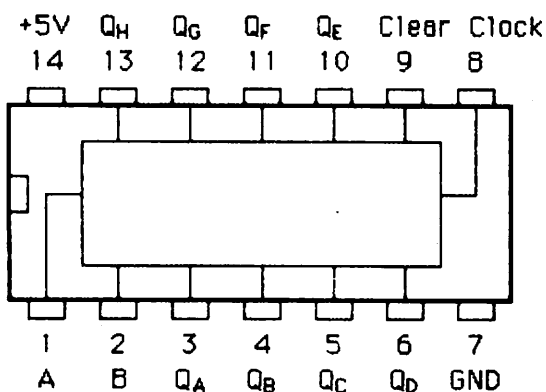
\*G2 = G2A + G2B

Typ. Impulsverzögerungszeit : 22 ns

Typ. Versorgungsstrom : 7 mA

# 74LS164

Schieberegister mit 8-Bit paralleler Ausgabe



Function Table:

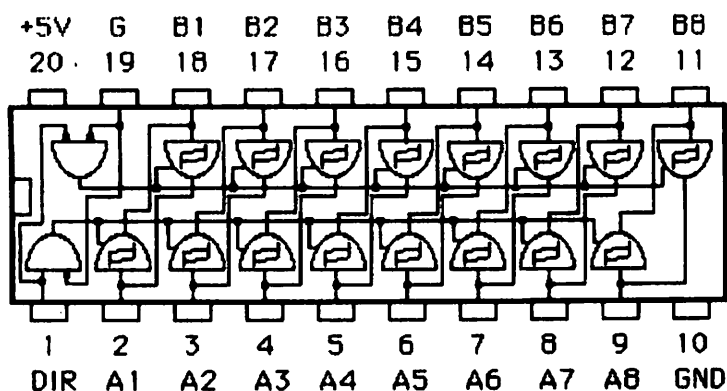
INPUTS				OUTPUTS			
Clear	Clock	A	B	Q <sub>A</sub>	Q <sub>B</sub> ...	Q <sub>H</sub>	
L	x	x	x	L	L	L	
H	L	x	x	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>H0</sub>	
H	↑	H	H	H	Q <sub>An</sub>	Q <sub>Gn</sub>	
H	↑	L	x	L	Q <sub>An</sub>	Q <sub>Gn</sub>	
H	↑	x	L	L	Q <sub>An</sub>	Q <sub>Gn</sub>	

Typ. Impulsverzögerungszeit: 15 ns

Typ. Versorgungsstrom: 20 mA

## 74LS245

Acht Bus-Transceiver (Tri-State)



Logiktablelle:

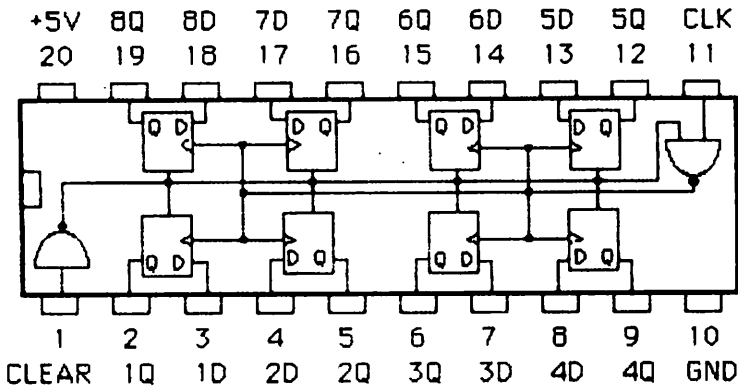
Enable $\bar{G}$	Direktion DIR	Operation
L	L	B data to A Bus
L	H	A data to B Bus
H	X	Isolation

Typ. Impuls-  
Verzögerungszeit: 8 ns

Typ. Versor-  
gungsstrom: 62 mA

# 74LS273

8-Bit D-Register mit Clear



Logiktablelle

INPUT			OUTPUT Q
CLEAR	CLOCK	D	
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	L	Q0

Typ Impuls-  
Verzögerungszeit: 17,5 ns

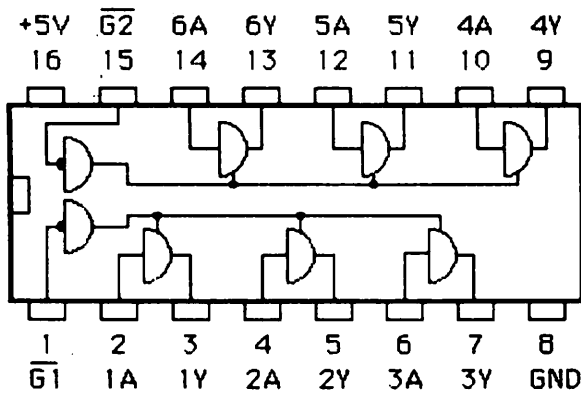
Typ Versor-  
gungsstrom: 17,5 mA

positive Logik



# 74LS367

6 BUS-Leitungstreiber mit 2 Enable Eingängen



Logiktablelle:

INPUTS		OUTPUT
$\bar{G}$	A	Y
H	X	Z
L	H	H
L	L	L

Typ. Impuls-  
Verzögerungszeit: 16 ns

Typ. Versor-  
gungsstrom: 14 mA

positive Logik:

# WESTERN DIGITAL

C O R P O R A T I O N

## FD179X-02

### Floppy Disk Formatter/Controller Family

#### FEATURES

- TWO VFO CONTROL SIGNALS — RG & VFOE
- SOFT SECTOR FORMAT COMPATIBILITY
- AUTOMATIC TRACK SEEK WITH VERIFICATION
- ACCOMMODATES SINGLE AND DOUBLE DENSITY FORMATS
  - IBM 3740 Single Density (FM)
  - IBM System 34 Double Density (MFM)
  - Non IBM Format for Increased Capacity
- READ MODE
  - Single/Multiple Sector Read with Automatic Search or Entire Track Read
  - Selectable 128, 256, 512 or 1024 Byte Sector Lengths
- WRITE MODE
  - Single/Multiple Sector Write with Automatic Sector Search
  - Entire Track Write for Diskette Formatting
- SYSTEM COMPATIBILITY
  - Double Buffering of Data 8 Bit Bi-Directional Bus for Data, Control and Status
  - DMA or Programmed Data Transfers
  - All Inputs and Outputs are TTL Compatible
  - On-Chip Track and Sector Registers/Comprehensive Status Information

#### PROGRAMMABLE CONTROLS

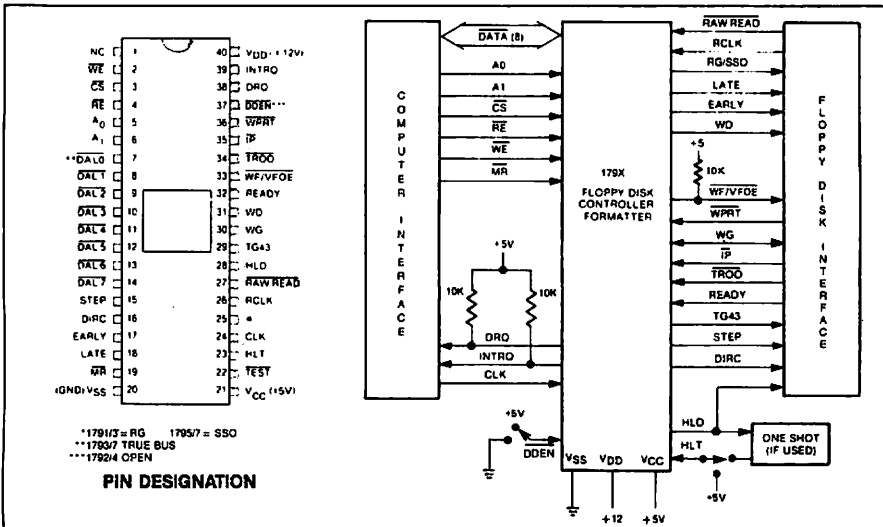
- Selectable Track to Track Stepping Time
- Side Select Compare
- INTERFACES TO WD1691 DATA SEPARATOR
- WINDOW EXTENSION
- INCORPORATES ENCODING/DECODING AND ADDRESS MARK CIRCUITRY
- FD1792/4 IS SINGLE DENSITY ONLY
- FD1795/7 HAS A SIDE SELECT OUTPUT

#### 179X-02 FAMILY CHARACTERISTICS

FEATURES	1791	1792	1793	1794	1795	1797
Single Density (FM)	X	X	X	X	X	X
Double Density (MFM)	X		X		X	X
True Data Bus			X	X		X
Inverted Data Bus	X	X			X	
Write Precomp	X	X	X	X	X	X
Side Selection Output					X	X

#### APPLICATIONS

8" FLOPPY AND 5 1/4" MINI FLOPPY CONTROLLER  
SINGLE OR DOUBLE DENSITY  
CONTROLLER/FORMATTER



# PIN OUTS

PIN NUMBER	PIN NAME	SYMBOL	FUNCTION																									
1	NO CONNECTION	NC	Pin 1 is internally connected to a back bias generator and must be left open by the user.																									
19	MASTER RESET	MR	A logic low (50 microseconds min.) on this input resets the device and loads HEX 03 into the command register. The Not Ready (Status Bit 7) is reset during MR ACTIVE. When MR is brought to a logic high a RESTORE Command is executed, regardless of the state of the Ready signal from the drive. Also, HEX 01 is loaded into sector register.																									
20	POWER SUPPLIES	Vss	Ground																									
21		Vcc	+ 5V ± 5%																									
40		Vdd	+ 12V ± 5%																									
COMPUTER INTERFACE:																												
2	WRITE ENABLE	WE	A logic low on this input gates data on the DAL into the selected register when CS is low.																									
3	CHIP SELECT	CS	A logic low on this input selects the chip and enables computer communication with the device.																									
4	READ ENABLE	RE	A logic low on this input controls the placement of data from a selected register on the DAL when CS is low.																									
5,6	REGISTER SELECT LINES	A0, A1	These inputs select the register to receive/transfer data on the DAL lines under RE and WE control: <table><tr><td>CS</td><td>A1</td><td>A0</td><td>RE</td><td>WE</td></tr><tr><td>0</td><td>0</td><td>0</td><td>Status Reg</td><td>Command Reg</td></tr><tr><td>0</td><td>0</td><td>1</td><td>Track Reg</td><td>Track Reg</td></tr><tr><td>0</td><td>1</td><td>0</td><td>Sector Reg</td><td>Sector Reg</td></tr><tr><td>0</td><td>1</td><td>1</td><td>Data Reg</td><td>Data Reg</td></tr></table>	CS	A1	A0	RE	WE	0	0	0	Status Reg	Command Reg	0	0	1	Track Reg	Track Reg	0	1	0	Sector Reg	Sector Reg	0	1	1	Data Reg	Data Reg
CS	A1	A0	RE	WE																								
0	0	0	Status Reg	Command Reg																								
0	0	1	Track Reg	Track Reg																								
0	1	0	Sector Reg	Sector Reg																								
0	1	1	Data Reg	Data Reg																								
7-14	DATA ACCESS LINES	DAL0-DAL7	Eight bit Bidirectional bus used for transfer of data, control, and status. This bus is receiver enabled by WE or transmitter enabled by RE. Each line will drive 1 standard TTL load.																									
24	CLOCK	CLK	This input requires a free-running 50% duty cycle square wave clock for internal timing reference, 2 MHz ± 1% for 8" drives, 1 MHz ± 1% for mini-floppies.																									
38	DATA REQUEST	DRQ	This open drain output indicates that the DR contains assembled data in Read operations, or the DR is empty in Write operations. This signal is reset when serviced by the computer through reading or loading the DR in Read or Write operations, respectively. Use 10K pull-up resistor to + 5.																									
39	INTERRUPT REQUEST	INTRQ	This open drain output is set at the completion of any command and is reset when the STATUS register is read or the command register is written to. Use 10K pull-up resistor to + 5.																									
FLOPPY DISK INTERFACE:																												
15	STEP	STEP	The step output contains a pulse for each step.																									
16	DIRECTION	DIRC	Direction Output is active high when stepping in, active low when stepping out.																									
17	EARLY	EARLY	Indicates that the WRITE DATA pulse occurring while Early is active (high) should be shifted early for write precompensation.																									
18	LATE	LATE	Indicates that the write data pulse occurring while Late is active (high) should be shifted late for write precompensation.																									

PIN NUMBER	PIN NAME	SYMBOL	FUNCTION
22	TEST	TEST	This input is used for testing purposes only and should be tied to +5V or left open by the user unless interfacing to voice coil actuated steppers.
23	HEAD LOAD TIMING	HLT	When a logic high is found on the HLT input the head is assumed to be engaged. It is typically derived from a 1 shot triggered by HLD.
25	READ GATE (1791, 1792, 1793, 1794)	RG	This output is used for synchronization of external data separators. The output goes high after two Bytes of zeros in single density, or 4 Bytes of either zeros or ones in double density operation.
25	SIDE SELECT OUTPUT (1795, 1797)	SSO	The logic level of the Side Select Output is directly controlled by the 'S' flag in Type II or III commands. When U = 1, SSO is set to a logic 1. When U = 0, SSO is set to a logic 0. The SSO is compared with the side information in the Sector I.D. Field. If they do not compare Status Bit 4 (RNF) is set. The Side Select Output is only updated at the beginning of a Type II or III command. It is forced to a logic 0 upon a MASTER RESET condition.
26	READ CLOCK	RCLK	A nominal square-wave clock signal derived from the data stream must be provided to this input. Phasing (i.e. RCLK transitions) relative to RAW READ is important but polarity (RCLK high or low) is not.
27	RAW READ	RAW READ	The data input signal directly from the drive. This input shall be a negative pulse for each recorded flux transition.
28	HEAD LOAD	HLD	The HLD output controls the loading of the Read-Write head against the media.
29	TRACK GREATER THAN 43	TG43	This output informs the drive that the Read/Write head is positioned between tracks 44-78. This output is valid only during Read and Write Commands.
30	WRITE GATE	WG	This output is made valid before writing is to be performed on the diskette.
31	WRITE DATA	WD	A 200 ns (MFM) or 500 ns (FM) output pulse per flux transition. WD contains the unique Address marks as well as data and clock in both FM and MFM formats.
32	READY	READY	This input indicates disk readiness and is sampled for a logic high before Read or Write commands are performed. If Ready is low the Read or Write operation is not performed and an interrupt is generated. Type I operations are performed regardless of the state of Ready. The Ready input appears in inverted format as Status Register bit 7.
33	WRITE FAULT VFO ENABLE	WF/VFOE	This is a bi-directional signal used to signify writing faults at the drive, and to enable the external PLO data separator. When WG = 1, Pin 33 functions as a WF input. If WF = 0, any write command will immediately be terminated. When WG = 0, Pin 33 functions as a VFOE output. VFOE will go low during a read operation after the head has loaded and settled (HLT = 1). On the 1795/7, it will remain low until the last bit of the second CRC byte in the ID field. VFOE will then go high until 8 bytes (MFM) or 4 bytes (FM) before the Address Mark. It will then go active until the last bit of the second CRC byte of the Data Field. On the 1791/3, VFOE will remain low until the end of the Data Field. This pin has an internal 100K Ohm pull-up resistor.
34	TRACK 00	TR00	This input informs the FD179X that the Read/Write head is positioned over Track 00.

PIN NUMBER	PIN NAME	SYMBOL	FUNCTION
35	INDEX PULSE	IP	This input informs the FD179X when the index hole is encountered on the diskette.
36	WRITE PROTECT	WPRT	This input is sampled whenever a Write Command is received. A logic low terminates the command and sets the Write Protect Status bit.
37	DOUBLE DENSITY	DDEN	This input pin selects either single or double density operation. When DDEN = 0, double density is selected. When DDEN = 1, single density is selected. This line must be left open on the 1792/4.

#### GENERAL DESCRIPTION

The FD179X are N-Channel Silicon Gate MOS LSI devices which perform the functions of a Floppy Disk Formatter/Controller in a single chip implementation. The FD179X, which can be considered the end result of both the FD1771 and FD1781 designs, is IBM 3740 compatible in single density mode (FM) and System 34 compatible in Double Density Mode (MFM). The FD179X contains all the features of its predecessor the FD1771, plus the added features necessary to read/write and format a double density diskette. These include address mark detection, FM and MFM encode and decode logic, window extension, and write precompensation. In order to maintain compatibility, the FD1771, FD1781, and FD179X designs were made as close as possible with the computer interface, instruction set, and I/O registers being identical. Also, head load control is identical. In each case, the actual pin assignments vary by only a few pins from any one to another.

The processor interface consists of an 8-bit bi-directional bus for data, status, and control word transfers. The FD179X is set up to operate on a multiplexed bus with other bus-oriented devices.

The FD179X is TTL compatible on all inputs and outputs. The outputs will drive ONE TTL load or three LS loads. The 1793 is identical to the 1791 except the DAL lines are TRUE for systems that utilize true data busses.

The 1795/7 has a side select output for controlling double sided drives, and the 1792 and 1794 are "Single Density Only" versions of the 1791 and 1793 respectively. On these devices, DDEN must be left open.

#### ORGANIZATION

The Floppy Disk Formatter block diagram is illustrated on page 5. The primary sections include the parallel processor interface and the Floppy Disk interface.

**Data Shift Register** — This 8-bit register assembles serial data from the Read Data input (RAW READ) during Read operations and transfers serial data to the Write Data output during Write operations.

**Data Register** — This 8-bit register is used as a holding register during Disk Read and Write operations. In Disk Read operations the assembled data byte is transferred in parallel to the Data Register from the Data Shift Register. In Disk Write operations information is transferred in parallel from the Data Register to the Data Shift Register.

When executing the Seek command the Data Register holds the address of the desired Track position. This register is loaded from the DAL and gated onto the DAL under processor control.

**Track Register** — This 8-bit register holds the track number of the current Read/Write head position. It is incremented by one every time the head is stepped in (towards track 76) and decremented by one when the head is stepped out (towards track 00). The contents of the register are compared with the recorded track number in the ID field during disk Read, Write, and Verify operations. The Track Register can be loaded from or transferred to the DAL. This Register should not be loaded when the device is busy.

**Sector Register (SR)** — This 8-bit register holds the address of the desired sector position. The contents of the register are compared with the recorded sector number in the ID field during disk Read or Write operations. The Sector Register contents can be loaded from or transferred to the DAL. This register should not be loaded when the device is busy.

**Command Register (CR)** — This 8-bit register holds the command presently being executed. This register should not be loaded when the device is busy unless the new command is a force interrupt. The command register can be loaded from the DAL, but not read onto the DAL.

**Status Register (STR)** — This 8-bit register holds device Status information. The meaning of the Status bits is a function of the type of command previously executed. This register can be read onto the DAL, but not loaded from the DAL.

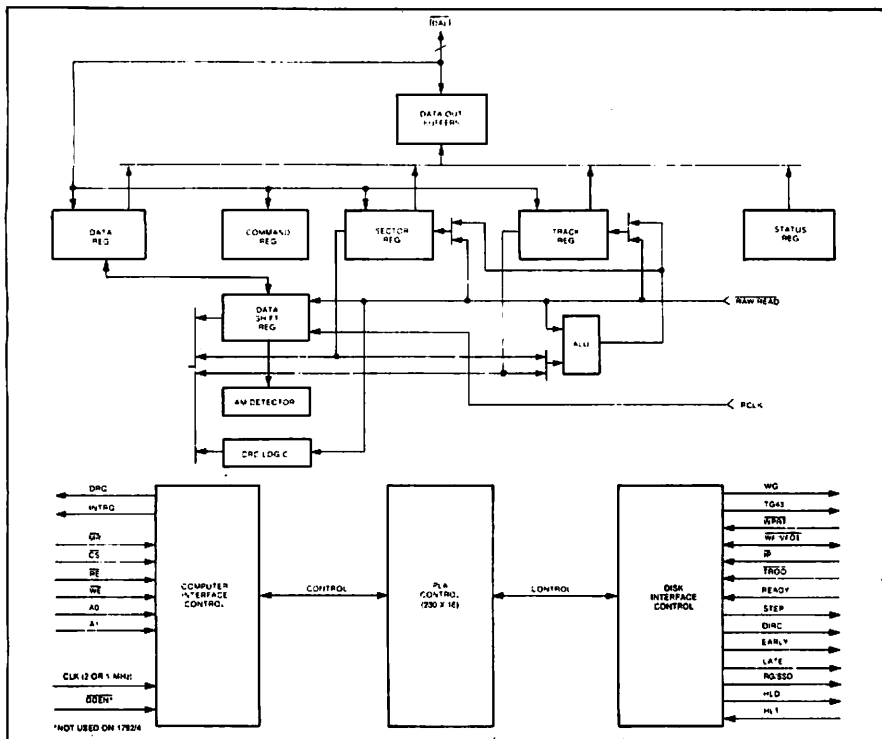
**CRC Logic** — This logic is used to check or to generate the 16-bit Cyclic Redundancy Check (CRC). The polynomial is:  $G(x) = x^{16} + x^{14} + x^6 + 1$ .

The CRC includes all information starting with the address mark and up to the CRC characters. The CRC register is preset to ones prior to data being shifted through the circuit.

**Arithmetic/Logic Unit (ALU)** — The ALU is a serial comparator, incrementer, and decrements and is used for register modification and comparisons with the disk recorded ID field.

**Timing and Control** — All computer and Floppy Disk interface controls are generated through this logic. The internal device timing is generated from an external crystal clock.

The FD179X has two different modes of operation according to the state of DDEN. When DDEN = 0 double density (MFM) is assumed. When DDEN = 1, single



FD179X BLOCK DIAGRAM

density (FM) is assumed. 1792 & 1794 are single density only.

**AM Detector** — The address mark detector detects ID, data and index address marks during read and write operations.

#### PROCESSOR INTERFACE

The interface to the processor is accomplished through the eight Data Access Lines (DAL) and associated control signals. The DAL are used to transfer Data, Status, and Control words out of, or into the FD179X. The DAL are three state buffers that are enabled as output drivers when Chip Select (CS) and Read Enable (RE) are active (low logic state) or act as input receivers when CS and Write Enable (WE) are active.

When transfer of data with the Floppy Disk Controller is required by the host processor, the device address is decoded and CS is made low. The address bits A1 and A0, combined with the signals RE during a Read operation or WE during a Write operation are interpreted as selecting the following registers:

A1 - A0	READ (RE)	WRITE (WE)
0 0	Status Register	Command Register
0 1	Track Register	Track Register
1 0	Sector Register	Sector Register
1 1	Data Register	Data Register

During Direct Memory Access (DMA) types of data transfers between the Data Register of the FD179X and the processor, the Data Request (DRQ) output is used in Data Transfer control. This signal also appears as status bit 1 during Read and Write operations.

On Disk Read operations the Data Request is activated (set high) when an assembled serial input byte is transferred in parallel to the Data Register. This bit is cleared when the Data Register is read by the processor. If the Data Register is read after one or more characters are lost, by having new data transferred into the register prior to processor readout, the Lost Data bit is set in the Status Register. The Read operation continues until the end of sector is reached.

On Disk Write operations the data Request is activated when the Data Register transfers its contents to the Data

Shift Register, and requires a new data byte. It is reset when the Data Register is loaded with new data by the processor. If new data is not loaded at the time the next serial byte is required by the Floppy Disk, a byte of zeroes is written on the diskette and the Lost Data bit is set in the Status Register.

At the completion of every command an INTRQ is generated. INTRQ is reset by either reading the status register or by loading the command register with a new command. In addition, INTRQ is generated if a Force Interrupt command condition is met.

The 179X has two modes of operation according to the state of  $\overline{\text{DDEN}}$  (Pin 37). When  $\overline{\text{DDEN}} = 1$ , single density is selected. In either case, the CLK input (Pin 24) is at 2 MHz. However, when interfacing with the mini-floppy, the CLK input is set at 1 MHz for both single density and double density.

#### GENERAL DISK READ OPERATIONS

Sector lengths of 128, 256, 512 or 1024 are obtainable in either FM or MFM formats. For FM,  $\overline{\text{DDEN}}$  should be placed to logical "1." For MFM formats,  $\overline{\text{DDEN}}$  should be placed to a logical "0." Sector lengths are determined at format time by the fourth byte in the "ID" field.

Sector Length Table*	
Sector Length Field (hex)	Number of Bytes in Sector (decimal)
00	128
01	256
02	512
03	1024

\*1795/97 may vary — see command summary.

The number of sectors per track as far as the FD179X is concerned can be from 1 to 255 sectors. The number of tracks as far as the FD179X is concerned is from 0 to 255 tracks. For IBM 3740 compatibility, sector lengths are 128 bytes with 26 sectors per track. For System 34 compatibility (MFM), sector lengths are 256 bytes/sector with 26 sectors/track; or lengths of 1024 bytes/sector with 8 sectors/track. (See Sector Length Table)

For read operations in 8" double density the FD179X requires  $\overline{\text{RAW READ Data}}$  (Pin 27) signal which is a 200 ns pulse per flux transition and a Read clock (RCLK) signal to indicate flux transition spacings. The RCLK (Pin 26) signal is provided by some drives but if not it may be derived externally by Phase lock loops, one shots, or counter techniques. In addition, a Read Gate Signal is provided as an output (Pin 25) on 1791/92/93/94 which can be used to inform phase lock loops when to acquire synchronization. When reading from the media in FM, RG is made true when 2 bytes of zeroes are detected. The FD179X must find an address mark within the next 10 bytes; otherwise RG is reset and the search for 2 bytes of zeroes begins all over again. If an address mark is found within 10 bytes, RG remains true as long as the FD179X is deriving any useful information from the data stream. Similarly for MFM, RG is made active when 4 bytes of "00" or "FF" are detected. The FD179X must find an address mark within the next 16 bytes, otherwise RG is reset and search resumes.

During read operations ( $\text{WG} = 0$ ), the  $\overline{\text{VFOE}}$  (Pin 33) is provided for phase lock loop synchronization.  $\overline{\text{VFOE}}$  will go active low when:

- Both HLT and HLD are True
- Settling Time, if programmed, has expired
- The 179X is inspecting data off the disk

If  $\overline{\text{WF/VFOE}}$  is not used, leave open or tie to a 10K resistor to +5.

#### GENERAL DISK WRITE OPERATION

When writing is to take place on the diskette the Write Gate (WG) output is activated, allowing current to flow into the Read/Write head. As a precaution to erroneous writing the first data byte must be loaded into the Data Register in response to a Data Request from the FD179X before the Write Gate signal can be activated.

Writing is inhibited when the Write Protect input is a logic low, in which case any Write command is immediately terminated, an interrupt is generated and the Write Protect status bit is set. The Write Fault input, when activated, signifies a writing fault condition detected in disk drive electronics such as failure to detect write current flow when the Write Gate is activated. On detection of this fault the FD179X terminates the current command, and sets the Write Fault bit (bit 5) in the Status Word. The Write Fault input should be made inactive when the Write Gate output becomes inactive.

For write operations, the FD179X provides Write Gate (Pin 30) and Write Data (Pin 31) outputs. Write data consists of a series of 500 ns pulses in FM ( $\overline{\text{DDEN}} = 1$ ) and 200 ns pulses in MFM ( $\overline{\text{DDEN}} = 0$ ). Write Data provides the unique address marks in both formats.

Also during write, two additional signals are provided for write precompensation. These are EARLY (Pin 17) and LATE (Pin 18). EARLY is active true when the WD pulse appearing on (Pin 30) is to be written EARLY. LATE is active true when the WD pulse is to be written LATE. If both EARLY and LATE are low when the WD pulse is present, the WD pulse is to be written at nominal. Since write precompensation values vary from disk manufacturer to disk manufacturer, the actual value is determined by several one shots or delay lines which are located external to the FD179X. The write precompensation signals EARLY and LATE are valid for the duration of WD in both FM and MFM formats.

#### READY

Whenever a Read or Write command (Type II or III) is received the FD179X samples the Ready input. If this input is logic low the command is not executed and an interrupt is generated. All Type I commands are performed regardless of the state of the Ready input. Also, whenever a Type II or III command is received, the TG43 signal output is updated.

#### COMMAND DESCRIPTION

The FD179X will accept eleven commands. Command words should only be loaded in the Command Register when the Busy status bit is off (Status bit 0). The one exception is the Force Interrupt command. Whenever a command is being executed, the Busy status bit is set. When a command is completed, an interrupt is generated and the Busy status bit is reset. The Status Register indicates whether the completed command encountered an error or was fault free. For ease of discussion, commands are divided into four types. Commands and types are summarized in Table 1.



TABLE 1. COMMAND SUMMARY

A. Commands for Models: 1791, 1792, 1793, 1794

B. Commands for Models: 1795, 1797

Type Command	Bits								Bits							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
I Restore	0	0	0	0	h	V	r <sub>1</sub>	r <sub>0</sub>	0	0	0	0	h	V	r <sub>1</sub>	r <sub>0</sub>
I Seek	0	0	0	1	h	V	r <sub>1</sub>	r <sub>0</sub>	0	0	0	1	h	V	r <sub>1</sub>	r <sub>0</sub>
I Step	0	0	1	T	h	V	r <sub>1</sub>	r <sub>0</sub>	0	0	1	T	h	V	r <sub>1</sub>	r <sub>0</sub>
I Step-in	0	1	0	T	h	V	r <sub>1</sub>	r <sub>0</sub>	0	1	0	T	h	V	r <sub>1</sub>	r <sub>0</sub>
I Step-out	0	1	1	T	h	V	r <sub>1</sub>	r <sub>0</sub>	0	1	1	T	h	V	r <sub>1</sub>	r <sub>0</sub>
II Read Sector	1	0	0	m	S	E	C	0	1	0	0	m	L	E	U	0
II Write Sector	1	0	1	m	S	E	C	a <sub>0</sub>	1	0	1	m	L	E	U	a <sub>0</sub>
III Read Address	1	1	0	0	0	E	0	0	1	1	0	0	0	E	U	0
III Read Track	1	1	1	0	0	E	0	0	1	1	1	0	0	E	U	0
III Write Track	1	1	1	1	0	E	0	0	1	1	1	1	0	E	U	0
IV Force Interrupt	1	1	0	1	l <sub>3</sub>	l <sub>2</sub>	l <sub>1</sub>	l <sub>0</sub>	1	1	0	1	l <sub>3</sub>	l <sub>2</sub>	l <sub>1</sub>	l <sub>0</sub>

FLAG SUMMARY

TABLE 2 FLAG SUMMARY

Command Type	Bit No(s)		Description																				
I	0, 1	r <sub>1</sub> r <sub>0</sub> = Stepping Motor Rate See Table 3 for Rate Summary																					
I	2	V = Track Number Verify Flag	V = 0, No verify V = 1, Verify on destination track																				
I	3	h = Head Load Flag	h = 1, Load head at beginning h = 0, Unload head at beginning																				
I	4	T = Track Update Flag	T = 0, No update T = 1, Update track register																				
II	0	a <sub>0</sub> = Data Address Mark	a <sub>0</sub> = 0, FB (DAM) a <sub>0</sub> = 1, F8 (deleted DAM)																				
II	1	C = Side Compare Flag	C = 0, Disable side compare C = 1, Enable side compare																				
II & III	1	U = Update SSO	U = 0, Update SSO to 0 U = 1, Update SSO to 1																				
II & III	2	E = 15 MS Delay	E = 0, No 15 MS delay E = 1, 15 MS delay																				
II	3	S = Side Compare Flag	S = 0, Compare for side 0 S = 1, Compare for side 1																				
II	3	L = Sector Length Flag	<table><tr><th colspan="5">LSB's Sector Length in ID Field</th></tr><tr><th></th><th>00</th><th>01</th><th>10</th><th>11</th></tr><tr><td>L = 0</td><td>256</td><td>512</td><td>1024</td><td>128</td></tr><tr><td>L = 1</td><td>128</td><td>256</td><td>512</td><td>1024</td></tr></table>	LSB's Sector Length in ID Field						00	01	10	11	L = 0	256	512	1024	128	L = 1	128	256	512	1024
LSB's Sector Length in ID Field																							
	00	01	10	11																			
L = 0	256	512	1024	128																			
L = 1	128	256	512	1024																			
II	4	m = Multiple Record Flag	m = 0, Single record m = 1, Multiple records																				
IV	0-3	l <sub>x</sub> = Interrupt Condition Flags l <sub>0</sub> = 1 Not Ready To Ready Transition l <sub>1</sub> = 1 Ready To Not Ready Transition l <sub>2</sub> = 1 Index Pulse l <sub>3</sub> = 1 Immediate Interrupt, Requires A Reset l <sub>3</sub> -l <sub>0</sub> = 0 Terminate With No Interrupt (INTRQ)																					

\*NOTE: See Type IV Command Description for further information.

## TYPE I COMMANDS

The Type I Commands include the Restore, Seek, Step, Step-In, and Step-Out commands. Each of the Type I Commands contains a rate field (R1), which determines the stepping motor rate as defined in Table 3.

A 2  $\mu$ s (MFM) or 4  $\mu$ s (FM) pulse is provided as an output to the drive. For every step pulse issued, the drive moves one track location in a direction determined by the direction output. The chip will step the drive in the same direction it last stepped unless the command changes the direction.

The Direction signal is active high when stepping in and low when stepping out. The Direction signal is valid 12  $\mu$ s before the first stepping pulse is generated.

The rates (shown in Table 3) can be applied to a Step-Direction Motor through the device interface.

TABLE 3. STEPPING RATES

CLK	2 MHz	2 MHz	1 MHz	1 MHz	2 MHz	1 MHz
DDEN	0	1	0	1	X	X
R1 R0	TEST=1	TEST=1	TEST=1	TEST=1	TEST=0	TEST=0
0 0	3 ms	3 ms	6 ms	6 ms	184 $\mu$ s	368 $\mu$ s
0 1	6 ms	6 ms	12 ms	12 ms	190 $\mu$ s	380 $\mu$ s
1 0	10 ms	10 ms	20 ms	20 ms	198 $\mu$ s	396 $\mu$ s
1 1	15 ms	15 ms	30 ms	30 ms	208 $\mu$ s	416 $\mu$ s

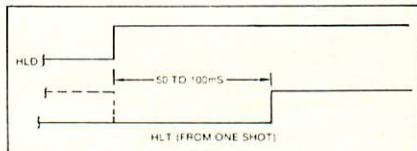
After the last directional step an additional 15 milliseconds of head settling time takes place if the Verify flag is set in Type I commands. Note that this time doubles to 30 ms for a 1 MHz clock. If TEST = 0, there is zero settling time. There is also a 15 ms head settling time if the E flag is set in any Type II or III command.

When a Seek, Step or Restore command is executed an optional verification of Read-Write head position can be performed by settling bit 2 (V = 1) in the command word to a logic 1. The verification operation begins at the end of the 15 millisecond settling time after the head is loaded against the media. The track number from the first encountered ID Field is compared against the contents of the Track Register. If the track numbers compare and the ID Field Cyclic Redundancy Check (CRC) is correct, the verify operation is complete and an INTRQ is generated with no errors. If there is a match but not a valid CRC, the CRC error status bit is set (Status bit 3), and the next encountered ID field is read from the disk for the verification operation.

The FD179X must find an ID field with correct track number and correct CRC within 5 revolutions of the media; otherwise the seek error is set and an INTRQ is generated. If V = 0, no verification is performed.

The Head Load (HLD) output controls the movement of the read/write head against the media. HLD is activated at the beginning of a Type I command if the h flag is set (h = 1), at the end of the Type I command if the verify flag (V = 1), or upon receipt of any Type II or III command. Once HLD is active it remains active until either a Type I command is received with (h = 0 and V = 0); or if the FD179X is in an idle state (non-busy) and 15 index pulses have occurred.

Head Load timing (HLT) is an input to the FD179X which is used for the head engage time. When HLT = 1, the FD179X assumes the head is completely engaged. The head engage time is typically 30 to 100 ms depending on drive. The low to high transition on HLT is typically used to fire a one shot. The output of the one shot is then used for HLT and supplied as an input to the FD179X.



## HEAD LOAD TIMING

When both HLD and HLT are true, the FD179X will then read from or write to the media. The "and" of HLD and HLT appears as status Bit 5 in Type I status.

In summary for the Type I commands: if h = 0 and V = 0, HLD is reset. If h = 1 and V = 0, HLD is set at the beginning of the command and HLT is not sampled nor is there an internal 15 ms delay. If h = 0 and V = 1, HLD is set near the end of the command, an internal 15 ms occurs, and the FD179X waits for HLT to be true. If h = 1 and V = 1, HLD is set at the beginning of the command. Near the end of the command, after all the steps have been issued, an internal 15 ms delay occurs and the FD179X then waits for HLT to occur.

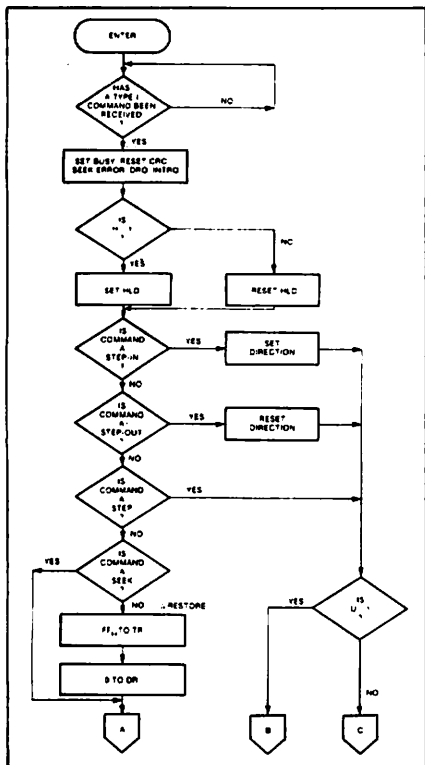
For Type II and III commands with E flag off, HLD is made active and HLT is sampled until true. With E flag on, HLD is made active, an internal 15 ms delay occurs and then HLT is sampled until true.

## RESTORE (SEEK TRACK 0)

Upon receipt of this command the Track 00 (TR00) input is sampled. If TR00 is active low indicating the Read-Write head is positioned over track 0, the Track Register is loaded with zeroes and an interrupt is generated. If TR00 is not active low, stepping pulses (pins 15 to 16) at a rate specified by the R1 R0 field are issued until the TR00 input is activated. At this time the Track Register is loaded with zeroes and an interrupt is generated. If the TR00 input does not go active low after 255 stepping pulses, the FD179X terminates operation, interrupts, and sets the Seek error status bit, providing the V flag is set. A verification operation also takes place if the V flag is set. The h bit allows the head to be loaded at the start of command. Note that the Restore command is executed when MR goes from an active to an inactive state and that the DRQ pin stays low.

## SEEK

This command assumes that the Track Register contains the track number of the current position of the Read-Write head and the Data Register contains the desired track number. The FD179X will update the Track register and issue stepping pulses in the appropriate direction until the contents of the Track register are equal to the contents of



#### TYPE 1 COMMAND FLOW

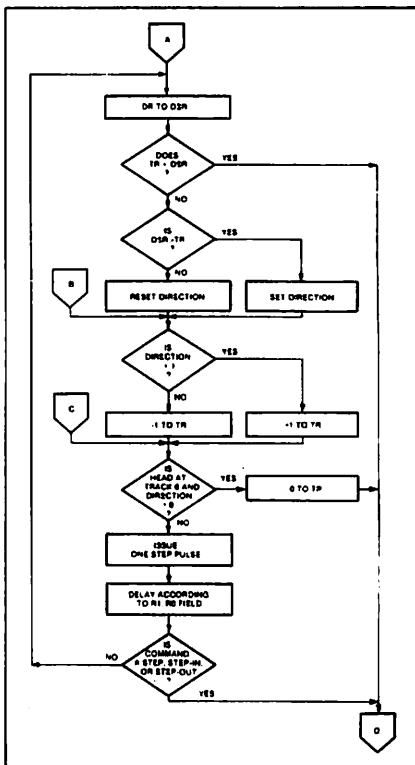
the Data Register (the desired track location). A verification operation takes place if the V flag is on. The h bit allows the head to be loaded at the start of the command. An interrupt is generated at the completion of the command. Note: When using multiple drives, the track register must be updated for the drive selected before seeks are issued.

#### STEP

Upon receipt of this command, the FD179X issues one stepping pulse to the disk drive. The stepping motor direction is the same as in the previous step command. After a delay determined by the 'f10' field, a verification takes place if the V flag is on. If the U flag is on, the Track Register is updated. The h bit allows the head to be loaded at the start of the command. An interrupt is generated at the completion of the command.

#### STEP-IN

Upon receipt of this command, the FD179X issues one stepping pulse in the direction towards track 78. If the U



#### TYPE 1 COMMAND FLOW

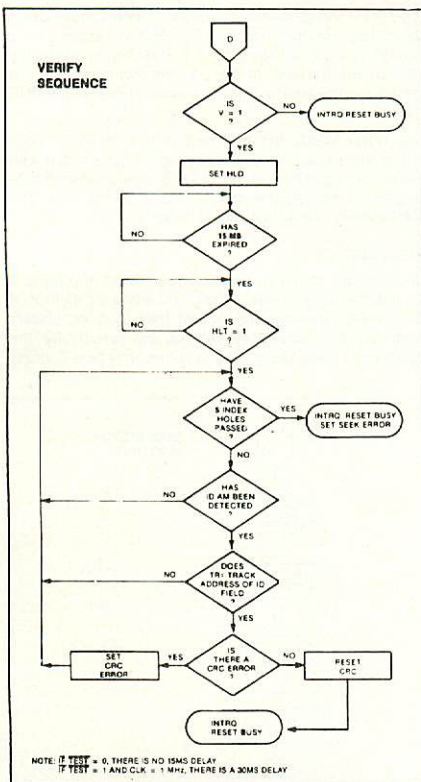
flag is on, the Track Register is incremented by one. After a delay determined by the 'f10' field, a verification takes place if the V flag is on. The h bit allows the head to be loaded at the start of the command. An interrupt is generated at the completion of the command.

#### STEP-OUT

Upon receipt of this command, the FD179X issues one stepping pulse in the direction towards track 0. If the U flag is on, the Track Register is decremented by one. After a delay determined by the 'f10' field, a verification takes place if the V flag is on. The h bit allows the head to be loaded at the start of the command. An interrupt is generated at the completion of the command.

#### EXCEPTIONS

On the 1795/7 devices, the SSO output is not affected during Type 1 commands, and an internal side compare does not take place when the (V) Verify Flag is on.



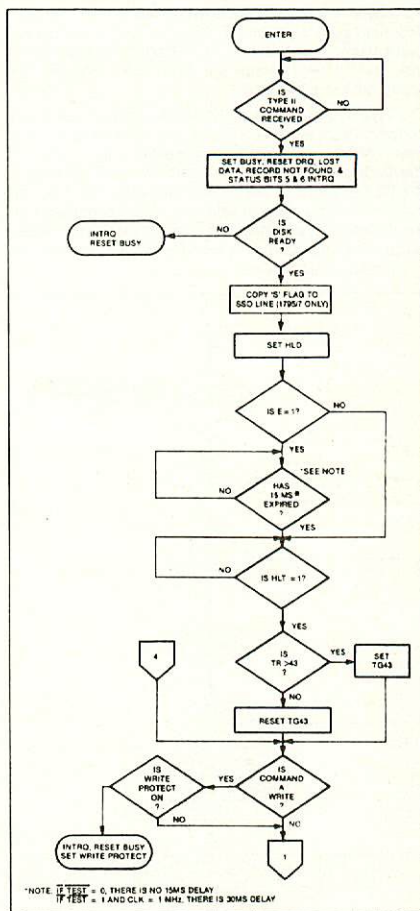
**TYPE I COMMAND FLOW**

## TYPE II COMMANDS

The Type II Commands are the Read Sector and Write Sector commands. Prior to loading the Type II Command into the Command Register, the computer must load the Sector Register with the desired sector number. Upon receipt of the Type II command, the busy status Bit is set. If the E flag = 1 (this is the normal case) HLD is made active and HLT is sampled after a 15 msec delay. If the E flag is 0, the head is loaded and HLT sampled with no 15 msec delay. The ID field and Data Field format are shown on page 13.

When an ID field is located on the disk, the FD179X compares the Track Number on the ID field with the Track Register. If there is not a match, the next encountered ID field is read and a comparison is again made. If there was a match, the Sector Number of the ID field is compared with the Sector Register. If there is not a Sector match, the next encountered ID field is read off the disk and comparisons again made. If the ID field CRC is correct, the data field is

then located and will be either written into, or read from depending upon the command. The FD179X must find an ID field with a Track number, Sector number, side number, and CRC within four revolutions of the disk; otherwise, the Record not found status bit is set (Status bit 3) and the command is terminated with an interrupt.



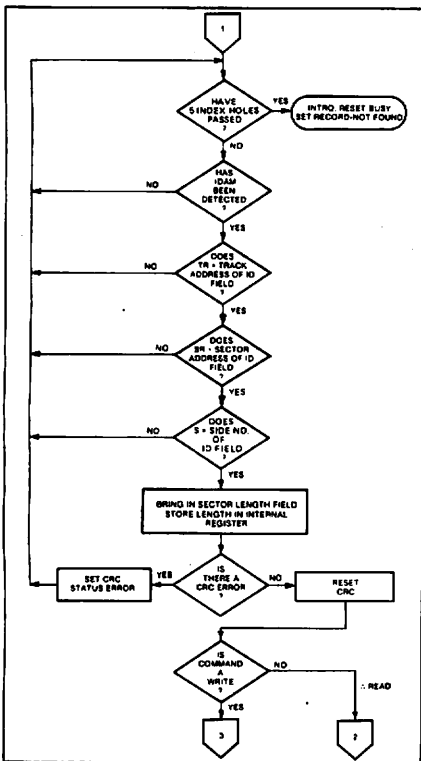
**TYPE II COMMAND**

Each of the Type II Commands contains an (m) flag which determines if multiple records (sectors) are to be read or written, depending upon the command. If m = 0, a single sector is read or written and an interrupt is generated at the completion of the command. If m = 1, multiple records are read or written with the sector register internally updated so that an address verification can occur on the next

record. The FD179X will continue to read or write multiple records and update the sector register in numerical ascending sequence until the sector register exceeds the number of sectors on the track or until the Force Interrupt command is loaded into the Command Register, which terminates the command and generates an interrupt.

For example: If the FD179X is instructed to read sector 27 and there are only 26 on the track, the sector register exceeds the number available. The FD179X will search for 5 disk revolutions, interrupt out, reset busy, and set the record not found status bit.

The Type II commands for 1791-94 also contain side select compare flags. When C = 0 (Bit 1) no side comparison is made. When C = 1, the LSB of the side number is read off the ID Field of the disk and compared with the contents of the (S) flag (Bit 3). If the S flag compares with the side number recorded in the ID field, the FD179X continues with the ID search. If a comparison is not made within 5 index pulses, the interrupt line is made active and the Record-Not-Found status bit is set.



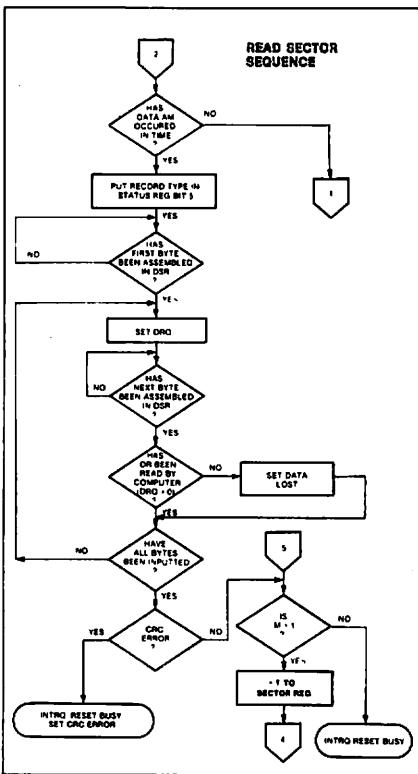
TYPE II COMMAND

The Type II and III commands for the 1795-97 contain a side select flag (Bit 1). When U = 0, SSO is updated to 0. Similarly, U = 1 updates SSO to 1. The chip compares the SSO to the ID field. If they do not compare within 5 revolutions the Interrupt line is made active and the RNF status bit is set.

The 1795/7 READ SECTOR and WRITE SECTOR commands include a 'L' flag. The 'L' flag, in conjunction with the sector length byte of the ID Field, allows different byte lengths to be implemented in each sector. For IBM compatibility, the 'L' flag should be set to a one.

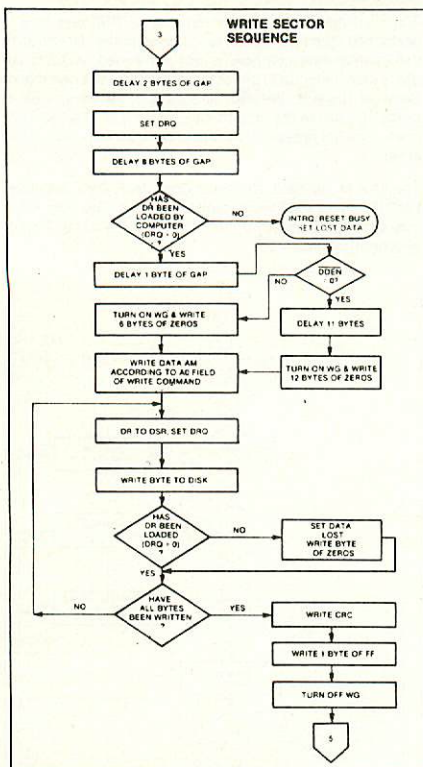
#### READ SECTOR

Upon receipt of the Read Sector command, the head is loaded, the Busy status bit set, and when an ID field is encountered that has the correct track number, correct sector number, correct side number, and correct CRC, the data field is presented to the computer. The Data Address



TYPE II COMMAND





#### TYPE II COMMAND

Mark of the data field must be found within 30 bytes in single density and 43 bytes in double density of the last ID field CRC byte; if not, the ID field is searched for and verified again followed by the Data Address Mark search. If after 5 revolutions the DAM cannot be found, the Record Not Found status bit is set and the operation is terminated.

When the first character or byte of the data field has been shifted through the DSR, it is transferred to the DR, and DRQ is generated. When the next byte is accumulated in the DSR, it is transferred to the DR and another DRQ is generated. If the Computer has not read the previous contents of the DR before a new character is transferred that character is lost and the Lost Data Status bit is set. This sequence continues until the complete data field has been inputted to the computer. If there is a CRC error at the end of the data field, the CRC error status bit is set, and the command is terminated (even if it is a multiple record command).

At the end of the Read operation, the type of Data Address Mark encountered in the data field is recorded in the Status Register (Bit 5) as shown:

#### STATUS BIT 5

1	Deleted Data Mark
0	Data Mark

#### WRITE SECTOR

Upon receipt of the Write Sector command, the head is loaded (HLD active) and the Busy status bit is set. When an ID field is encountered that has the correct track number, correct sector number, correct side number, and correct CRC, a DRQ is generated. The FD179X counts off 11 bytes in single density and 22 bytes in double density from the CRC field and the Write Gate (WG) output is made active if the DRQ is serviced (i.e., the DR has been loaded by the computer). If DRQ has not been serviced, the command is terminated and the Lost Data status bit is set. If the DRQ has been serviced, the WG is made active and six bytes of zeroes in single density and 12 bytes in double density are then written on the disk. At this time the Data Address Mark is then written on the disk as determined by the  $\text{a0}$  field of the command as shown below:

#### $\text{a0}$ Data Address Mark (Bit 0)

1	Deleted Data Mark
0	Data Mark

The FD179X then writes the data field and generates DRQ's to the computer. If the DRQ is not serviced in time for continuous writing the Lost Data Status Bit is set and a byte of zeroes is written on the disk. The command is not terminated. After the last data byte has been written on the disk, the two-byte CRC is computed internally and written on the disk followed by one byte of logic ones in FM or in MFM. The WG output is then deactivated. For a 2 MHz clock the INTRQ will set 8 to 12  $\mu\text{sec}$  after the last CRC byte is written. For partial sector writing, the proper method is to write the data and fill the balance with zeroes. By letting the chip fill the zeroes, errors may be masked by the lost data status and improper CRC Bytes.

#### TYPE III COMMANDS

##### READ ADDRESS

Upon receipt of the Read Address command, the head is loaded and the Busy Status Bit is set. The next encountered ID field is then read in from the disk, and the six data bytes of the ID field are assembled and transferred to the DR, and a DRQ is generated for each byte. The six bytes of the ID field are shown below:

TRACK ADDR	SIDE NUMBER	SECTOR ADDRESS	SECTOR LENGTH	CRC 1	CRC 2
1	2	3	4	5	6

Although the CRC characters are transferred to the computer, the FD179X checks for validity and the CRC error status bit is set if there is a CRC error. The Track Address of the ID field is written into the sector register so that a comparison can be made by the user. At the end of the operation an interrupt is generated and the Busy Status is reset.

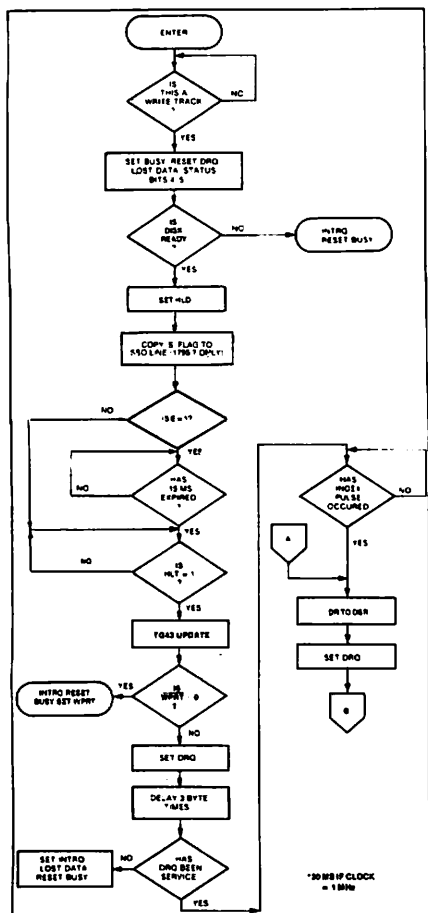
## READ TRACK

Upon receipt of the READ track command, the head is loaded, and the Busy Status bit is set. Reading starts with the leading edge of the first encountered index pulse and continues until the next index pulse. All Gap, Header, and data bytes are assembled and transferred to the data register and DRQ's are generated for each byte. The accumulation of bytes is synchronized to each address mark encountered. An interrupt is generated at the completion of the command.

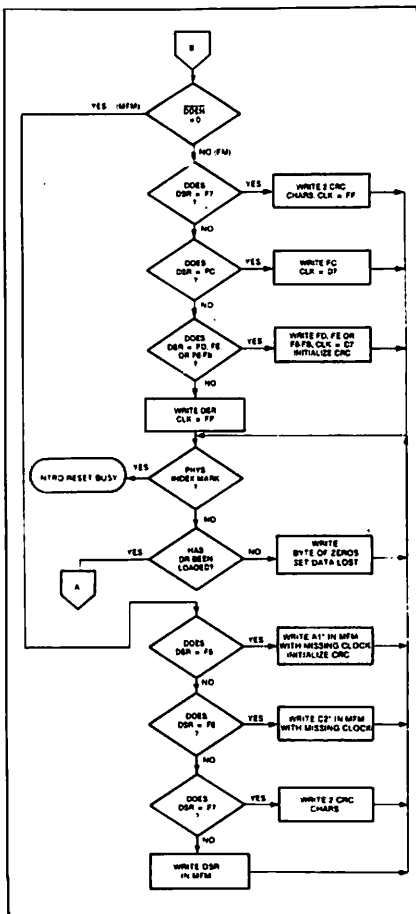
This command has several characteristics which make it suitable for diagnostic purposes. They are: the Read Gate

is not activated during the command; no CRC checking is performed; gap information is included in the data stream; the internal side compare is not performed; and the address mark detector is on for the duration of the command. Because the A.M. detector is always on, write splices or noise may cause the chip to look for an A.M. If an address mark does not appear on schedule the Lost Data status flag is set.

The ID A.M., ID field, ID CRC bytes, DAM, Data, and Data CRC Bytes for each sector will be correct. The Gap Bytes may be read incorrectly during write-splice time because of synchronization.



TYPE III COMMAND WRITE TRACK



TYPE III COMMAND WRITE TRACK



# CONTROL BYTES FOR INITIALIZATION

DATA PATTERN IN DR (HEX)	FD179X INTERPRETATION IN FM (DDEN = 1)	FD1791/3 INTERPRETATION IN MFM (DDEN = 0)
00 thru F4	Write 00 thru F4 with CLK = FF	Write 00 thru F4, in MFM
F5	Not Allowed	Write A1* in MFM, Preset CRC
F6	Not Allowed	Write C2** in MFM
F7	Generate 2 CRC bytes	Generate 2 CRC bytes
F8 thru FB	Write F8 thru FB, Clk = C7, Preset CRC	Write F8 thru FB, in MFM
FC	Write FC with Clk = D7	Write FC in MFM
FD	Write FD with Clk = FF	Write FD in MFM
FE	Write FE, Clk = C7, Preset CRC	Write FE in MFM
FF	Write FF with Clk = FF	Write FF in MFM

\*Missing clock transition between bits 4 and 5

\*\*Missing clock transition between bits 3 & 4

## WRITE TRACK FORMATTING THE DISK

(Refer to section on Type III commands for flow diagrams.)

Formatting the disk is a relatively simple task when operating programmed I/O or when operating under DMA with a large amount of memory. Data and gap information must be provided at the computer interface. Formatting the disk is accomplished by positioning the RW head over the desired track number and issuing the Write Track command.

Upon receipt of the Write Track command, the head is loaded and the Busy Status bit is set. Writing starts with the leading edge of the first encountered index pulse and continues until the next index pulse, at which time the interrupt is activated. The Data Request is activated immediately upon receiving the command, but writing will not start until after the first byte has been loaded into the Data Register. If the DR has not been loaded by the time the index pulse is encountered the operation is terminated making the device Not Busy, the Lost Data Status Bit is set, and the Interrupt is activated. If a byte is not present in the DR when needed, a byte of zeroes is substituted.

This sequence continues from one index mark to the next index mark. Normally, whatever data pattern appears in the data register is written on the disk with a normal clock pattern. However, if the FD179X detects a data pattern of F5 thru FE in the data register, this is interpreted as data address marks with missing clocks or CRC generation.

The CRC generator is initialized when any data byte from F8 to FE is about to be transferred from the DR to the DSR in FM or by receipt of F5 in MFM. An F7 pattern will generate two CRC characters in FM or MFM. As a consequence, the patterns F5 thru FE must not appear in the gaps, data fields, or ID fields. Also, CRC's must be generated by an F7 pattern.

Disks may be formatted in IBM 3740 or System 34 formats with sector lengths of 128, 256, 512, or 1024 bytes.

## TYPE IV COMMANDS

The Forced Interrupt command is generally used to terminate a multiple sector read or write command or to in-

sure Type I status in the status register. This command can be loaded into the command register at any time. If there is a current command under execution (busy status bit set) the command will be terminated and the busy status bit reset.

The lower four bits of the command determine the conditional interrupt as follows:

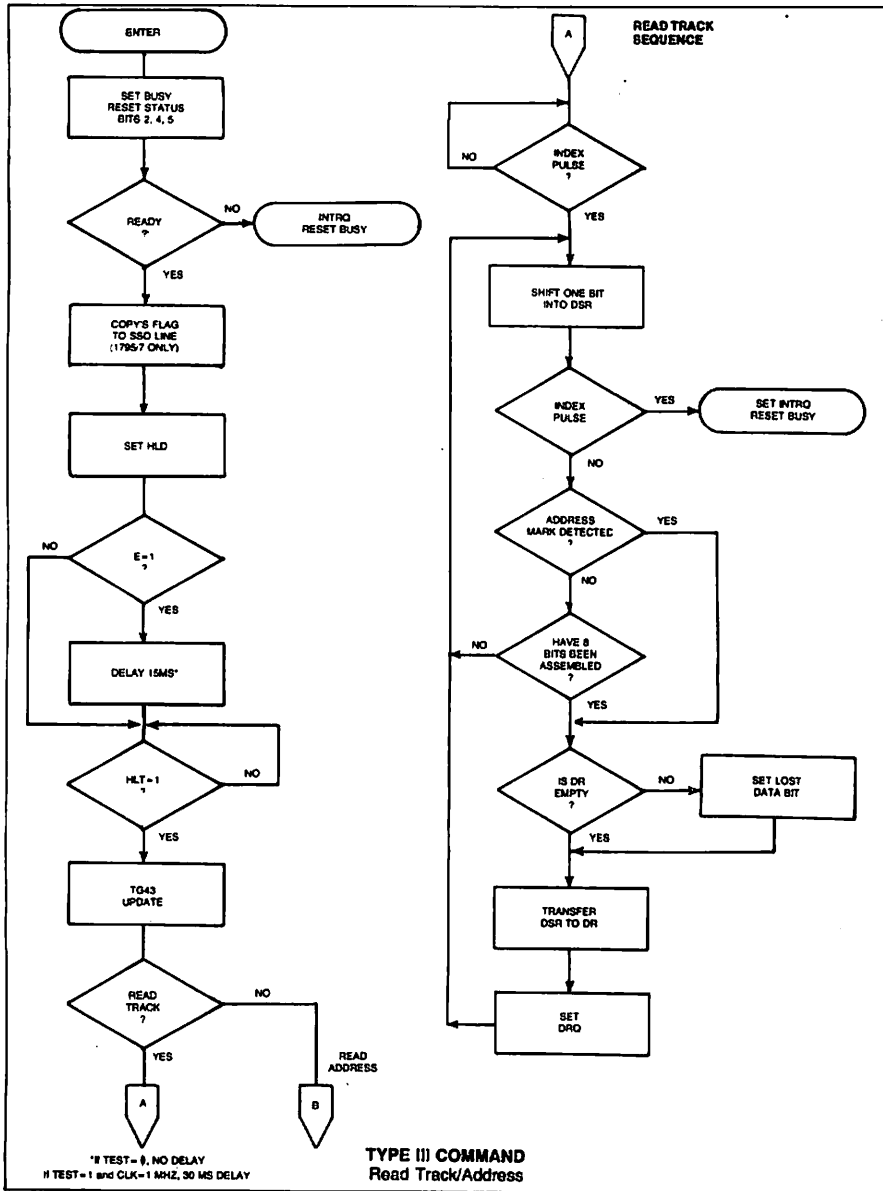
- I0 = Not-Ready to Ready Transition
- I1 = Ready to Not-Ready Transition
- I2 = Every Index Pulse
- I3 = Immediate Interrupt

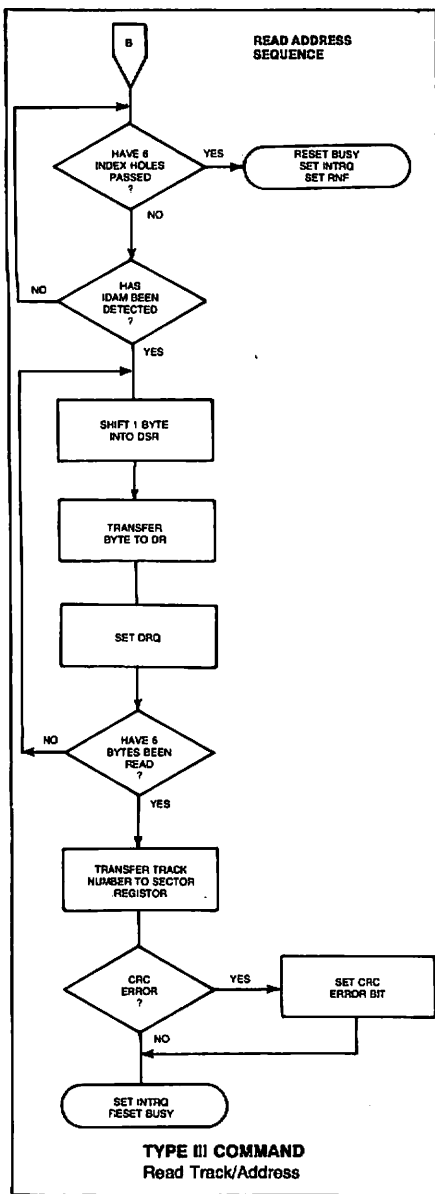
The conditional interrupt is enabled when the corresponding bit positions of the command (I3 - I0) are set to a 1. Then, when the condition for interrupt is met, the INTRQ line will go high signifying that the condition specified has occurred. If I3 - I0 are all set to zero (HEX D0), no interrupt will occur but any command presently under execution will be immediately terminated. When using the immediate interrupt condition (I3 = 1) an interrupt will be immediately generated and the current command terminated. Reading the status or writing to the command register will not automatically clear the interrupt. The HEX D0 is the only command that will enable the immediate interrupt (HEX D8) to clear on a subsequent load command register or read status register operation. Follow a HEX D8 with D0 command.

Wait 8 micro sec (double density) or 16 micro sec (single density) before issuing a new command after issuing a forced interrupt (times double when clock = 1 MHz). Loading a new command sooner than this will nullify the forced interrupt.

Forced interrupt stops any command at the end of an internal micro-instruction and generates INTRQ when the specified condition is met. Forced interrupt will wait until ALU operations in progress are complete (CRC calculations, compares, etc.).

More than one condition may be set at a time. If for example, the READY TO NOT-READY condition (I1 = 1) and the Every Index Pulse (I2 = 1) are both set, the resultant command would be HEX "DA". The "OR" function is performed so that either a READY TO NOT-READY or the next Index Pulse will cause an interrupt condition.





## STATUS REGISTER

Upon receipt of any command, except the Force Interrupt command, the Busy Status bit is set and the rest of the status bits are updated or cleared for the new command. If the Force Interrupt Command is received when there is a current command under execution, the Busy status bit is reset, and the rest of the status bits are unchanged. If the Force Interrupt command is received when there is not a current command under execution, the Busy Status bit is reset and the rest of the status bits are updated or cleared. In this case, Status reflects the Type I commands.

The user has the option of reading the status register through program control or using the DRQ line with DMA or interrupt methods. When the Data register is read the DRQ bit in the status register and the DRQ line are automatically reset. A write to the Data register also causes both DRQ's to reset.

The busy bit in the status may be monitored with a user program to determine when a command is complete, in lieu of using the INTRQ line. When using the INTRQ, a busy status check is not recommended because a read of the status register to determine the condition of busy will reset the INTRQ line.

The format of the Status Register is shown below:

(BITS)							
7	6	5	4	3	2	1	0
S7	S6	S5	S4	S3	S2	S1	S0

Status varies according to the type of command executed as shown in Table 4.

Because of internal sync cycles, certain time delays must be observed when operating under programmed I/O. They are: (times double when clock = 1 MHz)

Operation	Next Operation	Delay Req'd.	
		FM	MF
Write to Command Reg.	Read Busy Bit (Status Bit 0)	12 $\mu$ s	6 $\mu$ s
Write to Command Reg.	Read Status Bits 1-7	28 $\mu$ s	14 $\mu$ s
Write Any Register	Read From Diff. Register	0	0

## IBM 3740 FORMAT — 128 BYTES/SECTOR

Shown below is the IBM single-density format with 128 bytes/sector. In order to format a diskette, the user must issue the Write Track command, and load the data register with the following values. For every byte to be written, there is one Data Request.

Shown below is the IBM single-density format with 128 bytes/sector. In order to format a diskette, the user must issue the Write Track command, and load the data register with the following values. For every byte to be written, there is one Data Request.

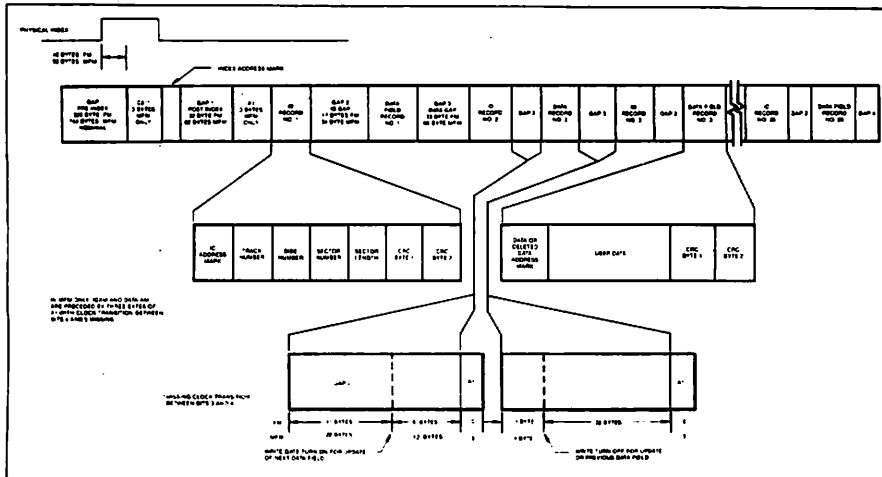
NUMBER OF BYTES	HEX VALUE OF BYTE WRITTEN
40	FF (or 00)*
6	00
1	FC (Index Mark)
26	FF (or 00)*
6	00
1	FE (ID Address Mark)
1	Track Number
1	Side Number (00 or 01)
1	Sector Number (1 thru 1A)
1	00 (Sector Length)
1	F7 (2 CRC's written)
11	FF (or 00)*
6	00
1	FB (Data Address Mark)
128	Data (IBM uses E5)
1	F7 (2 CRC's written)
27	FF (or 00)*
247**	FF (or 00)*

1-Optional '00' on 1795/7 only.

Shown below is the IBM dual-density format with 256 bytes/sector. In order to format a diskette the user must issue the Write Track command and load the data register with the following values. For every byte to be written, there is one data request.

NUMBER OF BYTES	HEX VALUE OF BYTE WRITTEN
80	4E
12	00
3	F8 (Writes C2)
1	FC (Index Mark)
50	4E
12	00
3	F5 (Writes A1)
1	FE (ID Address Mark)
1	Track Number (0 thru 4C)
1	Slide Number (0 or 1)
1	Sector Number (1 thru 1A)
1	01 (Sector Length)
1	F7 (2 CRCs written)
22	4E
12	00
3	F5 (Writes A1)
1	FB (Data Address Mark)
256	DATA
1	F7 (2 CRCs written)
54	4E
598**	4E

\*Continue writing until FD179X interrupts out.  
Approx. 598 bytes.



### IBM TRACK FORMAT

## 1. NON-IBM FORMATS

Variations in the IBM formats are possible to a limited extent if the following requirements are met:

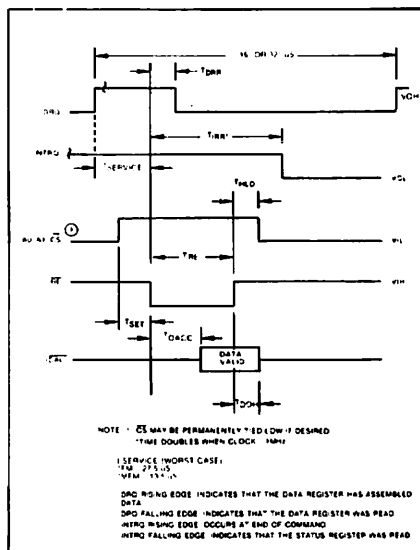
- 1) Sector size must be 128, 256, 512 or 1024 bytes.
- 2) Gap 2 cannot be varied from the IBM format.
- 3) 3 bytes of A1 must be used in MFM.

In addition, the Index Address Mark is not required for operation by the FD179X. Gap 1, 3, and 4 lengths can be as short as 2 bytes for FD179X operation, however PLL lock up time, motor speed variation, write-splice area, etc. will add more bytes to each gap to achieve proper operation. It is recommended that the IBM format be used for highest system reliability.

	FM	MFM
Gap I	16 bytes FF	32 bytes 4E
Gap II	11 bytes FF	22 bytes 4E
.	6 bytes 00	12 bytes 00
.		3 bytes A1
Gap III**	10 bytes FF 4 bytes 00	24 bytes 4E 8 bytes 00 3 bytes A1
Gap IV	16 bytes FF	16 bytes 4E

\*Byte counts must be exact.

\*\*Byte counts are minimum, except exactly 3 bytes of A1 must be written.



READ ENABLE TIMING

## TIMING CHARACTERISTICS

T<sub>A</sub> = 0°C to 70°C, V<sub>DD</sub> = +12V ± .6V, V<sub>SS</sub> = 0V, V<sub>CC</sub> = +5V ± .25V

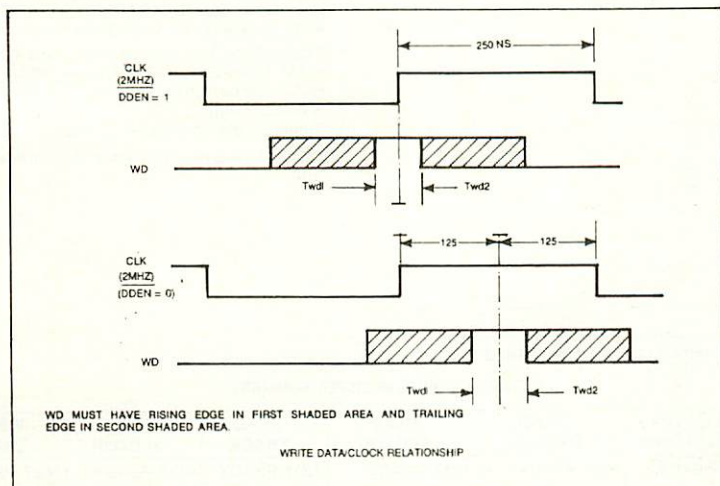
### READ ENABLE TIMING (See Note 6, Page 21)

SYMBOL	CHARACTERISTIC	MIN.	TYP.	MAX.	UNITS	CONDITIONS
TSET	Setup ADDR & CS to $\overline{RE}$	50			nsec	
THLD	Hold ADDR & CS from $\overline{RE}$	10			nsec	
TRE	$\overline{RE}$ Pulse Width	400			nsec	C <sub>L</sub> = 50 pf
TDRR	DRQ Reset from $\overline{RE}$		400	500	nsec	
TIRR	INTRQ Reset from $\overline{RE}$		500	3000	nsec	See Note 5
TDACC	Data Access from $\overline{RE}$			350	nsec	C <sub>L</sub> = 50 pf
TDOH	Data Hold From $\overline{RE}$	50		150	nsec	C <sub>L</sub> = 50 pf

### WRITE ENABLE TIMING (See Note 6, Page 21)

SYMBOL	CHARACTERISTIC	MIN.	TYP.	MAX.	UNITS	CONDITIONS
TSET	Setup ADDR & CS to $\overline{WE}$	50			nsec	
THLD	Hold ADDR & CS from $\overline{WE}$	10			nsec	
TWE	$\overline{WE}$ Pulse Width	350			nsec	
TDRR	DRQ Reset from $\overline{WE}$		400	500	nsec	
TIRR	INTRQ Reset from $\overline{WE}$		500	3000	nsec	See Note 5
TDS	Data Setup to $\overline{WE}$	250			nsec	
TDH	Data Hold from $\overline{WE}$	70			nsec	





#### WRITE DATA TIMING

MISCELLANEOUS TIMING: (Times Double When Clock = 1 MHz) (See Note 6, Page 21)

SYMBOL	CHARACTERISTIC	MIN.	TYP.	MAX.	UNITS	CONDITIONS
TCD <sub>1</sub>	Clock Duty (low)	230	250	20000	nsec	See Note 5 ± CLK ERROR
TCD <sub>2</sub>	Clock Duty (high)	200	250	20000	nsec	
TSTP	Step Pulse Output	2 or 4	12		μsec	
TDIR	Dir Setup to Step				μsec	See Note 5
TMR	Master Reset Pulse Width	50			μsec	
TIP	Index Pulse Width	10			μsec	
TWF	Write Fault Pulse Width	10			μsec	





# STATUS FOR TYPE II AND III COMMANDS

BIT NAME	MEANING
S7 NOT READY	This bit when set indicates the drive is not ready. When reset, it indicates that the drive is ready. This bit is an inverted copy of the Ready input and 'ored' with MR. The Type II and III Commands will not execute unless the drive is ready.
S6 WRITE PROTECT	On Read Record: Not Used. On Read Track: Not Used. On any Write: It indicates a Write Protect. This bit is reset when updated.
S5 RECORD TYPE/ WRITE FAULT	On Read Record: It indicates the record-type code from data field address mark. 1 = Deleted Data Mark. 0 = Data Mark. On any Write: It Indicates a Write Fault. This bit is reset when updated.
S4 RECORD NOT FOUND (RNF)	When set, it indicates that the desired track, sector, or side were not found. This bit is reset when updated.
S3 CRC ERROR	If S4 is set, an error is found in one or more ID fields; otherwise it indicates error in data field. This bit is reset when updated.
S2 LOST DATA	When set, it indicates the computer did not respond to DRQ in one byte time. This bit is reset to zero when updated.
S1 DATA REQUEST	This bit is a copy of the DRQ output. When set, it indicates the DR is full on a Read Operation or the DR is empty on a Write operation. This bit is reset to zero when updated.
S0 BUSY	When set, command is under execution. When reset, no command is under execution.

## ELECTRICAL CHARACTERISTICS

### Absolute Maximum Ratings

V<sub>DD</sub> with respect to V<sub>SS</sub> (ground): + 15 to - 0.3V  
Voltage to any input with respect to V<sub>SS</sub> = + 15 to - 0.3V  
I<sub>CC</sub> = 60 mA (35 mA nominal)  
I<sub>DD</sub> = 15 mA (10 mA nominal)

C<sub>IN</sub> & C<sub>OUT</sub> = 15 pF max with all pins grounded except one under test.  
Operating temperature = 0°C to 70°C  
Storage temperature = -55°C to + 125°C

## OPERATING CHARACTERISTICS (DC)

TA = 0°C to 70°C, V<sub>DD</sub> = + 12V ± .6V, V<sub>SS</sub> = 0V, V<sub>CC</sub> = + 5V ± .25V

SYMBOL	CHARACTERISTIC	MIN.	MAX.	UNITS	CONDITIONS
I <sub>IL</sub>	Input Leakage		10	μA	V <sub>IN</sub> = V <sub>DD</sub> **
I <sub>OL</sub>	Output Leakage		10	μA	V <sub>OUT</sub> = V <sub>DD</sub>
V <sub>IH</sub>	Input High Voltage	2.6		V	
V <sub>IL</sub>	Input Low Voltage		0.8	V	
V <sub>OHH</sub>	Output High Voltage	2.8		V	I <sub>O</sub> = -100 μA
V <sub>OL</sub>	Output Low Voltage		0.45	V	I <sub>O</sub> = 1.6 mA*
P <sub>D</sub>	Power Dissipation		0.6	W	

\*1792 and 1794 I<sub>O</sub> = 1.0 mA

\*\*Leakage conditions are for input pins without internal pull-up resistors. Pins 22, 23, 33, 36, and 37 have pull-up resistors. See Tech Memo #115 for testing procedures.

See page 481 for ordering information.

Information furnished by Western Digital Corporation is believed to be accurate and reliable. However, no responsibility is assumed by Western Digital Corporation for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Western Digital Corporation. Western Digital Corporation reserves the right to change specifications at anytime without notice.

# STANDARD MICROSYSTEMS CORPORATION

35 Marcus Blvd., Hauppauge, NY 11798  
(516) 273-3700 FAX: 516-227-8898

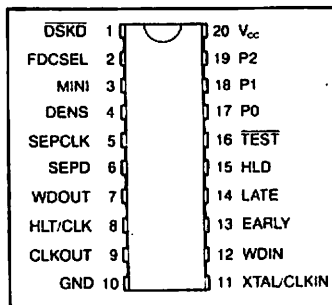
## FDC 9229 FDC 9229B

### FLOPPY DISK INTERFACE CIRCUIT

#### FEATURES

- ☐ Digital Data Separator  
Performs complete data separation function for floppy disk drives  
Separates FM and MFM encoded data  
No critical adjustments necessary  
5 1/4" and 8" compatible
- ☐ Variable Write Precompensation
- ☐ Internal Crystal Oscillator Circuit
- ☐ Track-Selectable Write Precompensation
- ☐ Retriggerable Head-Load Timer
- ☐ Compatible with the FDC 179X, 765, and other standard Floppy Disk Controllers
- ☐ COPLAMOS® n-channel MOS Technology
- ☐ Single +5 Volt Supply
- ☐ TTL Compatible

#### PIN CONFIGURATION

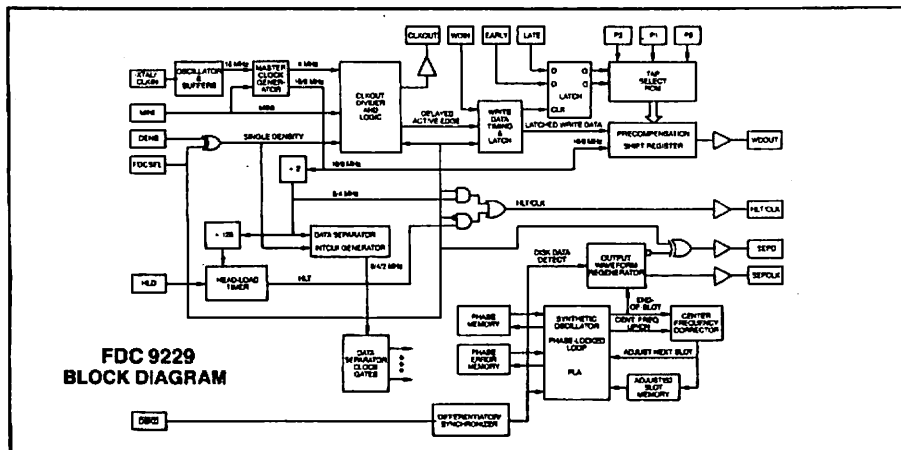


#### FUNCTIONAL DESCRIPTION

The FDC 9229/B is an MOS integrated circuit designed to complement either the 179X or 765 (8272) type of floppy disk controller chip. It incorporates a digital data separator, write precompensation logic, and a head-load timer in one 0.3-inch wide 20-pin package. A single pin will configure the chip to work with either the 179X or 765 type of controller. The FDC 9229/B provides a number of different dynamically selected precompensation values so that different

values may be used when writing to the inner and outer tracks of the floppy disk drive. The FDC 9229-B operates from a +5V supply and simply requires that a 16 or 8 MHz crystal or TTL-level clock be connected to the XTAL/CLKIN pin. All inputs and outputs are TTL compatible.

The FDC 9229 is available in two versions: the FDC 9229 which is intended for 5 1/4" disks and the FDC 9229B for 5 1/4" and 8" disks.



# TEKELEC TA AIRTRONIC

GmbH

D-8000 MÜNCHEN 15 · POSTFACH 15 20 27 · TELEFON (089) 59 46 21 · TELEX 05-22 241  
BÜRO: LUDWIGSBURG (0 71 41) 2 93 91 · ESSEN (02 01) 79 10 41 · HAMBURG (0 40) 6 03 12 11

# DESCRIPTION OF PIN FUNCTIONS

PIN NO.	SYMBOL	I/O	DESCRIPTION
1	DSKD	I	This input is the raw read data received from the drive. (This input is active low.)
2	FDCSEL	I	This input signal, when low, programs the FDC 9229 B for a 179X type of LSI controller. When FDCSEL is high, the FDC 9229 B is programmed for a 765 (8272) type of controller. (See fig. 4.)
3	MINI	I	The state of this input determines whether the FDC 9229 B is configured to support 8" or 5 1/4" floppy disk drive interfaces. It is used in conjunction with the DENS input to prescale the clock for the data separator. The state of this input also alters the CLKOUT frequency, the precompensation value, the head load delay time (when in 179X mode) and the HLT/CLK frequency (when in 765 mode). (See figs. 2, 3, and 4.)
4	DENS	I	The state of this input determines whether the FDC 9229 B is configured to support single density (FM) or double density (MFM) floppy disk drive interfaces. It is used in conjunction with the MINI input to prescale the clock for the data separator. The state of this input also alters the CLKOUT frequency when in the 765 mode. (See figs. 2, 3, and 4.)
5	SEPCLK	O	A square-wave window clock signal output derived from the DSKD input.
6	SEPD	O	This output is the regenerated data pulse derived from the raw data input (DSKD). This signal may be either active low or active high as determined by FDCSEL (pin 2).
7	WDOUT	O	The precompensated WRITE DATA stream to the drive.
8	HLT/CLK	O	When in the 765 mode (FDCSEL high), this output is the master clock to the floppy disk controller. When in the 179X mode, this signal goes high after the head load delay has occurred following the HLD input going high. This output is retriggerable. (See fig. 3.)
9	CLKOUT	O	This signal is the write clock to the floppy disk controller. Its frequency is determined by the state of the MINI, DENS, and FDCSEL input pins. (See fig. 3.)
10	GND		Ground
11	XTAL/CLKIN	I	This input is for direct connection to a 16 MHz or 8 MHz crystal. (The other pin of the crystal is grounded, and a 470k resistor is connected across the crystal.) XTAL/CLKIN may alternatively be connected to a single-phase TTL-level clock.
12	WDIN	I	The write data stream from the floppy disk controller.
13	EARLY	I	When this input is high, the current WRITE DATA pulse will be written late to the disk.
14	LATE	I	When this input is high, the current WRITE DATA pulse will be written early to the disk. When both EARLY and LATE are low, the current WRITE DATA pulse will be written at the nominal position.
15	HLD	I	This input is only used in 179X mode. A high level at this input causes a high level on the HLT/CLK output after the specified head-load time delay has elapsed. The delay is selected by the state of the MINI output. (See fig. 3.)
16	TEST	I	This input (when low) decreases the head-load time delay and initializes the data separator. This pin is for test purposes only. This input has an internal pull-up resistor and should be tied high or disconnected for normal operation.
17	P0	I	P2-P0 select the amount of precompensation applied to the write data. (See fig. 2.)
18	P1	I	
19	P2	I	
20	V <sub>cc</sub>		+ 5 VOLT SUPPLY

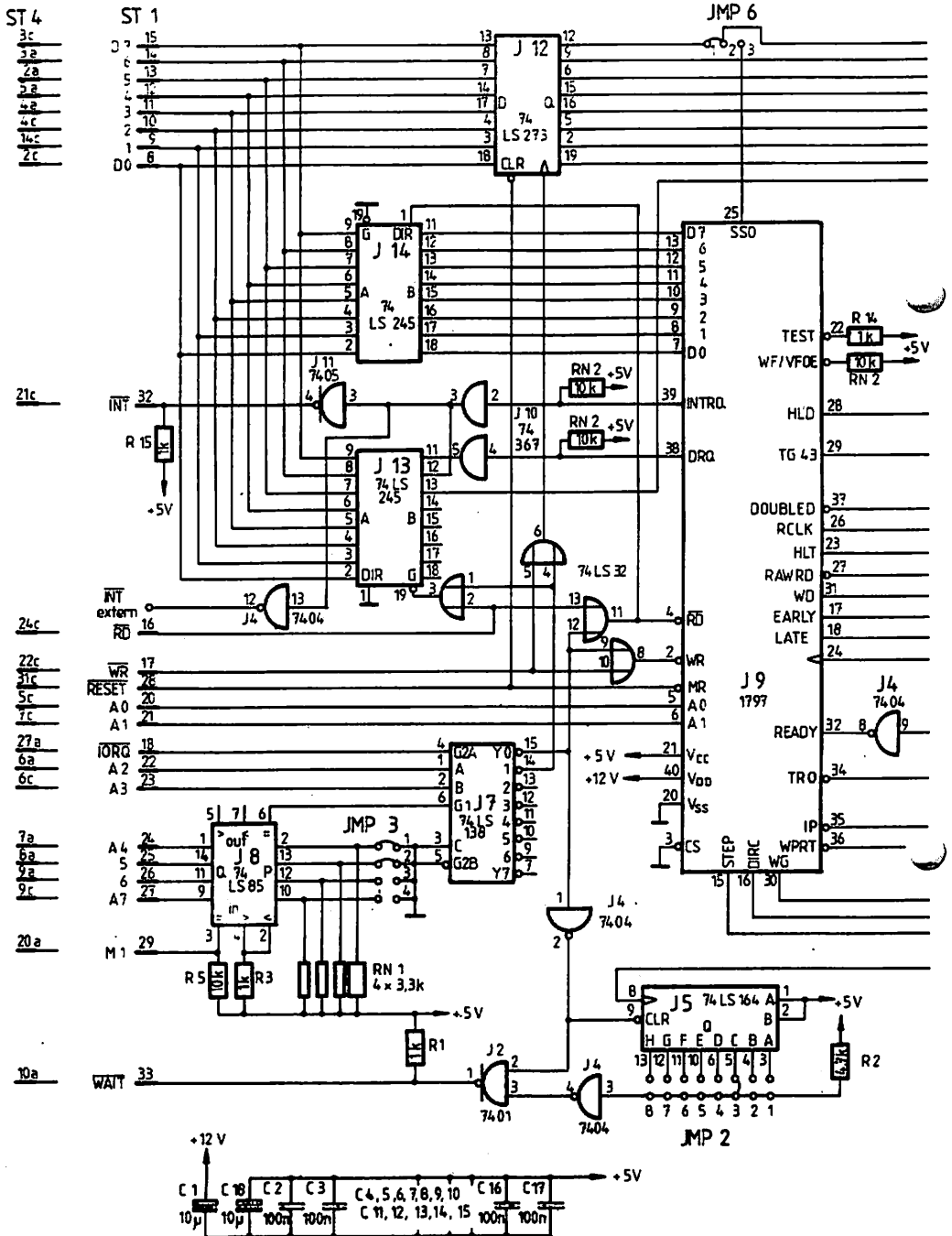
## 11. Die Zeitschrift LOOP

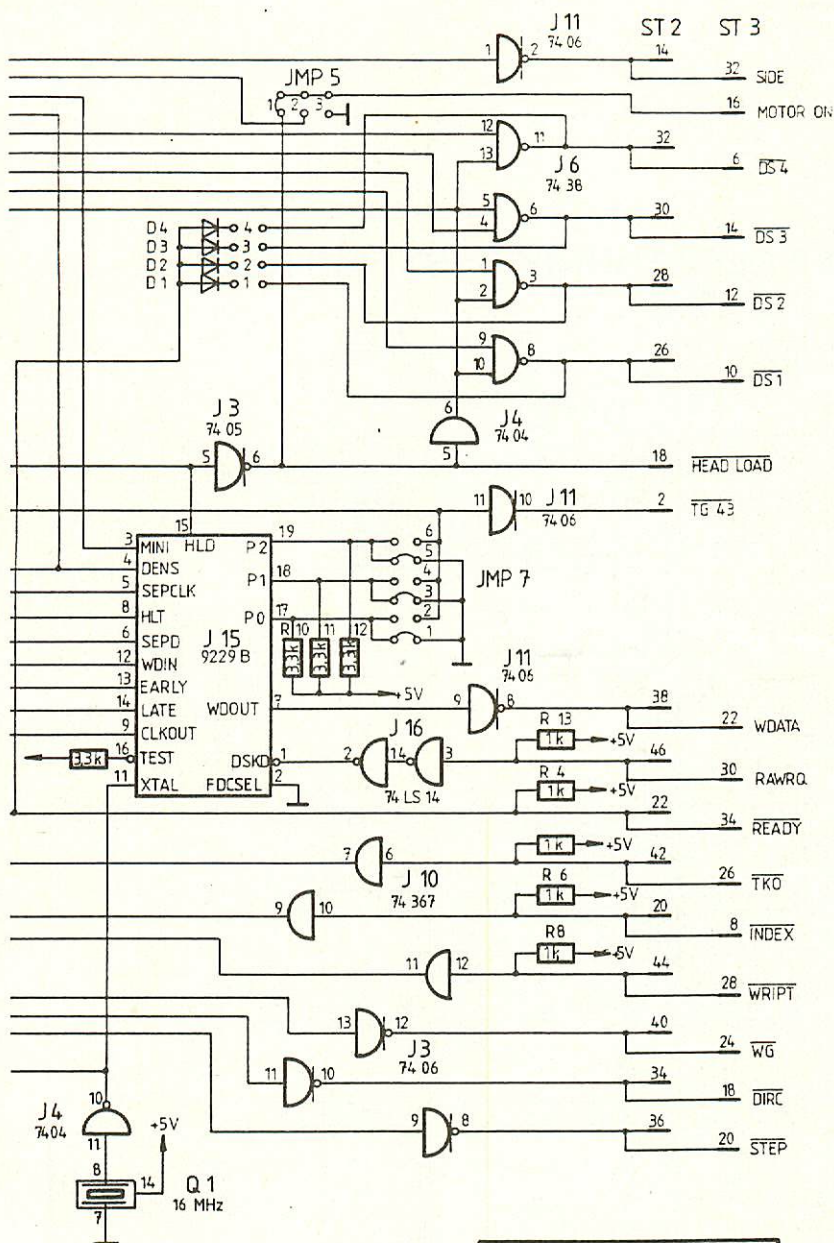
In unserer Zeitschrift LOOP wird regelmäßig über neue Produkte und Änderungen bzw. Verbesserungen berichtet. Es ist für Sie von großem Vorteil, LOOP zu abonnieren, denn dadurch ist sichergestellt, daß Sie auch immer über die neuesten Informationen verfügen.

Ein LOOP-ABO können Sie bei jeder Bestellung einfach mitbestellen.

Auch auf der Kritikkarte können Sie ein LOOP-Abo ganz einfach bestellen.

# Anhang A: Schaltplan

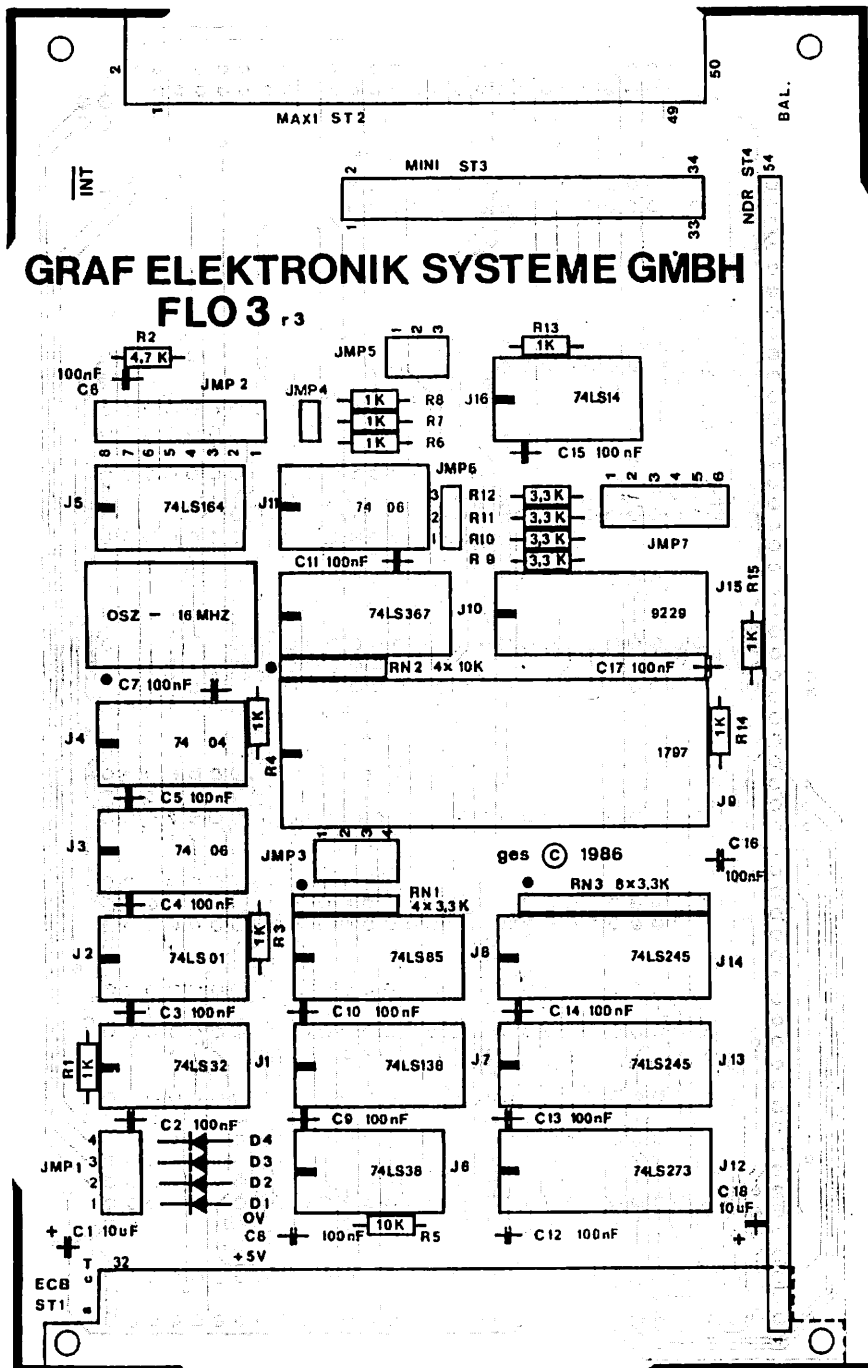


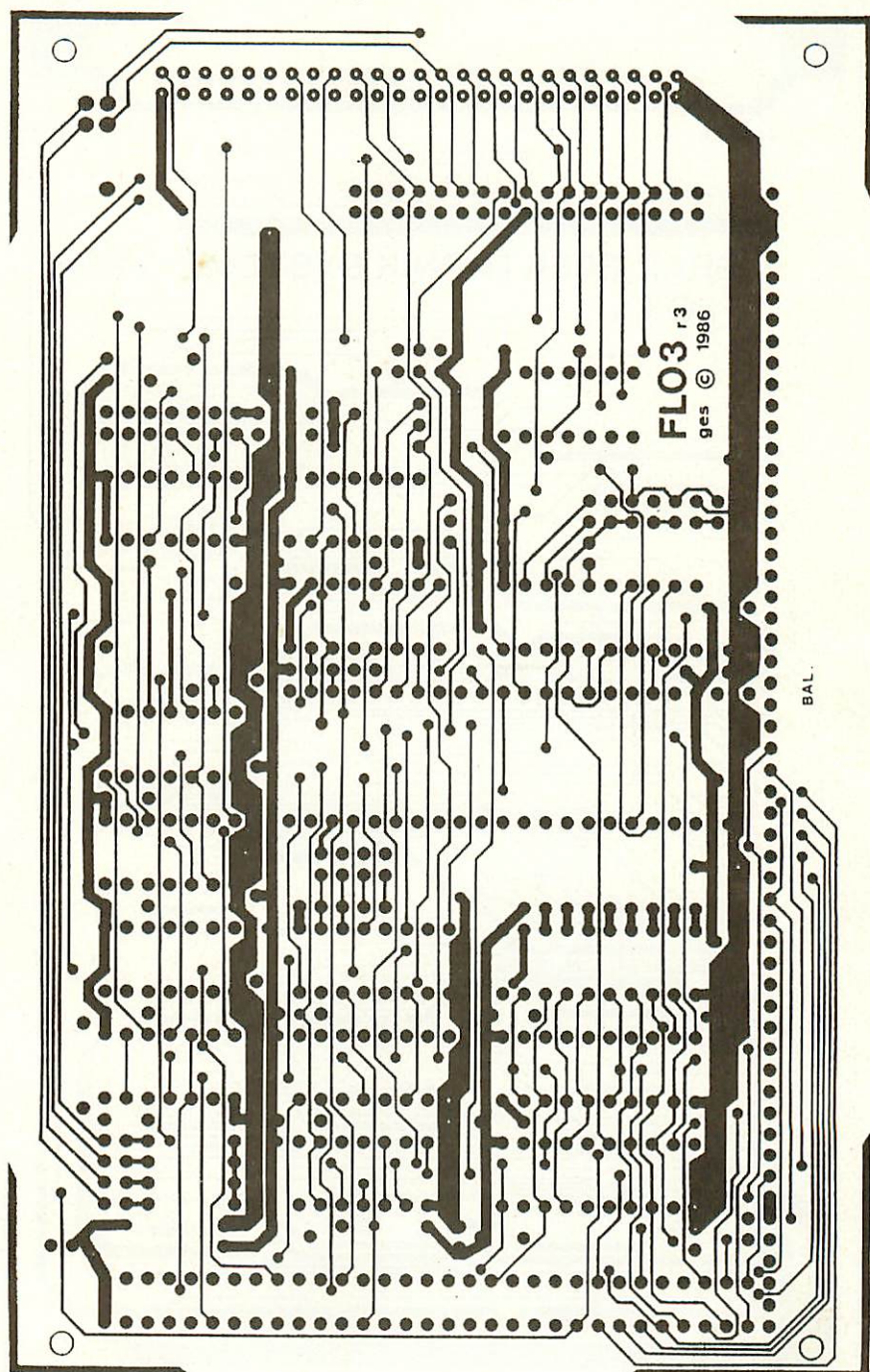


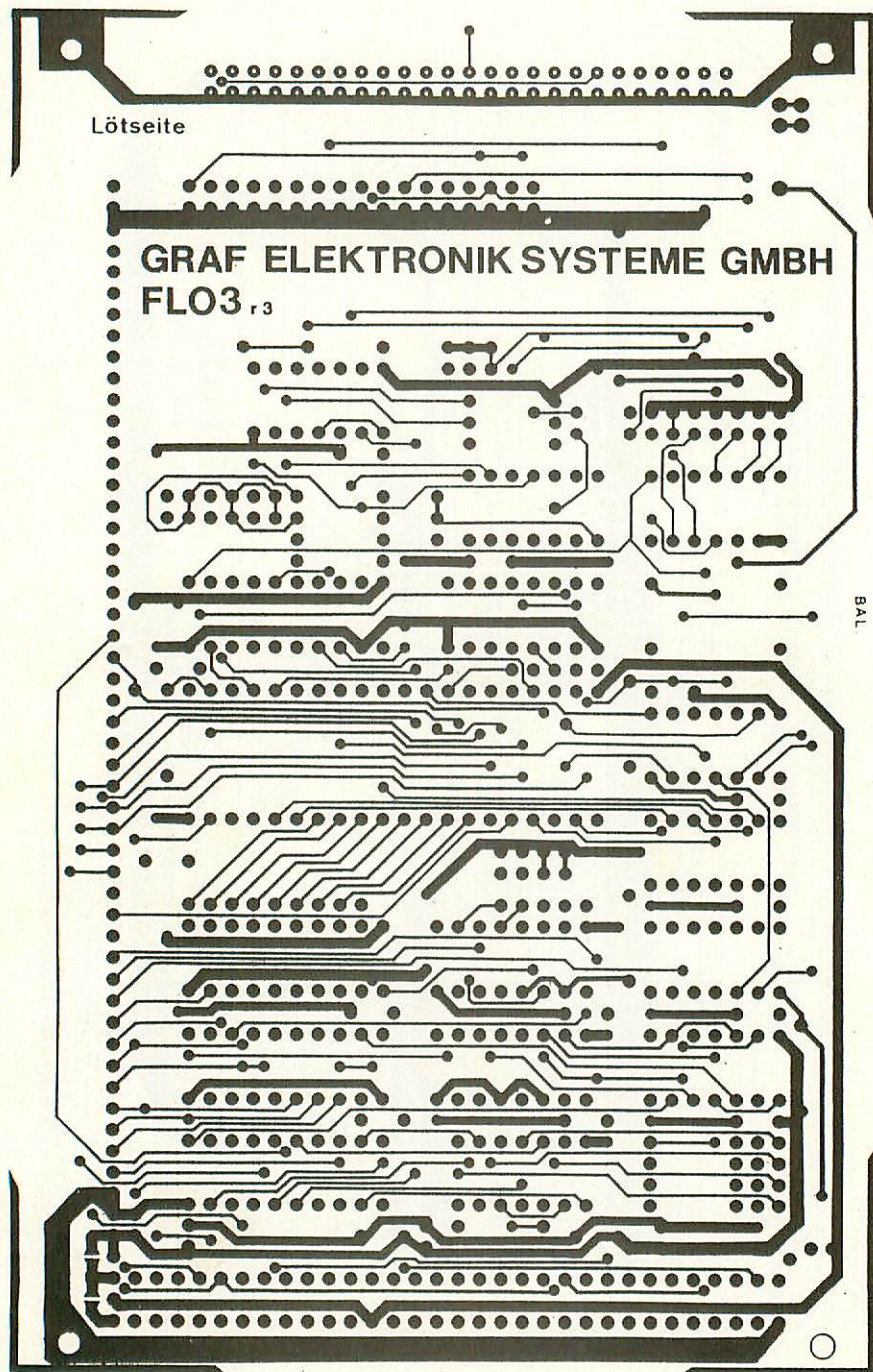
FLO 3

B. Schmid | Ausg. 1 | 1.12.1986











## Anhang E: Laufwerke und Anschluß von Laufwerken

### BESCHREIBUNG ZUM ANSCHLUSS VON TEAC-LAUFWERKEN FD-55F

Laufwerksserien von TEAC:

TEAC bietet 6 verschiedene Laufwerk-Serien an, die sich durch verschiedene Schreibdichte, Anzahl der Köpfe und Spuren pro Diskette unterscheiden.

FD-55A: Einseitig, Spurdichte: 48 tpi (Spuren pro Zoll)  
Spuren pro Diskette: 40  
Speicherkapazität: 250 kByte

FD-55B: Doppelseitig, Spurdichte: 48 tpi  
Spuren pro Diskette: 80  
Speicherkapazität: 500 kByte

FD-55E: Einseitig, Spurdichte: 96 tpi  
Spuren pro Diskette: 80  
Speicherkapazität: 500 kByte

FD-55F: Doppelseitig, Spurdichte: 96 tpi  
Spuren pro Diskette: 160  
Speicherkapazität: 1 MByte

FD-55G: Doppelseitig, Spurdichte: 96 tpi  
Spuren pro Diskette: 160  
Speicherkapazität: 1,6 MByte

FD-55GF High Density: Doppelseitig, Spurdichte: 96 tpi  
Spuren pro Diskette: 154  
Speicherkapazität: 1,6 MByte

FD-55GF Normal Density: Doppelseitig, Spurdichte: 96 tpi  
Spuren pro Diskette: 160  
Speicherkapazität: 1 MByte

Pinbelegung des Direktsteckers der einzelnen Laufwerks-Serien:

### Signal Connector Numbers

Connector No.		FD-55A/B/E/F/G		FD-55GF	
Signal	0 V	Signal	Direction	Signal	Direction
2	1	RESERVED		HIGH/NORMAL DENSITY	Input
4	3	IN USE/HEAD LOAD	Input	IN USE/HEAD LOAD	Input
6	5	DRIVE SELECT 3	Input	DRIVE SELECT 3	Input
8	7	INDEX/SECTOR	Output	INDEX	Output
10	9	DRIVE SELECT 0	Input	DRIVE SELECT 0	Input
12	11	DRIVE SELECT 1	Input	DRIVE SELECT 1	Input
14	13	DRIVE SELECT 2	Input	DRIVE SELECT 2	Input
16	15	MOTOR ON	Input	MOTOR ON	Input
18	17	DIRECTION SELECT	Input	DIRECTION SELECT	Input
20	19	STEP	Input	STEP	Input
22	21	WRITE DATA	Input	WRITE DATA	Input
24	23	WRITE GATE	Input	WRITE GATE	Input
26	25	TRACK 00	Output	TRACK 00	Output
28	27	WRITE PROTECT	Output	WRITE PROTECT	Output
30	29	READ DATA	Output	READ DATA	Output
32	31	SIDE ONE SELECT*	Input	SIDE ONE SELECT	Input
34	33	READY	Output	READY	Output

Die von uns verwendete Laufwerkserie FD-55F ist für eine Speicherkapazität bis 1 Mbyte geeignet. Leider gibt es von dieser FD-55F-Serie einige Ausführungen mit diversen Bezeichnungen, z.B. FD-55FV-03-U, FD-55FV-13-U und FD-55F-03-U. Die beiden Typen FD-55FV-03-U und FD-55FV-13-U sind von der Einstellung der Jumper her identisch. Das Laufwerk FD-55F-03-U hat allerdings eine andere Leiterplatte. Vermutlich gibt es auch noch ein Laufwerk FD-55F-13-U, das von uns im Moment nicht vertrieben wird.

Punkt 1, 2 und 4 der folgenden Beschreibung sind für alle Laufwerke dieser Serie identisch. D.h. die Spannungsversorgung, der Direktstecker und der Netzwerkwiderstand sind bei allen diesen FD-55F-Typen identisch und nach den Punkten 1, 2 und 3 zu behandeln. Lediglich der "Jumper" zum Einstellen des Laufwerkes ist bei den jeweiligen Typen verschieden.

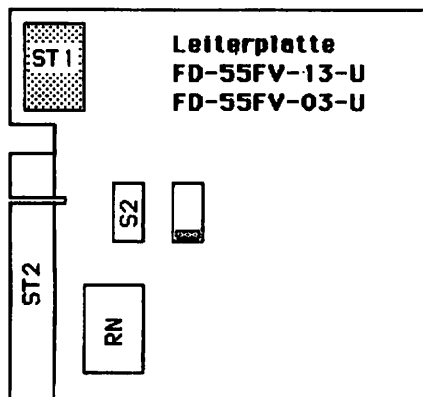


Abb.1: Übersicht Leiterplatte  
FD-55FV-13-U bzw. FD-55FV-03-U

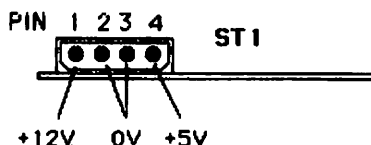


Abb.2: Spannungsversorgung

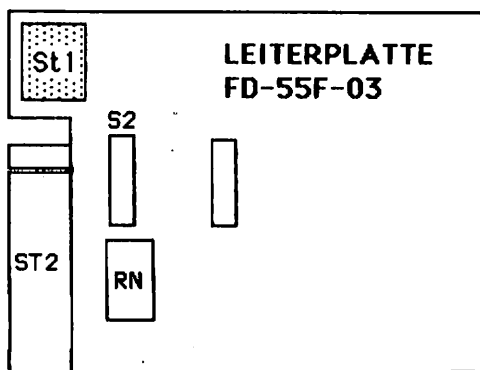


Abb.6: Leiterplatte FD-55F-03-U

Es gibt auch Laufwerke der gleichen Bezeichnung, die nur einen doppelreihigen Stecker (S2) auf der TEAC-Leiterplatte hat. Es fehlt der 2 \* 8 polige Stecker S3. Diese sind dann so zu behandeln wie Abb.6 zeigt.

#### 1. Anschluß der Spannungsversorgung: siehe Abb.2 (ST1)

Pin 1:	+12V
Pin 2:	0V
Pin 3:	0V
Pin 4:	+ 5V

#### 2. Anschluß des Direktsteckers (ST2) von der Baugruppe FLO2

Die Pins sind teilweise auf der Leiterplatte beschriftet. Außerdem ist ein Schlitz zwischen Pin 4 und Pin 5 ausgesägt. An diesem Ende des Steckers beginnt man mit dem Zählen der Pins. Auf dem Direktstecker sind die Pins auch beschriftet, ebenso auf der Lötseite der Baugruppe FLO2. Wenn Sie also die Pins auf den Baugruppen mit den auf dem Kabel vergleichen, können Sie das Kabel eigentlich nicht falsch einstecken (siehe Abb.)

#### 3. Der Netzwerkwiderstand RN (auf IC-Sockel)

Der Netzwerkwiderstand RN darf nur einmal vorhanden sein. Wenn Sie nun 3 Laufwerke angeschlossen haben müssen Sie bei 2 Laufwerken diesen Netzwerkwiderstand entfernen. Der Netzwerkwiderstand RN wird bei jenem Laufwerk, das am Kabelende (Kabel von der FLO2) liegt, nicht herausgenommen. Benutzen Sie nur 1 Laufwerk, so müssen Sie den Netzwerkwiderstand im Laufwerk belassen (siehe Beispiel).

#### 4. Einstellen des Laufwerkes als Laufwerk 0 bis 3 für FD-55FV-13-U bzw. FD-55FV-13-U

Mit einem Jumper (auf der TEAC-Leiterplatte mit S2 bezeichnet) können Sie das Laufwerk von 0 bis 3 einstellen. Dabei sind die 4 Stellungen mit DS0 bis DS3 bezeichnet. Stellen Sie DS0 ein, so erkennt der Computer dieses Laufwerk als Laufwerk A; stellen Sie diesen Jumper auf DS1 so wird es als Laufwerk B erkannt usw. Haben Sie also 2 Laufwerke angeschlossen, so müssen Sie eines auf DS0 einstellen und eines auf DS1 (siehe Abb.3). Insgesamt können Sie 4 Laufwerke anschließen (DS0 bis DS3).

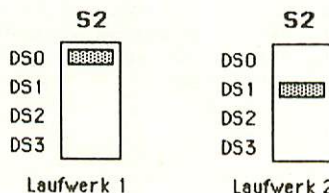


Abb.3: Einstellen des Jumpers S2 für Laufwerk 1 und Laufwerk 2

## 5. Einstellung des Laufwerkes als Laufwerk 0 bis 3 für FD-55F-03-U

Dieses Laufwerk hat einen 8-poligen Stecker zum Einstellen der Laufwerke als Laufwerk 0 bis 3. Abb.5 zeigt die Einstellung für Laufwerk 1 und Laufwerk 2 bzw. Laufwerk "A" und "B".



Abb.5: Einstellen des Jumpers S2 für FD-55F-03-U

Beispiel: 2 Laufwerke:

1 Laufwerk auf DS0 und 1 Laufwerk auf DS1 einstellen (an S2). Bei einem Laufwerk den Netzwerkwiderstand RN entfernen (IC-ähnlicher RN aus dem Sockel ziehen) und zwar bei dem Laufwerk, das nicht am Ende des Kabels von der FL02 steckt (siehe Abb.4). Die restlichen Jumper auf der TEAC Leiterplatte bleiben unberührt.

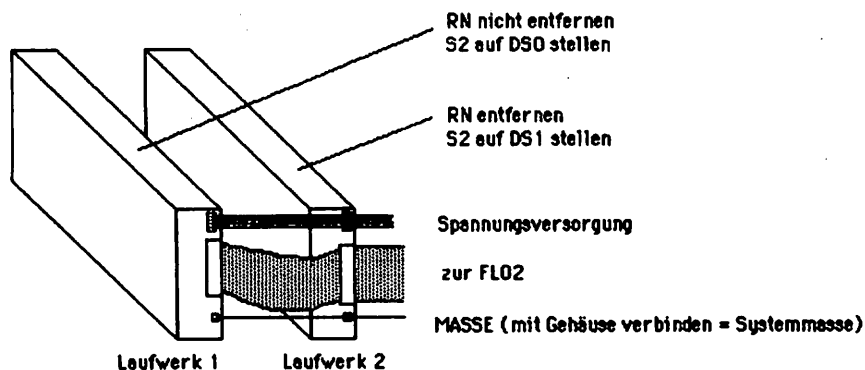


Abb.4: Beispiel mit 2 Laufwerken

Die Masse-Klemme am Gehäuse jedes Laufwerkes muß mit dem Computergehäuse bzw mit der Systemmasse verbunden werden, dadurch werden Störungen von außen vermieden. Aktuelle Informationen erhalten sie wie immer aus der LOOP.

## Anschluß von 3 1/2 Zoll Laufwerken

Schließen Sie 3 1/2 Zoll Laufwerke an, benötigen Sie die TEAC FD-35F Serie. Dieses Laufwerk hat einen integrierten Netzwerkwiderstand 8\*1 kOhm. Dieser Netzwerkwiderstand braucht nicht entfernt werden, wenn Sie mehr als ein Laufwerk verwenden.

Zum Anschluß der 3 1/2 Zoll Laufwerke benötigen Sie ein anderes Kabel als für 5 1/4 Zoll Laufwerke. Hier benötigen Sie statt dem Direktstecker einen normalen Stiftstecker, wie von der FL02. Außerdem ist der Stromversorgungsstecker anders ausgeführt und anders belegt wie bei den 5 1/4 Zoll Laufwerken. Der "Drive Select" wird wie bei den 5 1/4 Zoll Laufwerken von DS0 bis DS3 eingestellt.

### 1. Stromversorgungsstecker

PIN 1	+ 5V
PIN 2	0V
PIN 3	0V
PIN 4	+ 12V

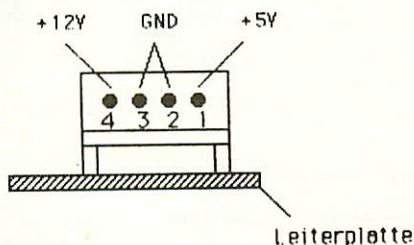


Abb. 1: Spannungsversorgungsstecker

Prüfen Sie die Spannungen, bevor Sie den Stecker einstecken!

### 2. Anschluß des Floppy-Kabels

Das Floppy-Kabel (Kabel 10) können Sie eigentlich, wenn Sie die Pinbezeichnungen auf der Baugruppe FL02 und auf der TEAC Leiterplatte beachten, nicht falsch einstecken. Prüfen Sie lieber zwei mal, ob der Stecker richtig steckt.

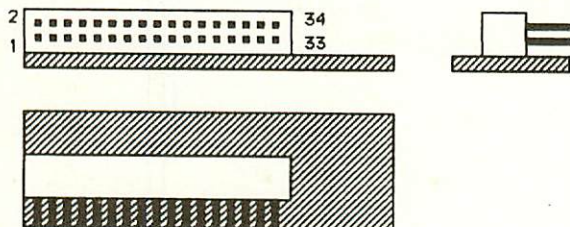


Abb.2: Buchsenstecker zur FL02



### 3. Einstellen des Laufwerkes (DS0 bis DS3)

Benutzen Sie mehrere Laufwerke, müssen Sie die Laufwerke als Laufwerk 1 bzw. "A" oder Laufwerk 2 bzw. "B" einstellen. Dies machen Sie mit dem unten abgebildeten "Jumper" S2. DS0 bedeutet Laufwerk "A" bzw. 1. DS1 bedeutet Laufwerk "B" bzw. 2, usw. Haben Sie zwei Laufwerke angeschlossen, müssen Sie eines auf DS0 und eines auf DS1 stellen. Haben Sie ihr Laufwerk eingestellt und richtig angeschlossen, können Sie die Spannung einschalten, Diskette einlegen und das Betriebssystem "booten".

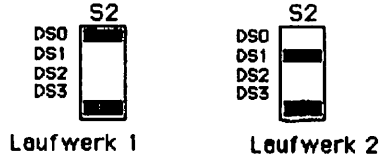


Abb.3: Einstellung des Jumpers S2 für Laufwerk 1 und Laufwerk 2

### Gemischter Betrieb zwischen 5 1/4 Zoll und 3 1/2 Zoll Laufwerken

Bei gemischtem Betrieb brauchen Sie ein Kabel mit einem Direktstecker für 5 1/4 Zoll und einem Buchsenstecker für die 3 1/2 Zoll Laufwerke. Dieses Kabel trägt bei uns die Bezeichnung Kabel 11. Dabei können Sie den Netzwerkwiderstand beim 5 1/4 Zoll Laufwerk gesteckt lassen oder auch herausnehmen; es funktioniert in beiden Fällen. Verwenden Sie aber 2 oder mehr 3 1/2 Zoll Laufwerke bei gemischtem Betrieb, so sollten Sie den Netzwerkwiderstand RN beim 5 1/4 Zoll Laufwerk entfernen, da die 3 1/2 Zoll-Laufwerk intern einen 1 kOhm Netzwerkwiderstand haben und sich dadurch der gesamte Pull-Up-Widerstand zu weit erniedrigen würde.

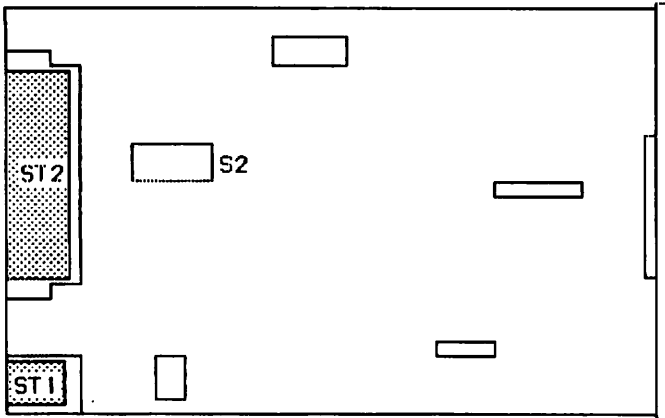


Abb.: 3 1/2 Zoll Laufwerk von oben gesehen

# Anhang F: Kabelpläne

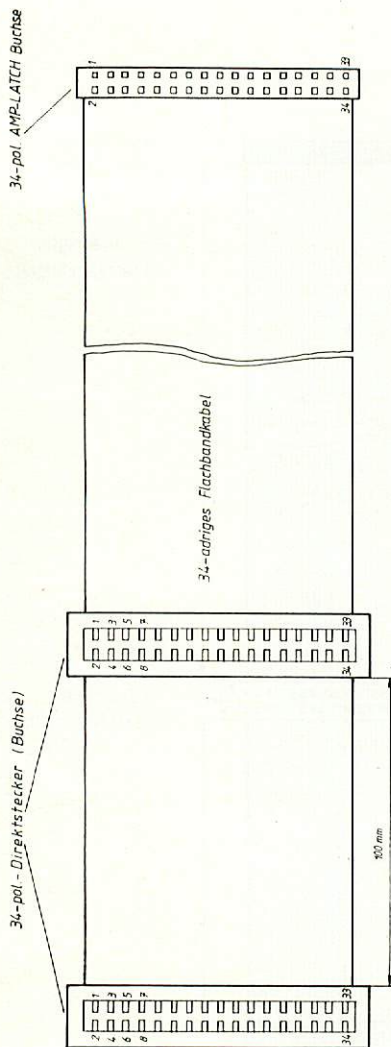


Abb.: KAB 008  
Bestellnr.: 10300

## KABEL für 5 1/4" und 3" (KAB 008)

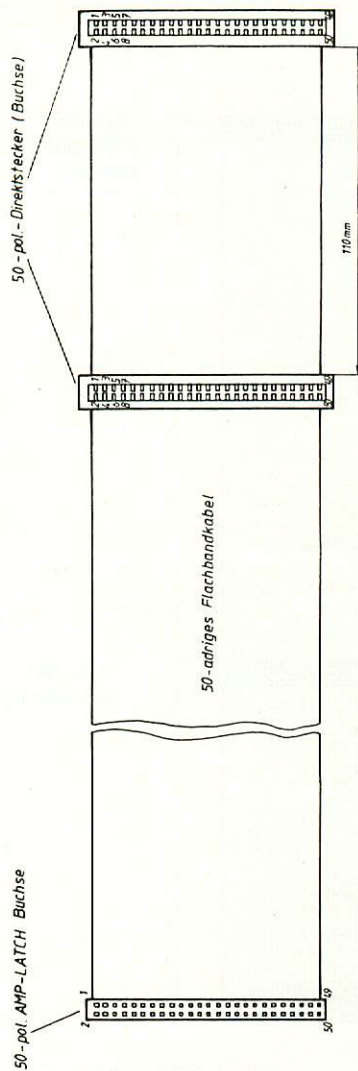


Abb.: KAB 009  
Bestellnr.: 10301

## KABEL für 8" FLOPPIS (KAB 009)

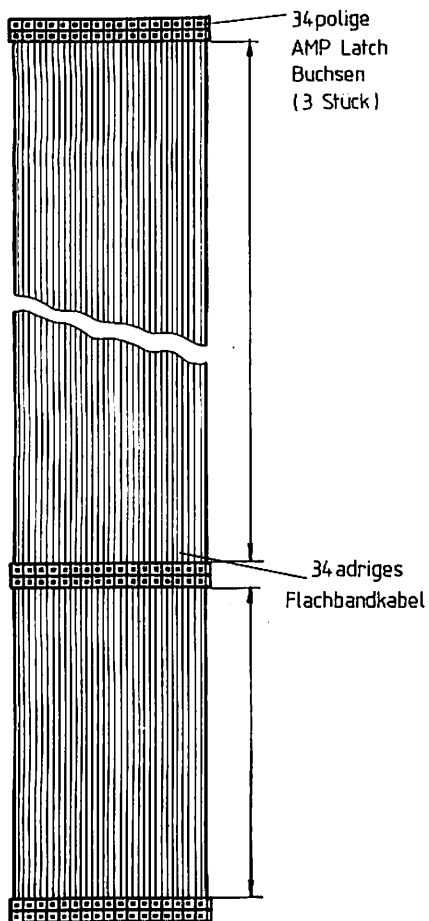


Abb. Kabel 010  
Bestellnr.: 10302

Kabel für zwei 3 1/2"  
Laufwerke

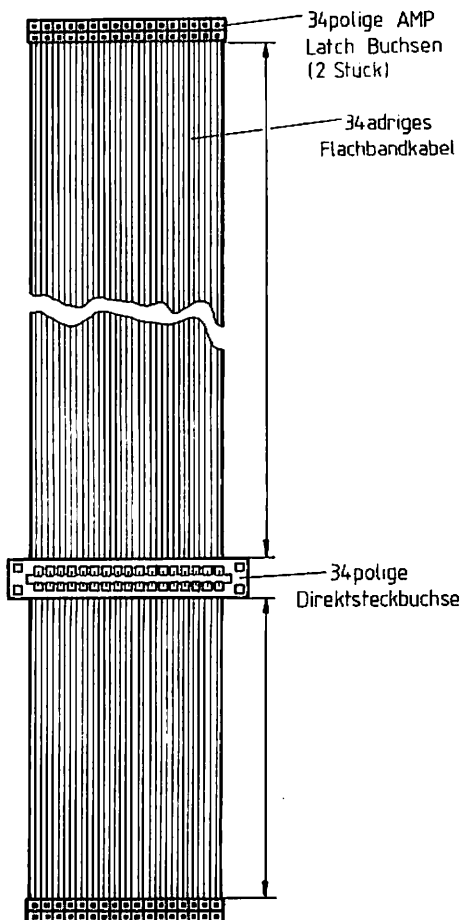
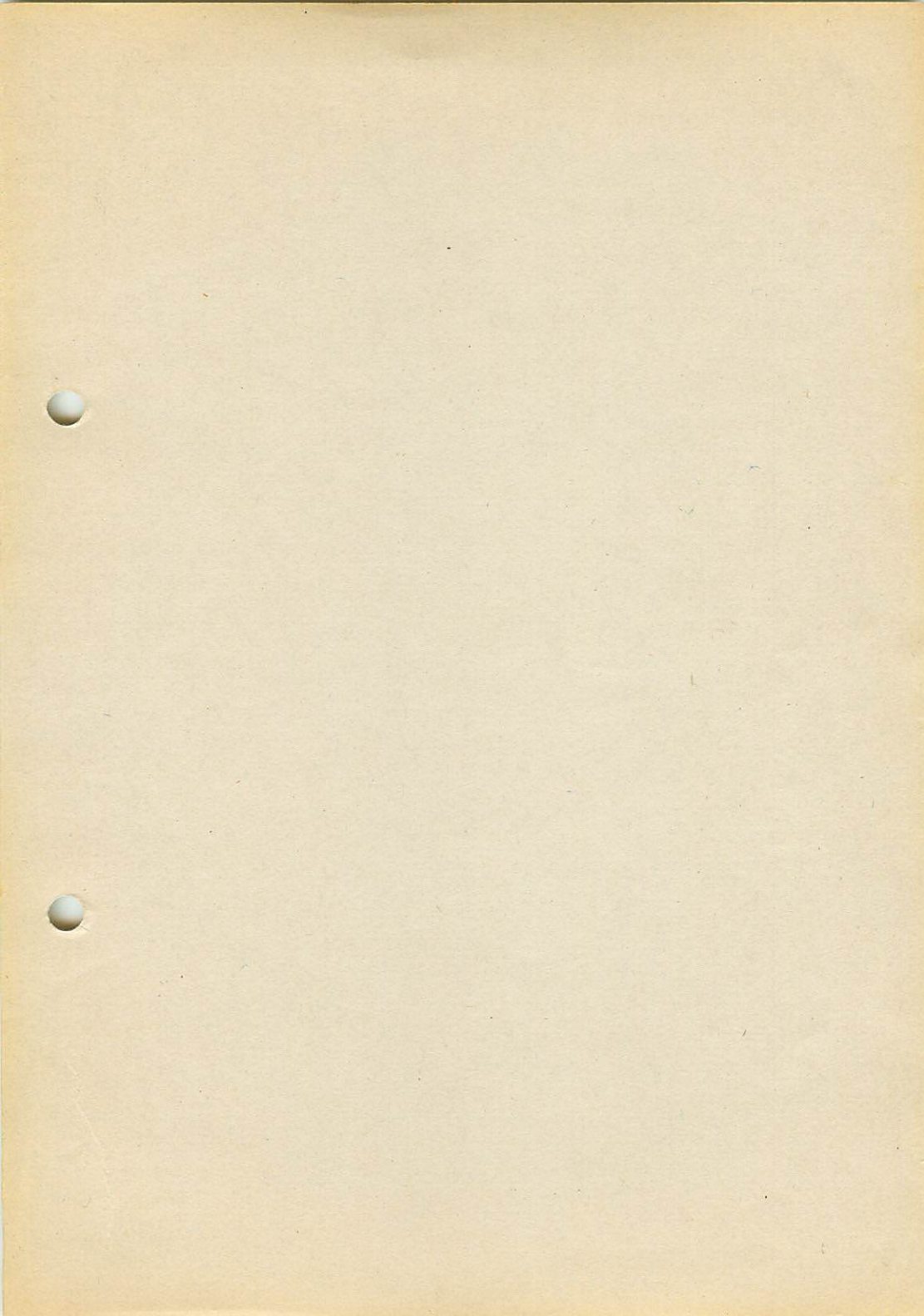
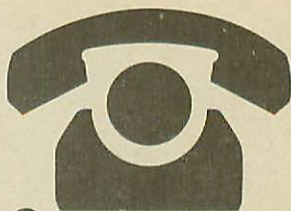


Abb. Kabel 011  
Bestellnr.: 10303

Kabel für ein 5 1/4"  
und ein 3 1/2" Laufwerk



**Neu!**



**Telefonservice**  
**08 31- 62 11**  
**jeden Mittwochabend**  
**bis 20.00 Uhr**

**Graf Elektronik Systeme GmbH**

Magnusstraße 13 · Postfach 1610  
8960 Kempten (Allgäu)  
Telefon: (08 31) 62 11  
Teletex: 831804 = GRAF  
Telex: 17 831804 = GRAF  
Datentelefon: (08 31) 6 93 30

**Verkauf:**

Computervilla  
Ludwigstraße 18 b  
(bei Möbel-Krügel)  
8960 Kempten-Sankt Mang  
Telefon: 08 31 / 6 93 00

**Geschäftszeiten: GES GmbH + Verkauf**

Mo. - Do. 8.00 - 12.00 Uhr, 13.00 - 17.00 Uhr  
Freitag 8.00 - 12.00 Uhr  
Telefonservice

**Filiale Hamburg**

Ehrenbergstraße 56  
2000 Hamburg 50  
Telefon: (0 40) 38 81 51

**Filiale München:**

Georgenstraße 61  
8000 München 40  
Telefon: (0 89) 2 71 58 58

**Öffnungszeiten der Filialen:**

Montag - Freitag  
10.00 - 12.00 Uhr, 13.00 - 18.00 Uhr  
Samstag 10.00 - 14.00 Uhr

**ges**