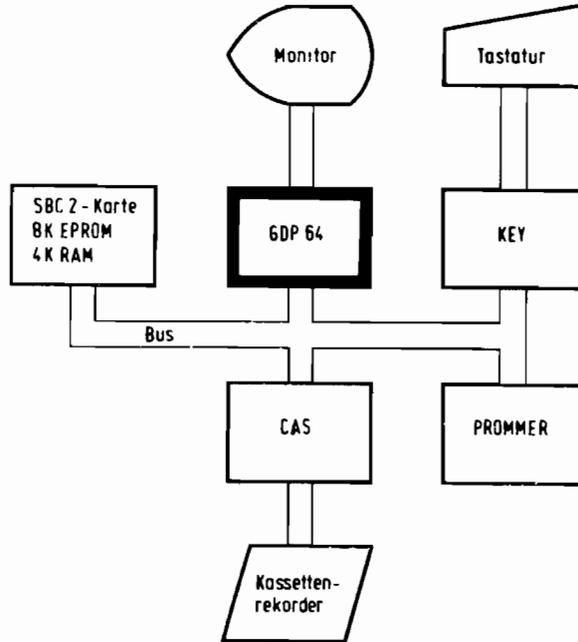


Der NDR-
Klein-Computer

GDP64k

ger

Graf Elektronik Systeme GmbH
Magnusstraße 13 · Postfach 1610 · 8960 Kempten
Telefon (0831) 6211 · Teletex 831804 = GRAF



Inhaltsverzeichnis

Seite

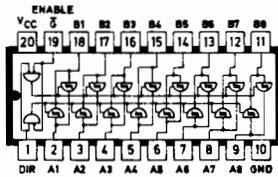
Einführung	1	
Stückliste	2	
Bestückungsplan	4	
Bedeutung der Baugruppe GDP64k	5	
Einlöten der Bauelemente	6	
Test	9	
Schaltbild	12	
Schaltungsbeschreibung	13	
Funktion des Bausteins EF 9366	16	
Status- und Kommandoregister	17	
Befehle von 00H bis 0FH	19	
Darstellung der ASCII-Zeichen	20	
CTRL 1 Steuerregister 1	22	
CTRL 2 Steuerregister 2	22	
CSTZE-Register	23	
DCLTAX- und DELTAY-Register	24	
Lichtgriffel-Register	24	
X- und Y-Register	24	
Bauelemente	25	
74 LS 153	Zwei 4 zu 1 Multiplexer	25
74 LS 166	Acht Bit Schieberegister	25
74 LS 138	Drei Bit Demultiplexer	26
AM 25 LS 2538	Drei zu 8 Dekoder	27
4164	Dynamische RAM 64 kBit	28
74 LS 273	Acht Bit D-Register mit Clear	29
74 LS 163	Synchroner programmierbarer 4 Bit Binärzähler	29
74 LS 245	Acht Bus-Transceiver	30
74 LS 74	Zwei D-flip-flop	30
Transistor		31
Quarz		31
Widerstandsfarbcodes		32

74 LS 245

8 Bus-Transceiver, Tri-State

- 20-poliger Chip
- 16 Ein- bzw. Ausgänge (A,B)
- 1 Eingang: G
- 1 Eingang: DIR

Es handelt sich hier um ein reines Tri-State-Element, d.h. er hat drei Funktionsmöglichkeiten. Er kann Daten von der A-Seite zur B-Seite oder umgekehrt durchschalten, oder aber er sperrt in beide Richtungen. Den sperrenden Zustand nennt man auch "hochohmig". Was das Chip machen soll, bestimmen die Signale DIR (Pin 1) und G (Pin 19).



Wahrheitstabelle

Enable \bar{G}	Direction Control Dir.	Operation
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

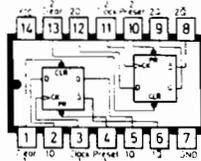
Positive Logik

74 LS 74

2 D-Flip-Flop mit Clear und Preset

Ist am D-Flip-Flop an "Preset" und "Clear" ein H-Signal, so wird das Flip-Flop bei Anlegen eines Taktsignals am "Clock"-Eingang, jeweils bei der positiven Flanke jedes Taktimpulses abwechselnd gesetzt und zurückgesetzt, d.h. die Ausgänge Q und Q* wechseln bei jeder positiven Taktflanke ihren Zustand. Liegt kein Takt an (Low-Signal) bleibt dieser Zustand erhalten (Speicherzustand).

Will man diesen Zustand ändern, ohne einen Takt anzulegen, können die Signale an "Preset" und "Clear" verändert werden. Ist das Flip-Flop gesetzt (Q=H und Q*=L), kann es mit "Preset"=H und "Clear"=L zurückgesetzt werden (Q=L und Q*=H).



Wahrheitstabelle

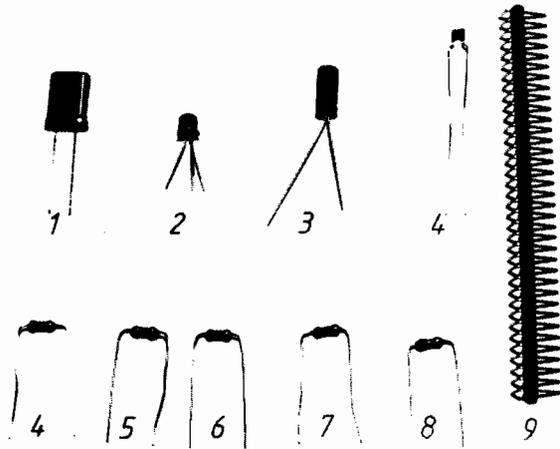
Inputs				Outputs	
Preset	Clear	Clock	D	Q	Q*
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	Q ₀ *

Positive Logik

Stückliste

Stück	Benennung	Nr. im Bild	
1	J1	74 05	
1	J2	74 LS 166	
1	J3	74 LS 163	
1	J4	74 LS 00	
1	J5	74 04	
1	J6	4164 .200 NS	
1	J7	4164 .200 NS	
1	J8	4164 .200 NS	
1	J9	4164 .200 NS	
1	J10	4164 .200 NS	
1	J11	4164 .200 NS	
1	J12	4164 .200 NS	
1	J13	4164 .200 NS	
1	J14	74 LS 74	
1	J15	74 LS 32	
1	J16	25 LS 2538	
1	J17	74 LS 153	
1	J18	74 LS 138	
1	J19	74 LS 245	
1	J20	EF 9366	
1	J21	74 LS 273	
5	S0 14	14-polige IC-Fassung	
12	S0 16	16-polige IC-Fassung	
3	S0 20	20-polige IC-Fassung	
1	S0 40	40-polige IC-Fassung	
1	R1	75 OHM	4 (unten)
1	R2	1 kOHM	8
1	R3	470 OHM	7
1	R4	1 kOHM	8
1	R5	150 OHM	5
1	R6	1 kOHM	8
1	R7	470 OHM	7
1	R8	510 OHM	6
1	R9	1 kOHM	8

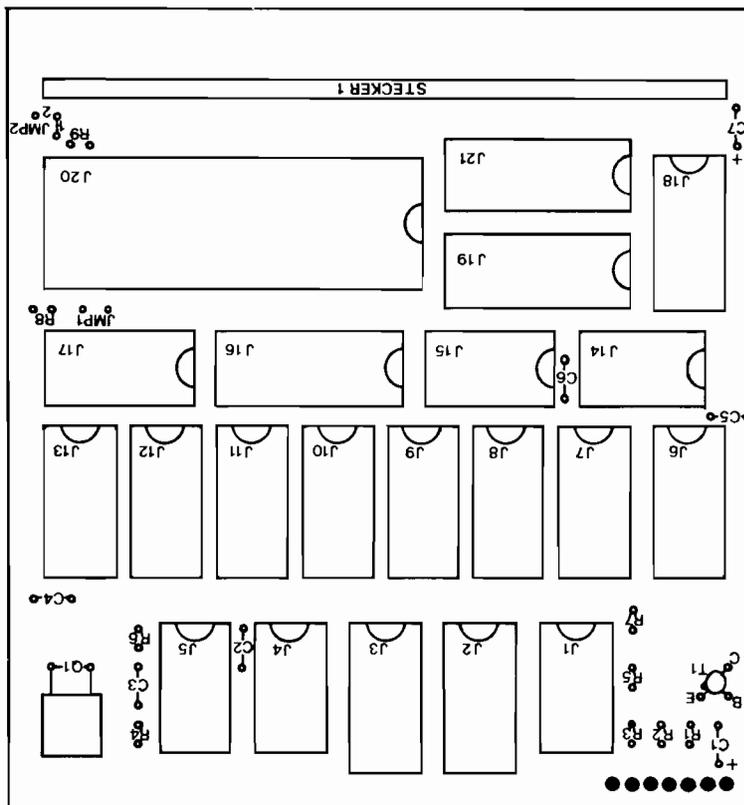
1	C1	10	uF	3
1	C2	100	nF	4 oben
1	C3	100	nF	4 oben
1	C4	100	nF	4 oben
1	C5	100	nF	4 oben
1	C6	100	nF	4 oben
1	C7	10	uF	3
1	T1	BC 107		2
1	Q1	14.00 MHz		1
1	Stecker 1	36-polig		9
1	GES-Platine mit Lötstoplack			



Bestückungsplan

G D P 6 4 K
STÜCKLISTE

J1	74 05
J2	74 LS 166
J3	74 LS 163
J4	74 LS 00
J5	74 04
J6	4164 .200 NS
J7	4164 .200 NS
J8	4164 .200 NS
J9	4164 .200 NS
J10	4164 .200 NS
J11	4164 .200 NS
J12	4164 .200 NS
J13	4164 .100 NS
J14	74 LS 74
J15	74 LS 32
J16	25 LS 2538
J17	74 LS 153
J18	74 LS 153
J19	74 LS 245
J20	GDP 936
J21	74 LS 273
R1	75 Ohm
R2	1 kOhm
R3	470 Ohm
R4	1 kOhm
R5	150 Ohm
R6	1 kOhm
R7	470 Ohm
R8	330 Ohm
R9	1 kOhm
C1	10 uF ELKO
C2	100 nF
C3	100 nF
C4	100 nF
C5	100 nF
C6	100 nF
C7	10 uF ELKO
T1	BC 107
Q1	14.00 MHz
STECKER1	36-polig



Bedeutung der Baugruppe GDP64k

Die GDP64k ist das Bindeglied zwischen dem Mikrocomputer SBC 2 und einem Monitor. Mit ihr will man erreichen, daß auf dem Monitor sichtbar gemacht wird was der Mikrocomputer macht, oder man will etwas graphisch darstellen, man will Einblick in das Innenleben des Computer haben (Speicherbelegung, Kontrolle der Eingaben...).

Zu diesem Zweck muß jeder Bildpunkt auf dem Monitor ansprechbar sein. Bei einer Bildebene von 256 x 512 Bildpunkten wird dazu ein eigener Speicher von 16 kByte benötigt, wenn jeder Bildpunkt ein Bit beansprucht. Wir wollen aber vier unabhängige Bildebenen aufbauen und brauchen demnach einen Speicherplatz von 64 kByte. Diese Speicher sind in 8 x 64 kBit Speichern organisiert.

In diesem Speicher wird jeweils das gesamte Bild abgespeichert und seriell alle 40ms abgerufen (25 mal in der Sekunde); dadurch entsteht ein stehendes Bild. Die Verwaltung des Speicherbereiches (Abruf des Bildes, Refresh ...) übernimmt der auf der GDP64k befindliche Graphik-Prozessor EF 9366. Mit dem Mikrocomputer können per Datenbus Befehle übermittelt werden, z.B. Schreiben eines Zeichens, Größe des gewünschten Zeichens, Form des Zeichens, Lage und Position des Zeichens auf der Bildebene, Auswahl einer der vier Bildebenen (s. EF 9366).

EINLÖTEN DER BAUELEMENTE

Auf einer Seite der Platine steht der Hinweis "lötS" (Lötseite); auf dieser Seite wird ausschließlich gelötet. Die Bauteile sind nur auf der anderen Seite aufzustecken.

Beim Einlöten der Bauelemente beginnt man am Besten mit der Steckerleiste. Es sollte darauf geachtet werden, daß die Stecker parallel zur Platine liegen, um gut auf die Busplatine gesteckt werden zu können.

Dabei sollten zuerst die beiden äußeren Stifte und einer in der Mitte verlötet werden. Dann empfiehlt es sich nachzuschauen, ob die Stecker parallel zur Platine liegen und ob keine "Bäuche" zwischen den verlöteten Stiften liegen.

Sollten "Bäuche" vorhanden sein, muß wiederum jeweils in der Mitte der "Bäuche" ein Stift unter Druck angelötet werden. Liegt die Steckerleiste dann richtig, können die restlichen Stifte verlötet werden.

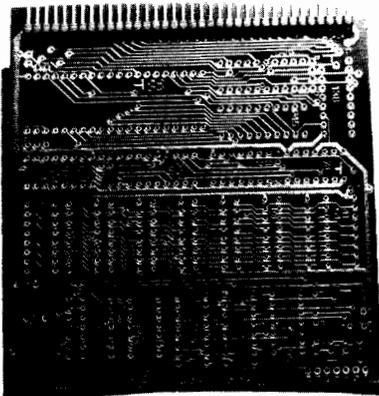


Abb. Platine mit Steckerleiste

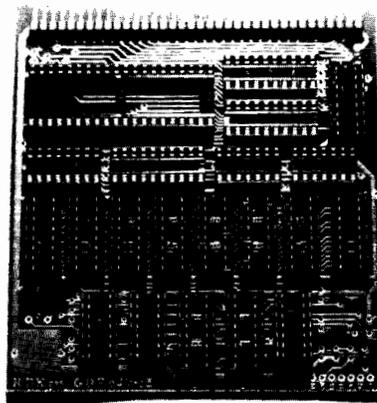


Abb. Platine mit Steckerleiste und IC-Fassungen

Als nächstes werden die IC-Sockel bestückt. Dabei muß darauf geachtet werden, daß die Fassungen richtig aufgesteckt werden. Im Bestückungsplan sind die Richtungen der Fassungen mit einer Kerbe gekennzeichnet. Sie muß mit der Richtung der Kerbe in der Fassung übereinstimmen. Außerdem ist die Lage der Fassungen auch auf der Bestückungsseite der Platine mit einem "I" gekennzeichnet. Die Kerbe muß hier in Richtung des Querbalkens des "I" liegen. Auf der GDP64k-Platine ist nicht bei jedem IC dieses "I" aufgedruckt, sondern nur immer für eine IC-Reihe, denn alle IC's schauen in eine Richtung. Wo welche IC-Fassung hingehört, ist dem Bestückungsplan zu entnehmen.

Es sollten alle Fassungen auf einmal aufgesteckt werden und zum Verlöten umgedreht werden; dabei ist es hilfreich, wenn man beim Umdrehen die Fassungen mit einem Stück Karton auf die Platine andrückt. So wird erreicht, daß die Fassungen alle eben und gerade liegen. Beim Löten sollten wiederum nur zwei Pins jeder Fassung (möglichst diagonal) verlötet werden. So können anschließend schräg liegende Fassungen noch problemlos korrigiert werden. Bevor die restlichen Pins verlötet werden, sollte noch ein letzter Kontrollblick auf die Bestückungsseite geworfen werden, ob die Fassungen richtig liegen und die Richtungen der Fassungen stimmen!

Die Keramik Kondensatoren C2...C6 sind ungepolt und können ohne Rücksicht auf bestimmte Anschlußrichtung aufgesteckt werden. Die auf der Lötseite herausstehenden Drähte sollten abgeknickt werden und kurz abgeschnitten, dadurch fällt der Kondensator beim Verlöten nicht heraus.

Die Elko's (Elektrolyt-Kondensator) sind gepolt und dürfen auf keinen Fall falsch herum eingelötet werden. Der Minuspol ist auf dem Kondensator mit einem schwarzen Streifen gekennzeichnet, und auf der Platine sowie auf dem Bestückungsplan ist der Pluspol mit "+" gekennzeichnet. Außerdem sollte beim Einlöten darauf geachtet werden, daß der Elko, der bei der Steckerleiste bestückt wird nicht zu nah am Rand der Platine eingelötet wird, denn sonst könnte die Platine nicht mehr in den Halterungsschlitz der Busplatine passen.

Einlöten der Widerstände

Die Werte der Widerstände sind am Farbcode abzulesen (siehe Bauelemente). Da auf der Leiterplatte wenig Platz ist, werden die Widerstände stehend eingelötet. Alles weitere ist dem Bestückungsplan zu entnehmen.

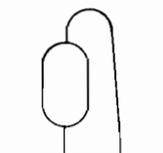


Abb. Einlöten der Widerstände

Einlöten des Transistors

Beim Transistor muß auf die Anschlüsse B,E,C geachtet werden. Der Transistor hat an seinem Umfang eine "Nase". Der Pin der am nächsten dieser Nase kommt ist der Emitter.

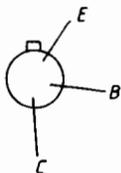


Abb. Transistor von unten gesehen



Abb. Abdruck auf der Platine



Abb Einlöten des Transistors

Der Transistor sollte nicht sehr tief hineingesteckt werden, da sonst die Hitze des Löt Kolbens ihn zerstören könnte.

Einlöten des Quarzes

Der Schwingquarz ist nicht gepolt und kann somit nicht falsch herum eingelötet werden. Aus Platzgründen und aus optischen Gründen sollte er liegend eingelötet werden.



Abb. Einlöten des Quarzes

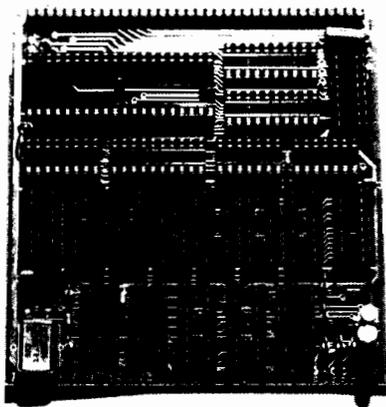


Abb. Platine mit Steckerleiste, IC-Fassungen
und passiven Bauelementen

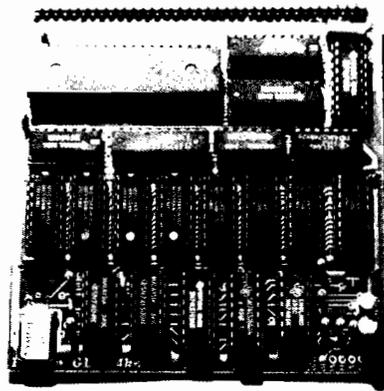


Abb. vollbestückte Platine

Test

Sind alle IC-Sockel und passiven Bauelemente verifiziert kann mit den Tests begonnen werden.

Zuerst wird nur das IC J5 hineingesteckt. IC zur Takterzeugung. Wird die Platine nun auf den Bus gesteckt muß an J5/8 ein Takt von 14 MHz zu messen sein.

Wenn der Takt anliegt können die restlichen IC, bis auf den EP 9366 IC und der Speicherbausteine (26...33) hineingesteckt werden; aber nicht bei angelegter Spannung!

Wird nun die Spannung wieder angelegt, muß an J20/1 ein 1.75 MHz Signal meßbar sein.

An J3 müssen folgende Signale zu messen sein:

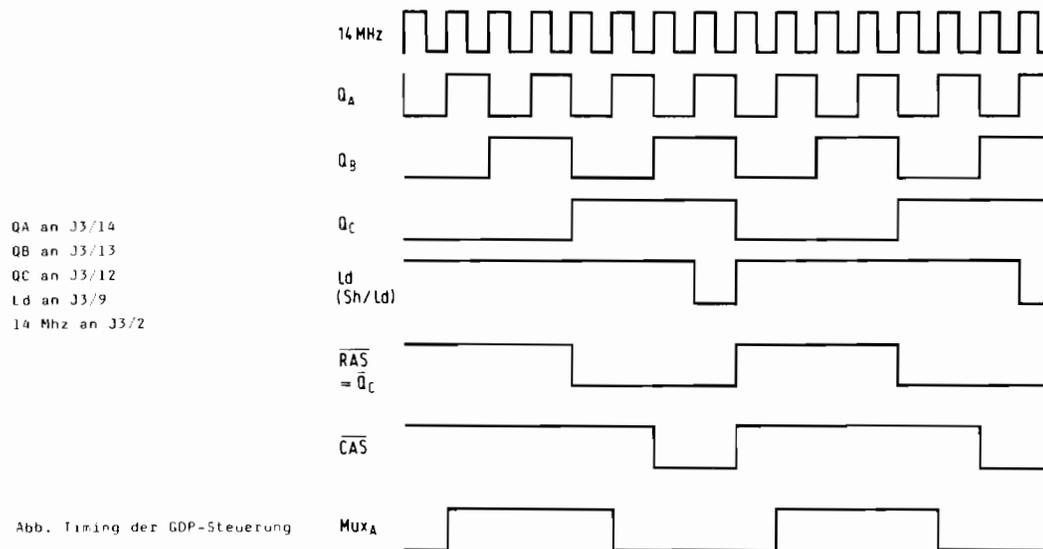


Abb. Timing der GDP-Steuerung

Anschließend muß die Versorgungsanfang wieder weggenommen werden und der EP 9366 IC eingesteckt werden. Beim Einschalten der Spannung muß auf dem Monitor (angeschlossen an B45 und an Masse) ein Abgedunkeltes dunkles Bild erkennbar sein. Es ist noch keine Bildinformation erkennbar (auch nicht (normaler) Nur das Synchronsignal das der EP 9366 erzeugt, muß mit dem Oszilloskop an RAS-Ausgang zu messen sein.

Anschließend sollte die Spannungsversorgung der Speicherbausteine (26...33) kontrolliert werden. Jeweils an PIN 8 müssen 5 V anliegen.

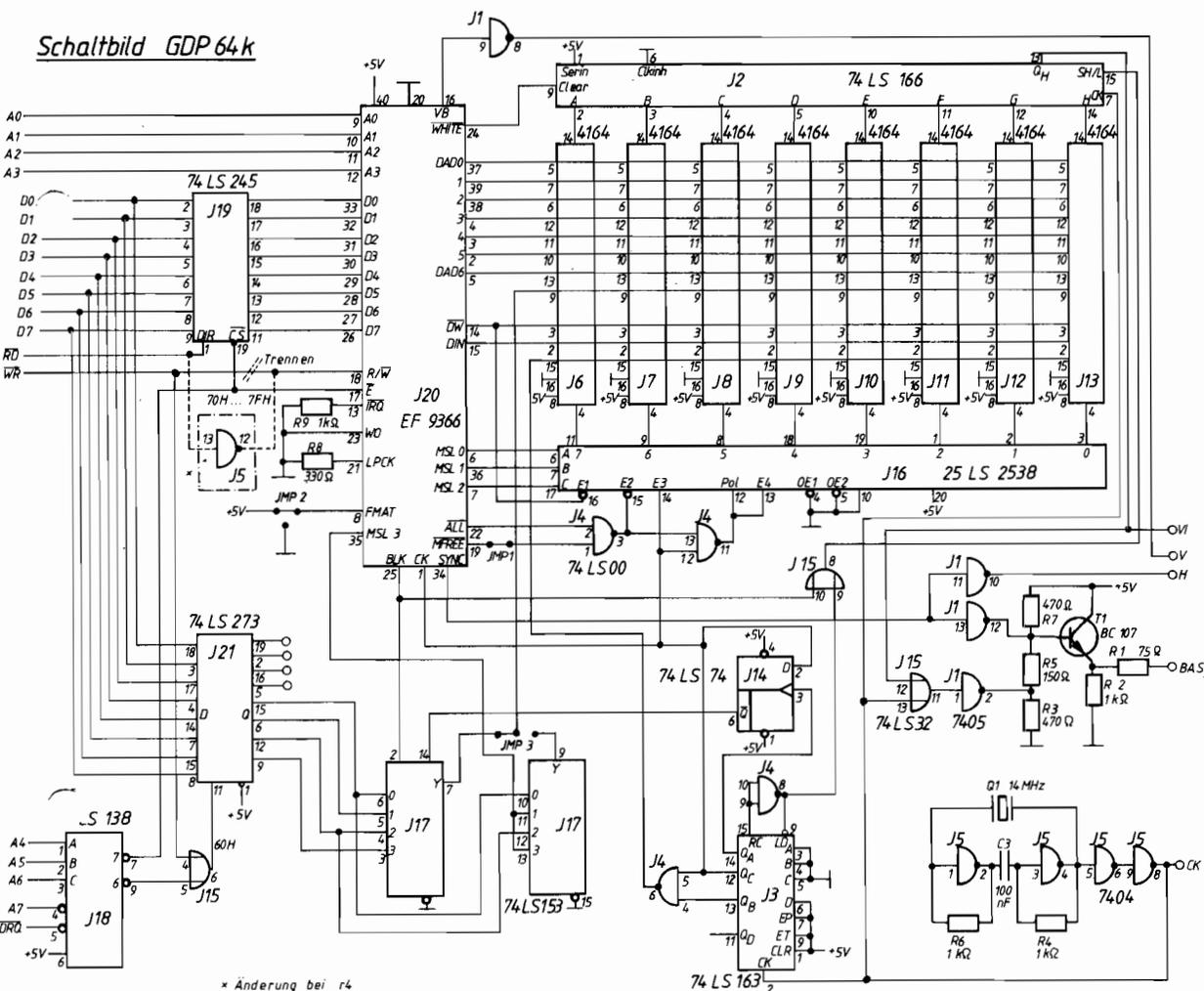
Nach Abschalten der Spannung können die Speicherbausteine eingesteckt werden.

Sind nun alle Bausteine bestückt kann der Test mit der Software beginnen. Dazu muß auf der SBC 2 das Grundprogramm in die Fassungen J6 und J7 gesteckt werden. Bei angeschlossenen Monitor und einschalten der Spannung, erscheint nach einer kurzen Copyright-Meldung das Grundmenü und darunter ein quadratisches Feld in dem der Cursor blinkt. Über die Baugruppe Key kann die Tastatur angeschlossen werden (s. Key) und Zeichen eingegeben werden.

Die Ausgabe des Wertes 0 an den Port 60H setzt die Schreib- und Leseseite auf 0.
 Ausgabe des Wertes 6 an den Port 70H löscht den Bildschirm und setzt die Schreibposition auf 0,0.
 Ausgabe des Wertes 3 an den Port 71H setzt den GDP in den Schreibmode.
 Ausgabe des Wertes 41H an den Port 70H läßt das Zeichen "A" auf dem Bildschirm links unten erscheinen.

Dieser Test mit der Software erfordert Kenntnisse in der Programmierung (Maschinensprache). Haben Sie diese nicht, so können Sie auf diesen Test verzichten. Es genügt eigentlich, wenn nach Einschalten der Stromversorgung (Grundprogramm auf der SBC 2) auf dem angeschlossenen Monitor das Grundmenü erscheint.

Schaltbild GDP 64k



SCHALTUNGSBESCHREIBUNG

Das Herz der GDP 64k ist der Graphik Display Prozessor EF 9366 für 512 mal 256 Bildpunkte. Es könnte aber auch der EF 9365 verwendet werden; dazu muß aber die Brücke JMP 3 verändert werden. Standard ist die Bestückung mit dem EF 9366, auf den auch die gesamte Software abgestimmt ist.

Der GDP J20 ist an den Datenbus und an die Adressbit A0...A3 angeschlossen. Über diese Bits können die 16 internen GDP-Register adressiert werden. Sie liegen ab Adresse 70H bis 7FH. Diese Adressen erzeugt der Decoder J18 aus den Adressbits A4 bis A7. Weiter wird die Adresse 60H decodiert, die die Seitenumschaltlogik anspricht.

Der Arbeitstakt der GDP 64k wird über den Quarz Q1 und dem Taktgenerator J5 erzeugt. Es sollte darauf geachtet werden, daß aufgrund der hohen Taktrate ein 7404 ohne LS eingesetzt wird! Der Bildpunktstakt liegt am Punkt C der 7-poligen Buchsenreihe, oben an der Baugruppe.

Der 14 MHz Bildpunktstakt führt direkt zum Schieberegister J2 (wird später näher erwähnt) und zum Zähler J3, der die sonstigen im System benötigten Takte erzeugt. J3 zählt von 8 bis F und lädt sich nach Erreichen von "F" wieder selbst über J4/9,10,8. Der Grundtakt steuert das Schieberegister J2 über J2/7. Weiter führt er zum Videomischer J15. Dadurch ergibt sich ein Punktstakt von 71 ns.

Der Grundtakt der durch den Zähler durch maximal 8 geteilt wird, ergibt einen Systemtakt von 1,75 MHz, der am Ausgang J3/12 ansteht und als CK zum GDP geführt wird.

Über J4 wird das CAS*-Signal für die Speicher erzeugt.

Der GDP J20 übergibt die 16 Bit große Adresse eines Bildpunktes an seinen Ausgängen DAD 0 (J20/37)...DAD 6 (J20/5) in Verbindung mit den Ausgängen MSL 0 (J20/6) ...MSL 2 (J20/7). Die Adressen über die Ausgänge DAD werden gemultiplext, d.h. da nur 7 Ausgänge vorhanden sind wird die Adresse auf zweimal übertragen; zuerst die niederwertigen dann die höherwertigen 7 Bit. Dieser Vorgang wird durch die Signale CAS* und RAS* gesteuert. In Wirklichkeit werden aber jeweils 8 Bit übertragen, wobei das 8. Bit durch eine zusätzliche Logik (Seiten-Logik) erzeugt wird. Die Adressausgänge DAD führen direkt zum GDP, während die MSL Ausgänge zum Baustein J16 führen, einem 3 zu 8 Decoder mit einigen Besonderheiten.

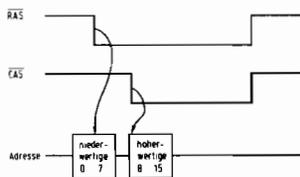


Abb. Multiplex der Adressen

J16 decodiert die an seinen Eingängen (A,B,C) anstehende Information und schaltet jeweils einen Ausgang J16/11,9,8 usw auf LOW. Dadurch wird ein RAS* erzeugt und die Adressen dem jeweiligen Speicherchip übergeben.

J4/1,2,3 verknüpft die Ausgänge ALL* und MEMFREE* des GDP (J20). Ein Enable (freigabe) des J16 wird erreicht, wenn der Ausgang DW* (J20/14) aktiv ist (über E1*, J16/16) und wenn nicht beide Ausgänge ALL* und MEMFREE* Null sind (über J4/1,2,3).

Der POL-Eingang des Multiplexers, J16/12, schaltet alle Ausgänge um. Dies wird bei unserer Schaltung angewandt, um die Speicherinhalte wieder auslesen zu können. Zu diesem Zeitpunkt wären alle Ausgänge von J16 auf "1"; durch POL werden sie zu "0", d.h. alle Speicher erhalten ein identisches RAS*, das die Ausleseadresse definiert. Dies wünscht der GDP (J20) durch seinen Ausgang ALL*.

Die Seiten-Logik (Page-Logik) stellt J17 dar. GDP 64k kann vier Seiten bedienen, wobei in eine Seite geschrieben und gleichzeitig eine weitere Seite angezeigt werden kann. Die Seite kann per Software mit dem Seitenport 60H ausgewählt werden.

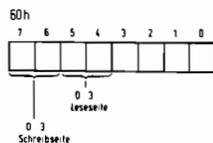
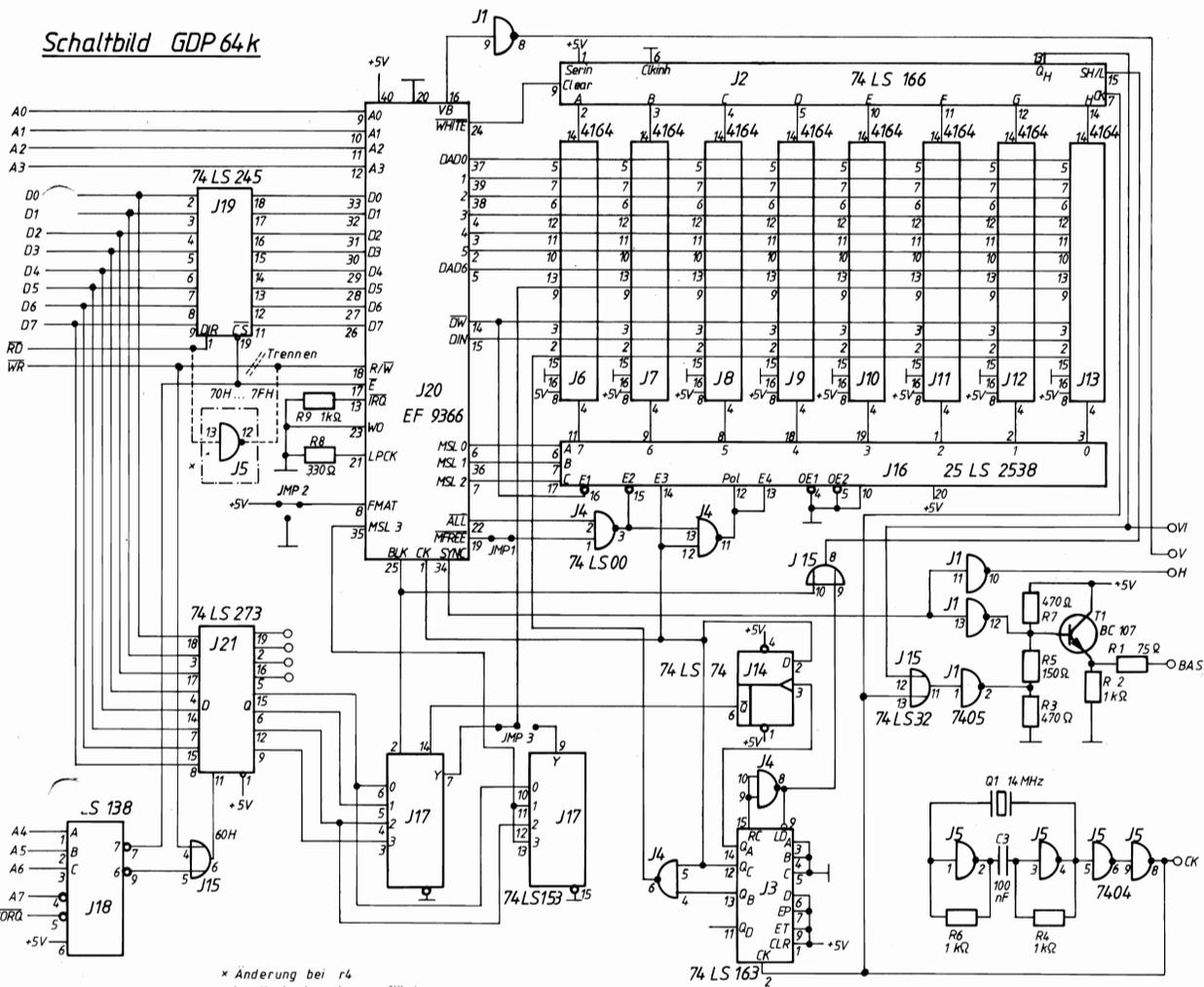


Abb. Belegung des Seitenports

Damit es hier nicht zu Kollisionen kommen kann, dient J17, ein 2 mal 4 zu 1 Multiplexer. Zunächst sei die Brücke (Jump) Jmp 3 auf der Stellung "9366" (Ist auf der Platine GDP 64k bereits realisiert). Damit ist nur der linke Teil der Seiten-Logik interessant. J17 erzeugt mit seinem Ausgang J17/7 das jeweils höchstwertige Adressbit der gemultiplexten Adresse A15 und A8, das abhängig von der gewählten Seite ist. Eine weitere Logik (J14 über J3) sorgt dafür, daß diese Adresse auch richtig im Timing der Speicher erzeugt wird. Abhängig von der Information an den Select-Eingängen A und B (J17/14,2) wird einer der Eingänge 0...3 (J17/3,4,5,6) durchgeschaltet. Die Eingänge J17/0,1 bestimmen die Seite, aus der gelesen werden soll, J14/2,3 definieren die Schreibseite (vgl auch obige Abbildung).

Um Störungen zu vermeiden, darf in ein Bild nur dann geschrieben werden, wenn der Strahl ausserhalb des darstellbaren Bereiches liegt. Der GDP (J20) leitet dies durch seinen BLK (Blank-) Ausgang J20/25 mit, der an einen Eingang von J17 gelegt ist. Der andere Eingang wird von einer Takflanke, die mit J4 und J14 zwischen RAS und CAS liegt, belegt. Dadurch wird die Adresse einer aktuellen Seite nur zum erlaubten Zeitpunkt

Schaltbild GDP 64k



Welche Seite angesprochen ist, wird durch das jeweils höchstwertige Bit der gemultiplexten Adresse, also A7 und A15, das jeweils über J17/7 durchgeschaltet wird, definiert.

Die Ausgabedaten der RAMs führen an die Eingänge des 8-bit-Schieberegister J2. Jeweils zu Beginn eines neuen Taktschrittes werden die acht Punktdaten hier übernommen, gesteuert durch J20/25 BLK über J15. Während der BLANK-Zeit, gesteuert durch J15, wird die feste "1" des "Serial Inputs" übernommen. Eine "1" entspricht einem dunklen Bildpunkt.

Die hinausgeschobenen Daten (J2/13) werden mit dem Punkttakt verknüpft über J15/12,13 mit dem Synchronisationssignal über SYNC (J20/34), J1 und den Widerständen R3, R5 und R7 vermischt.