

SER

Die Serielle Schnittstelle für den NDR - Computer

Stand: Juli 1985

Graf Elektronik Systeme GmbH
Magnusstr. 13 · Postfach 1610
8960 Kempten (Allgäu)
Telefon: (08 31) 62 11
Teletex: 831804 = GRAF
Telex: 17 831 804 = GRAF

Filiale Hamburg
Ehrenbergstraße 56
2000 Hamburg 50
Telefon: (0 40) 38 81 51
Filiale München
Georgenstraße 61
8000 München 40
Telefon: (0 89) 2 71 58 58

Inhaltsverzeichnis

	Seite
1. Einführung	1
2. Technische Daten	2
3. Prinzipielle Beschreibung	2
3.1 Das Prinzip der Datenumwandlung	2
3.2 Umwandlungstechnik parallel-seriell	3
3.3 Das V24-Format	4
3.4 Belegung des Canon-Steckers	4
4. Aufbauanleitung	5
4.1 Achtung C-MOS	5
4.2 Stückliste	5
4.3 Bestückungsanleitung	6
4.4 Setzen der Jumper	7
5. Test der Baugruppe	8
5.1 Test des Senders mit der CPU Z80	8
5.2 Test des Senders und des Empfängers mit der CPU Z80	9
5.3 Test mit der CPU 68k	10
5.4 Test mit dem Oszilloskop	10
6. Fehlersuche	11
6.1 Sichtprüfung	11
6.2 Messungen	11
7. Schaltungsbeschreibung	12
7.1 Vergleichslogik	12
7.2 Weitergabelogik	12
7.3 Takterzeugung	13
7.4 Der Baustein SY 6551	13
8. Anwendungsbeispiele	16
8.1 Anschluß des Epson Druckers FX-80	16
8.2 Beispiel: Betrieb des Epson Druckers mit der CPU-Z80	16
8.3 Modem Programm mit der SBC2	18
8.4 Die SER-Baugruppe unter CP/M.	24
9. Bauelemente	28
9.1 Datenblätter zum Baustein SY 6551	31
10. Schaltbild SER	35
11. Bestückungsplan	37
11.1 Layout der Lötseite	38

Achtung:

Um die Fehlermöglichkeiten bei unseren Bausätzen zu reduzieren, werden bei uns in Zukunft die Adressen der Baugruppen im Layout voreingestellt. Auch bei der Baugruppe SER entfallen dadurch die Stiftleiste JMP¹² und die zwei Shunt-Stecker zum Einstellen der Adresse dieser Baugruppe.

Da bei uns die Baugruppe SER immer auf der festen Adresse FO-F3 liegt, empfehlen wir bei Platinen r3, an den beiden im SER-Handbuch auf Seite 7 sowie auf der Platine (Bestückungsdruck) gestrichelt angegebenen Stellen zwei Drahtbrücken einzulöten, damit diese Adresse richtig eingestellt wird.

Änderungsanweisung SER

10.85/4

von r3 nach r4 (Blatt 1, Blatt 2, Blatt 3)

1. Grund der Änderung

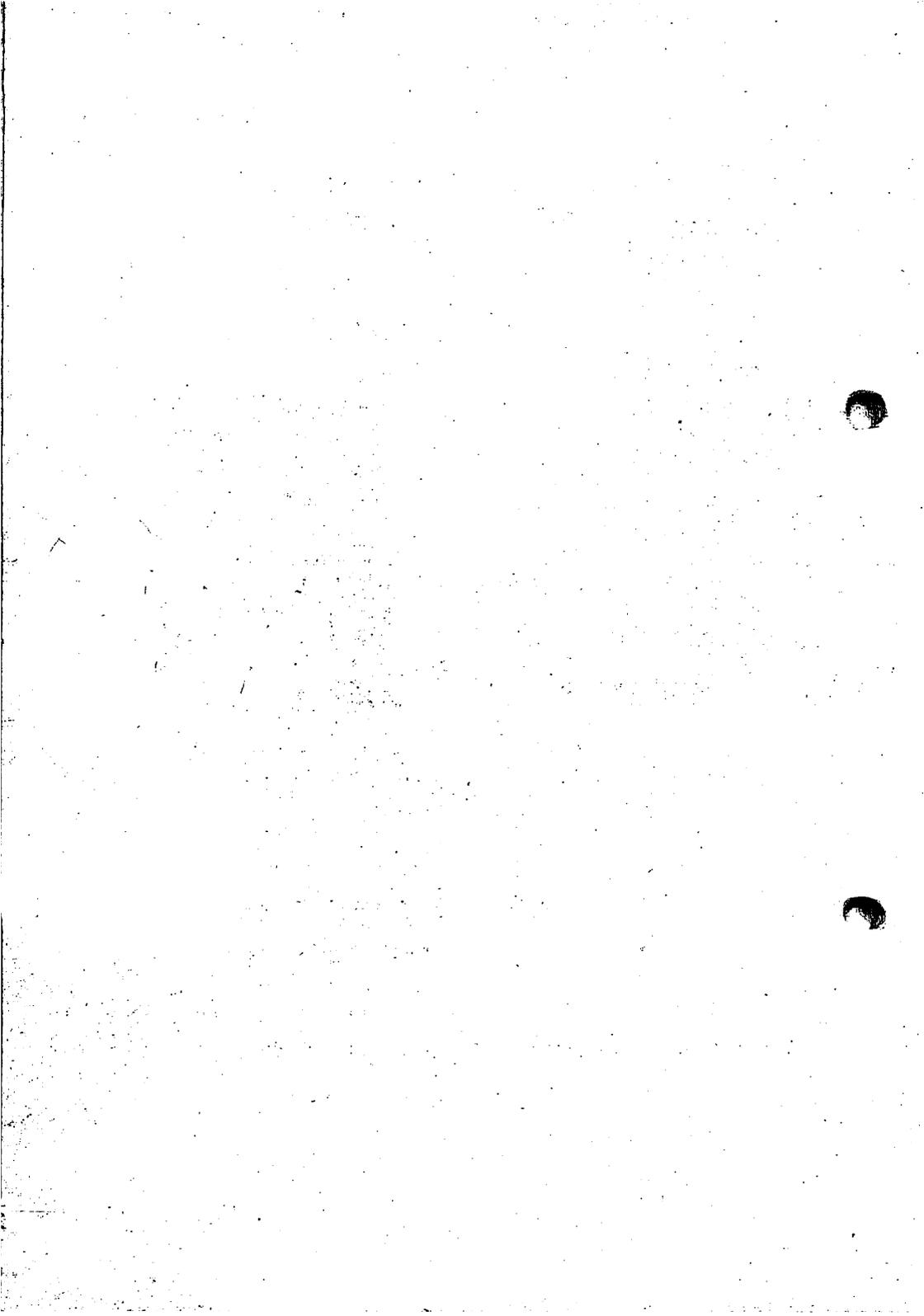
Bisher wurde bei der Baugruppe SER der Baustein SY 6551 eingesetzt. Da wir diesen Baustein nicht mehr bekommen, wird der Baustein R 6551 P von Rockwell eingesetzt. Dieser wiederum läuft nicht immer mit dem bisherigen Aufbau. Mit folgender Änderung läuft dieser Baustein sicher:

1.1 Der Quarz Q1 muß entfernt werden und dafür ein Serien-Resonanz Quarz (1,8432 MEC) eingesetzt werden. Dieser Quarz ist bei uns erhältlich, oder schon im Bausatz enthalten.

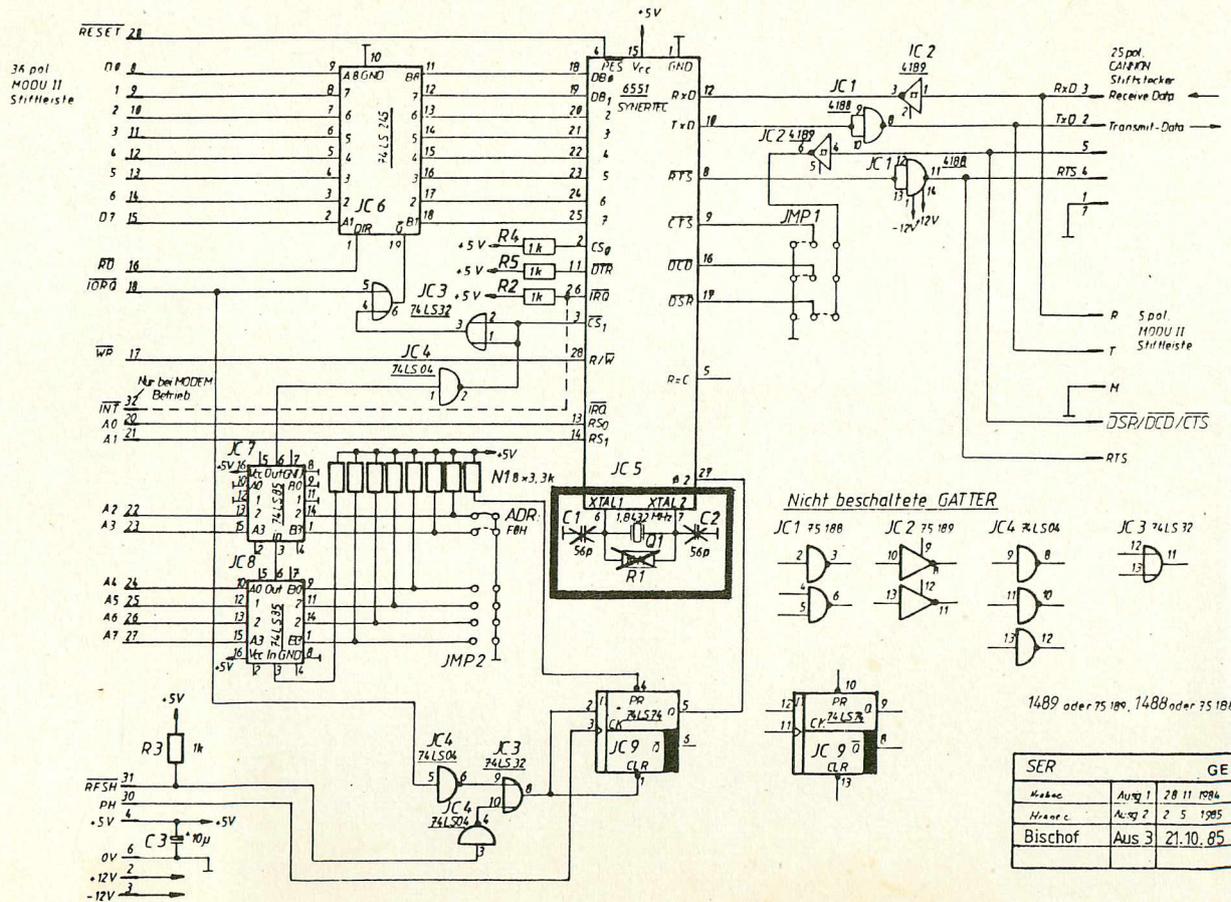
1.2 Die Kondensatoren C1 und C2 und der Widerstand R1 müssen entfernt werden (auslöten oder abwickeln mit dem Seitenschneider).

2. Schaltplanänderung (Siehe Seite 2)

3. Keine Layoutänderung!

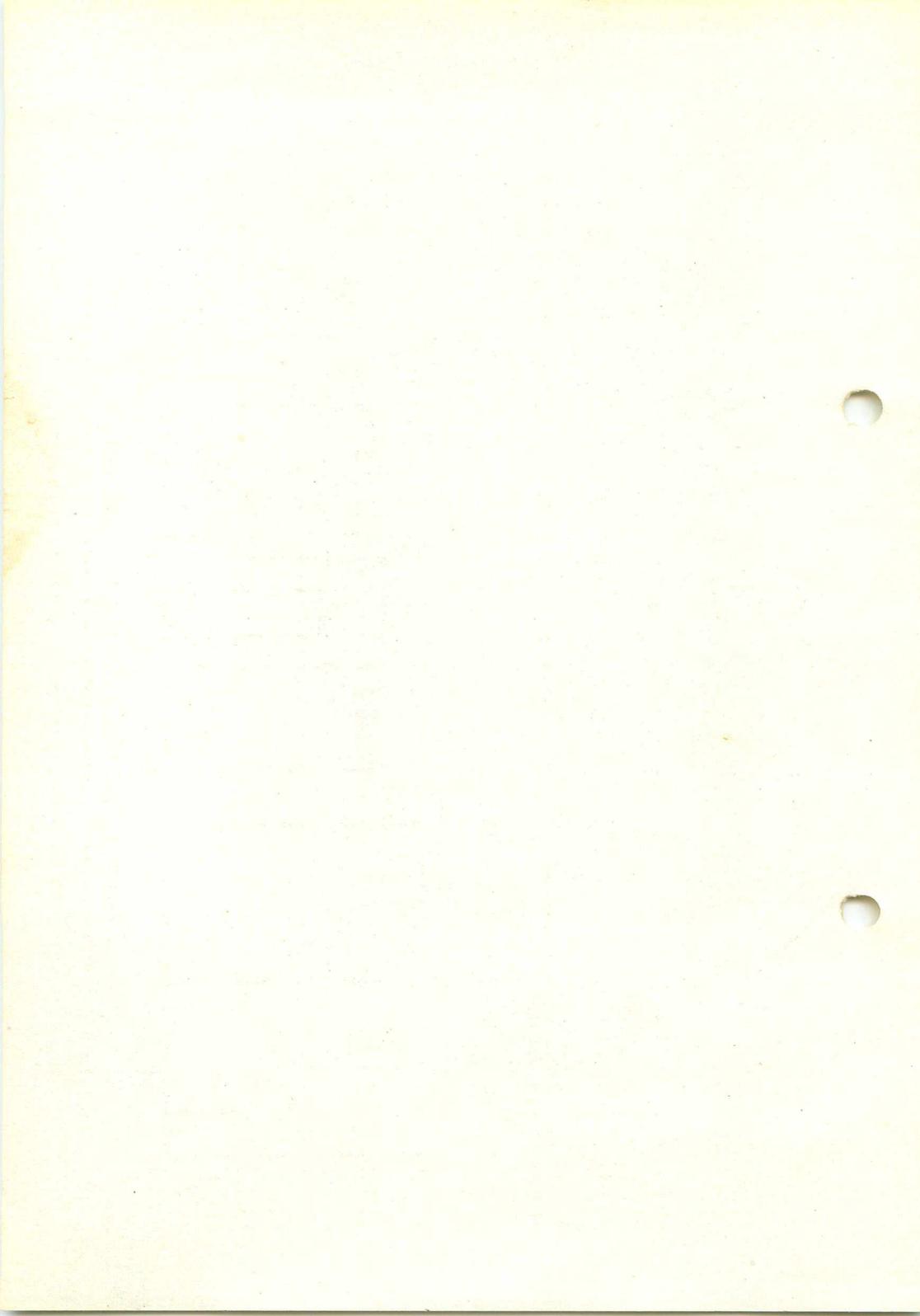


SER

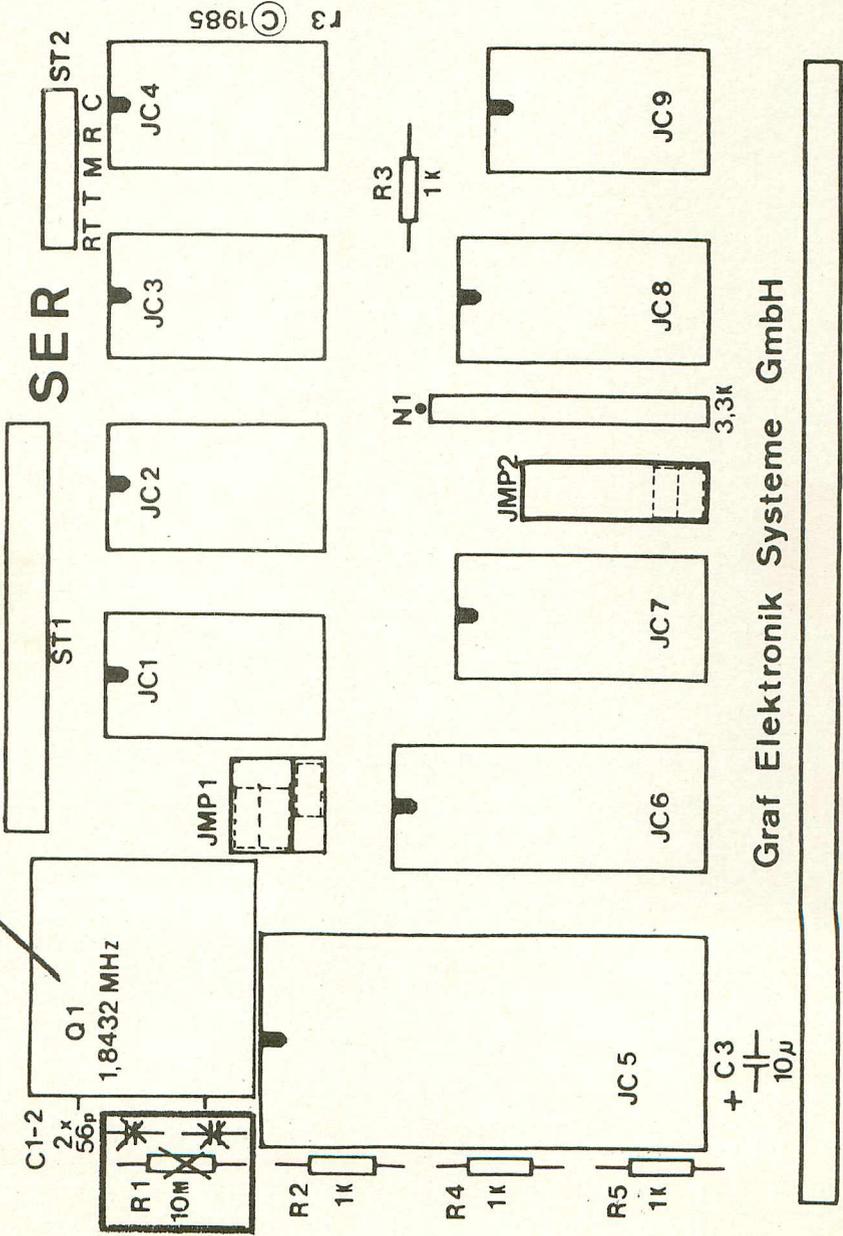


SER		GES	
Mohne	Ausg 1	28.11.1984	
Hranec	Ausg 2	2.5.1985	
Bischof	Ausg 3	21.10.85	

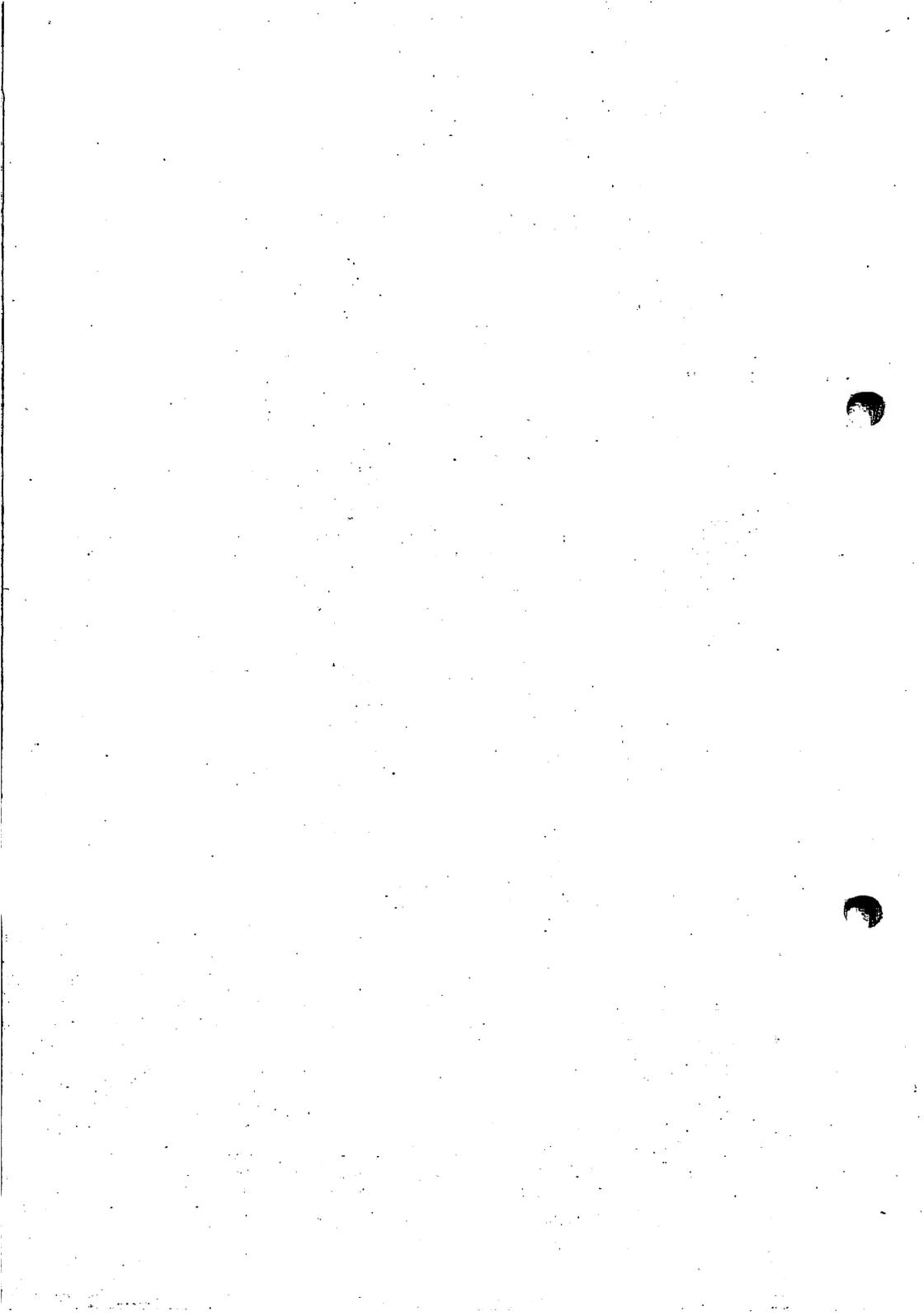
Blatt 2



Serien-Resonanz-Quarz



Graf Elektronik Systeme GmbH



1. Einführung

Mit der SER-Baugruppe haben Sie eine zuverlässige und ausgereifte Baugruppe erworben, mit der Sie in Zukunft eine sichere Verbindung von Ihrem Computer zur Außenwelt haben.

Da wir bei der Entwicklung unsere Erfahrung der letzten Jahre, verbunden mit neuester Technologie einbringen konnten, haben Sie nun die Gewähr, eine nachbausichere und funktionstüchtige Schaltung einzusetzen.

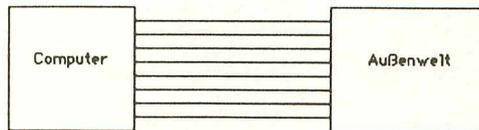
Die serielle Schnittstelle kann mit der CPU Z80, der SBC2 sowie mit dem 68008-System betrieben werden.

Welche Aufgabe hat nun die serielle Schnittstelle?

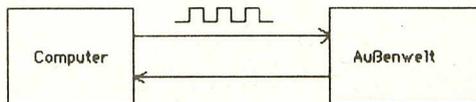
Jeder Computer muß mit der Außenwelt in Verbindung treten können, um sinnvolle Aufgaben verrichten zu können. Dazu wird eine Schnittstelle zwischen Computer und Außenwelt benötigt.

Im Prinzip kann man zwei verschiedene Schnittstellen unterscheiden:

1. Parallele Schnittstelle; der Computer ist über mehrere Leitungen mit der Außenwelt verbunden. Alle Datenbits (meistens 8) werden gleichzeitig über 8 Leitungen übertragen. Eine Steuerleitung (z.B. Strobe genannt) zeigt die Gültigkeit der Daten an. Ein bekanntes Beispiel für eine parallele Schnittstelle ist die Centronics-Schnittstelle für parallelen Druckeranschluß.
Vorteil: Schnelle Datenübertragung
Nachteil: Viele Leitungen, nur kurze Entfernungen sind überbrückbar.



2. Serielle Schnittstelle;



Über eine serielle Schnittstelle wird eine Verbindung vom Computer zur Außenwelt und umgekehrt hergestellt. Dabei werden die Dateninformationen nacheinander in einzelne Datenbits zerlegt, und über eine einzige Leitung übertragen. Eine serielle Schnittstelle wird verwendet, wenn eine nicht allzu hohe Übertragungsrate verlangt wird, oder größere Entfernungen überbrückt werden sollen.

Ei unserem NDR-Computer ergeben sich vielseitige Anwendungen für diese Baugruppe.

- Sie kann hier verwendet werden:
- zum Anschluß eines Akustikkopplers
 - für den Anschluß einer Maus
 - als Verbindung zwischen zwei Rechnern.
 - für den Anschluß eines zweiten Druckers.

2. Technische Daten

Betriebsspannungen: -12V, +12V und +5V

Stromaufnahme; ca. 100 mA

Bus Format: NDR-Klein-Bus 36-polig

Größe der Leiterplatte: 100x75x1,5 mm

Anschluß der Peripheriegeräte: Über V24-Anschluß

Per Software einstellbar: Anzahl der Stop Bits (eins oder zwei)
Wortlänge (5, 6, 7, 8 oder 9 Bit lang)
Ferner sind 15 verschiedene Baud-Raten einstellbar.

Der Baustein benötigt eine externe Taktzuführung (1,8432 MHz)

3. Prinzipielle Beschreibung

3.1 Das Prinzip der Datenumwandlung

Wie geht nun die Datenumwandlung genau vor sich?

Am SER-Baustein liegt ein 8-Bit-Datenwort an. Nun gibt es mehrere Möglichkeiten, so ein Datenwort in eine Form zu bringen, in der es seriell auf einer Leitung übertragen werden kann. Hier möchten wir nur die Gebräuchlichste erklären. Für die Übertragung wird ein bestimmtes Format verwendet. Es ist in Abb. 1 dargestellt.

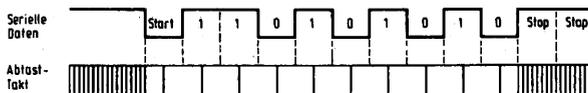


Abb. 1

Das Datenwort wird in die einzelnen Bits zerlegt, die dann nacheinander auf die Leitung "geschoben" werden. Dabei wird das niederwertigste Datenbit D0 zuerst übertragen. Nun muß aber der Empfänger das Wort wieder zusammensetzen. Dazu muß er aber wissen, wann das erste Datenbit übertragen wird und wie lange dieses auf der Leitung ist. Dazu wird vor die Daten ein sogenanntes Startbit gesetzt. Der Pegel springt von 1 auf 0 trägt also keinerlei Dateninformation. Damit wird dem Empfänger mitgeteilt, daß die Übertragung beginnt. Nach den 8 Datenbits schließen sich noch ein oder zwei Stopbits an, die den Pegel HIGH haben. Diese sorgen dafür, daß zwei kurz aufeinander folgende Übertragungsformate vom Empfänger auseinandergehalten werden können.

Die Anzahl der Stopbits kann per Konvention gewählt werden. Nun kann aber statt dem ersten Stopbit ein Paritätsbit mitgesandt werden. Es stellt die Quersumme über die Datenbits dar, so daß im Empfänger geprüft wird, ob die Übertragung ohne Fehler durchgeführt wurde.

Damit der Empfänger die Informationen auch lesen kann, muß er natürlich mit der gleichen Frequenz oder Baudrate arbeiten wie der Sender. Ein Bit hat also eine bestimmte Zeitdauer, in der es auf die Leitung geschaltet ist. Die Zeitdauer t liegt im Millisekundenbereich (z.B. 3,3ms)

Über die Formel $f=1/t$ kann die Baudrate ermittelt werden ($f=1/3,3ms=300Hz$ diese 300Hz entsprechen dann den 300Baud).

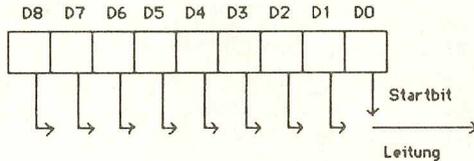
Nun wird aber ein ganzes Format übertragen. Dabei muß die Baudrate durch die Anzahl aller Bits eines Formats geteilt werden. Die Gesamtübertragungsrate errechnet sich also folgendermaßen:

$$f^* = f / (1 \times \text{Startbit} + N \times \text{Datenbit} + K \times \text{Paritätsbit} + M \times \text{Stopbit})$$

Dazu ein Beispiel: $f = 1200$ Baud, 8 Daten, keine Parität, ein Stopbit
 $f^* = 1200 \text{ Hz} / (1 + 8 + 0 + 1) = 120 / \text{s}$

Insgesamt können also 120 Zeichen pro Sekunde übertragen werden.

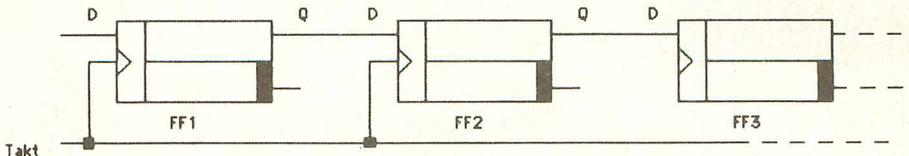
Die seriellen Daten werden beim Empfänger abgetastet. Der Abtasttakt hat den 16-fachen Wert der Baudrate, damit der Abtasttakt ziemlich in der Mitte des zu lesenden Signales zu liegen kommt. Wenn der Takt in der Mitte des zu lesenden Signales liegt, werden damit Verzerrungen umgangen, die eventuell zu einem fehlerhaften Lesen der Daten führen könnten.



Sobald ein Signal mit LOW-Pegel abgetastet wird, erfolgt eine weitere Abtastung erst nach $t/2$, also der halben Zeitdauer eines Datenbits. Liegt danach wieder ein LOW an, handelt es sich tatsächlich um das Startbit und die folgenden Abtastungen werden jeweils nach der Zeitdauer t durchgeführt. Wird aber ein anderes Signal erkannt, so wird die erste LOW-Abtastung ignoriert und die Abtastung mit $t/16$ weitergeführt. Wurde das Startbit erkannt, so werden nun die Datenbits abgetastet und in das Schieberegister geschaltet.

3.2 Umwandlungstechnik parallel - seriell

Die Datenleitungen D0-D7 liegen parallel an einem 11-Bit Schieberegister an. Ein Schieberegister kann aus mehreren D-Flip-Flops bestehen, die hintereinandergeschaltet sind. Der Eingang D eines Flip-Flops liegt dabei am Ausgang Q des Vorhergehenden. Die Daten werden bei der parallel-seriellen Umwandlung jeweils an die Clear-Eingänge gelegt. Das Signal am Clear-Eingang, das normalerweise während dem Taktbetrieb den Pegel 1 hat, kann durch einen Puls auf 0 den Ausgang Q auch auf 0 setzen. Es liegen aber unsere Daten an, so daß diese von den Clear-Eingängen an die entsprechenden Ausgänge Q geschaltet werden. Bei jeder positiven Flanke wird nun ein Datenbit jeweils von einem Flip-Flop zum nächsten weitergeschoben



Am ersten D-Eingang aber liegt ständig ein HIGH-Signal an, das nach den Daten in das Schieberegister gefüllt wird. Nach elf Takten sind die Daten aus dem Schieberegister auf die Leitung geschickt, und das Schieberegister ist mit 1 gefüllt.

Nun wird das nächste Datenwort an das Schieberegister geschaltet und die nächste Übertragung kann beginnen. Mit einem externen Zähler muß dabei festgestellt werden, ob die erste Übertragung schon beendet ist. Er muß bis 11 zählen und vor einer neuen Übertragung wieder zurückgesetzt werden. Außer den Datenbits liegen natürlich auch das Startbit, eventuell ein Paritätsbit und die Stopbits an dem Schieberegister an. Die Start- und Stopbits sind in ihren Pegeln aber festgelegt.

Diese Sender- und Empfängerlogik sind im Baustein 6551 integriert. Die SER-Karte arbeitet mit dem asynchronen Übertragungsverfahren.

Das heißt, der Empfänger kann sich den Takt aus den empfangenen Daten selbst wieder erzeugen. Die beiden Taktgeneratoren des Senders und des Empfängers müssen nicht synchron laufen.

Beim synchronen Verfahren würde man eine zusätzliche Leitung benötigen, über die man die Taktfrequenz übertragen kann, oder man müsste sie durch ein Modulationsverfahren mit den Daten übertragen, was sehr aufwendig wäre. Der Vorteil des synchronen Verfahrens läge darin, daß man mit höheren Baudraten arbeiten könnte.

3.3 Das V24 - Format

Die V24-Schnittstellen (so wird die +/-12V-Schnittstelle auch bezeichnet) sind die wohl am meisten verbreiteten Schnittstellen. Die V24-Schnittstelle soll hier nicht näher erläutert werden denn dies würde den Rahmen des Handbuches sprengen.

Wir wollen hier jedoch die wichtigsten Daten- und Handshake-Signale die bei der SER verwendet werden, kurz auflisten:

Daten und Handshake-Signale:

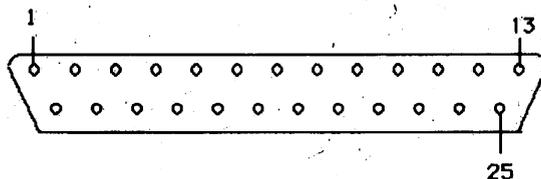
TxD	Transmit Data	Sendedaten
RxD	Receive Data	Empfangsdaten
CTS	Clear to send	Sendebereitschaft
RTS	Request to send	Sendeteil einschalten
DSR	Data set ready	Dateneinrichtung betriebsbereit
DTR	Data Terminal ready	Betriebsbereitschaft
DCD	Data carrier detect	

3.4 Belegung des Canon - Steckers

Wenn Sie ein Peripherie-Gerät (z.B. einen Akustikkoppler) an Ihren NDR-Computer über die SER anschließen wollen, dann müssen Sie natürlich wissen welches Signal an welchem Pin des Canon-Steckers anliegt, damit Sie ein Verbindungskabel zwischen der SER und dem entsprechenden Gerät ganz leicht selbst herstellen können.

Signal	Pin-Nr. am Canon-Stecker
RxD	3
TxD	2
DSR	5 (kann mit J1 auch auf-CTS bzw -DCD eingestellt werden)
RTS	4
Masse	1, 7

Canon-Stecker, von oben gesehen



4. Aufbauanleitung

4.1 Achtung C-MOS

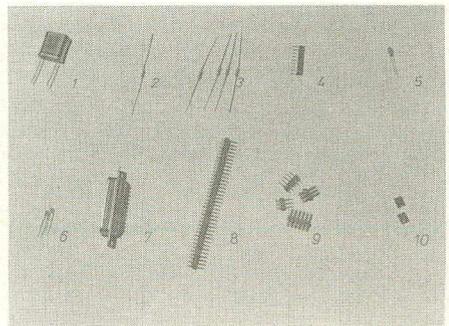
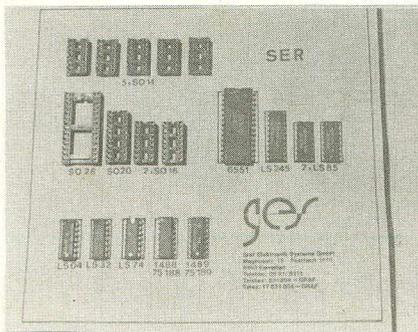
C-MOS-Bausteine sind hochempfindlich gegen elektrostatische Aufladung! Bewahren oder transportieren Sie C-MOS-Bausteine nur auf dem leitenden Schaumstoff auf! (Alle Pins müssen kurzgeschlossen sein)

Tip: Fassen Sie an ein geerdetes Teil (z.B. Heizung, Wasserleitung oder an den Schutzkontakt der Steckdose, bevor Sie einen Baustein berühren.

4.2 Stückliste

Prüfen Sie nun zunächst den Bausatz auf Vollständigkeit.

Anzahl	Bezeichnung		Nr. im Bild
1	R1	10 M Ω m (braun/schwarz/blau)	2
4	R2 - R5	1 k Ω m (braun/schwarz/rot)	3
1	N1	8x3,3 k Ω m Netzwerk	4
2	C1,C2	56 μ F	6
1	C3	10 μ F Tantal	5
1	ST1	25-pol. Cannon-Stiftstecker zum Anlöten	7
1	ST2	5-pol. Stiftleiste gewinkelt	9
1	ST3	36-pol. Stiftleiste gewinkelt	8
1	JMP1	3x2-pol. Stiftleiste gerade	9
1	JMP1	3x1-pol. Stiftleiste gerade	9
1	JMP2	6x2-pol. Stiftleiste gerade	
5		Shuntstecker	10
1	Q1	Quarz 1,832 MHz	1
1		Socket 28 pol.	
1		Socket 20 pol.	
2		Socket 16 pol.	
5		Socket 14 pol.	
1	IC1	75188 oder 1488	
1	IC2	75189 oder 1489	
1	IC3	74 LS 32	
1	IC4	74 LS 04	
1	IC5	SY 6551	
1	IC6	74 LS 245	
1	IC7	74 LS 85	
1	IC8	74 LS 85	
1	IC9	74 LS 74	



4.3 Bestückungsanleitung

Auf einer Seite der Platine steht der Hinweis "löts" (Lötseite); auf dieser Seite wird ausschließlich gelötet. Die Bauteile sind nur auf der anderen Seite aufzustecken.

Beim Einlöten der Bauelemente beginnt man am besten mit den zwei gewinkelten Steckerleisten. Es sollte darauf geachtet werden, daß die 36-polige Leiste parallel zur Platine liegt, um gut auf den Bus gesteckt werden zu können. Dabei sollten zuerst die beiden äußeren Stifte und einer in der Mitte verlötet werden. Dann empfiehlt es sich nachzuschauen, ob die Stecker parallel zur Platine liegen und ob keine "Bäuche" zwischen den verlöteten Stiften liegen. Sollten "Bäuche" vorhanden sein, muß wiederum in der Mitte der "Bäuche" ein Stift unter Druck angelötet werden. Liegt die Steckerleiste dann richtig, können die restlichen Stifte angelötet werden.

Als nächstes wird die Platine mit den IC-Sockeln bestückt. Dabei muß darauf geachtet werden, daß die Sockel richtig aufgesteckt werden. Im Bestückungsplan sind die Richtungen mit einer Kerbe gekennzeichnet. Sie muß mit der Richtung der Kerbe in der Fassung übereinstimmen. Außerdem ist die Lage der Fassungen auch auf der Bestückungsseite der Platine mit einem "T" gekennzeichnet. Die Kerbe muß hier in Richtung des Querbalkens des "T" liegen. Auf der SER-Platine ist nicht bei jedem IC dieses "T" aufgedruckt, sondern nur immer für eine IC-Reihe. Wo welche IC-Fassung hingehört, ist dem Bestückungsplan zu entnehmen.

Es sollten alle Fassungen auf einmal aufgesteckt werden und zum Verlöten umgedreht werden; dabei ist es hilfreich, wenn man beim Umdrehen die Fassungen mit einem Stück Karton auf die Platine drückt. So wird erreicht, daß die Fassungen alle eben und gerade liegen. Beim Löten sollten wiederum nur zwei Pins jeder Fassung (möglichst diagonal) verlötet werden. So können anschließend schräg liegende Fassungen noch problemlos korrigiert werden. Bevor die restlichen Pins verlötet werden, sollte noch auf die Bestückungsseite geschaut werden, ob die Fassungen richtig liegen und die Richtungen der Fassungen stimmen.

Die Widerstände R1 bis R5 sind liegend einzulöten. Wo die Widerstände hingehören ist dem Bestückungsplan zu entnehmen. Die Größe der Widerstände kann am Farbcode festgestellt werden.

Nun wird der Netzwerkwiderstand N1 eingelötet.

Achtung: Der Netzwerkwiderstand hat an einem Ende einen kleinen weißen Punkt, der manchmal deutlich auf den Widerstand aufgezeichnet ist, meistens befindet sich der Punkt jedoch relativ undeutlich direkt neben dem Aufdruck. Der erste Pin an diesem Ende ist der Anschluß für 5V und muß in die breite Lötbahn (5V) in der Mitte der Platine eingelötet werden.

Der Tantal-Kondensator C3 ist gepolt und darf auf keinen Fall falsch herum eingelötet werden. Der Pluspol ist mit einem "+" und einem schwarzen Strich gekennzeichnet. Im Bestückungsplan ist der Pluspol ebenfalls mit einem "+" gekennzeichnet.

Die Kondensatoren C1/C2 sind ungepolt und können ohne auf die Polung zu achten eingelötet werden.

Der Quarz ist ungepolt und kann beliebig eingelötet werden. Man sollte nur die Anschlüsse so biegen, daß der Quarz knapp über der Platine zu liegen kommt.

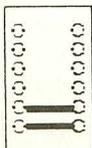
Nun werden noch die Stiftleisten für den Jumper 1 und der 25-polige Cannonstecker eingelötet. Der Cannonstecker hat auf einer Seite einen Pin mehr; diese Seite wird auf der Lötseite der Platine angelötet.

4.4 Setzen der Jumper

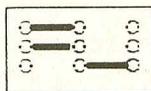
wenn Sie die Ser-Baugruppe fertig aufgebaut haben, dann müssen Sie nur noch die Jumper aufstecken und die Baugruppe ist betriebsbereit.

Jumper 1: Mit dem Jumper 1 wird der Ausgang LSR des Bausteins SY 6551 an den Cannonstecker und an die 5-polige Stiftleiste gelegt. Die Ausgänge CTS und DCD werden auf Masse gelegt.

Jumper 2: Die SER-Baugruppe belegt die Adresse F0-F3. Wie die Jumper gesteckt werden müssen, sehen Sie in der folgenden Abbildung.



JMP 1



JMP 2

5. Test der Baugruppe

Die Platine ist bis jetzt erst mit den Sockeln und mit den passiven Bauelementen bestückt. Mit diesem Aufbau wird der erste Test durchgeführt. Man mißt, ob an allen IC-Sockeln die Versorgungsspannung von 5V ankommt. Zusätzlich muß man die +12/-12 Volt-Spannung messen. Diese Spannungen liegen an Pin 1 und Pin 14 des IC's 1488 an.

Achtung: Die SER-Baugruppe benötigt zum Betrieb neben der +5V-Spannung auch die Spannungen +12V und -12V auf dem Bus! Hier ist also das Netzgerät NE1 oder NE2 einzusetzen, das diese Spannungen liefert.

Nun können alle IC's eingesetzt werden. Dabei muß auf die Richtung der IC's geachtet werden. Die Markierung auf dem IC muß mit der Kerbe in der Fassung übereinstimmen. Der Eingang CTS wird mit dem Ausgang RTS verbunden, um zu garantieren, daß der CTS-Eingang auf 0V liegt und die Schaltung für die Tests richtig arbeiten kann.

Für die Tests wird die Port-Adresse F0 h - F3 h eingestellt. Wie dazu die Jumper gesteckt werden müssen, sehen Sie im Abschnitt 4.4.

Achten Sie beim Einsetzen der Baugruppe in den Bus darauf, daß Sie die Baugruppe richtig einstecken. Ein falsches Einstecken, z.B. um ein Bus-Loch zu weit rechts oder falsch herum zerstört einige Bausteine, besonders der Baustein 1488 (IC1) ist damit besonders gefährdet, denn er erhält, wenn Sie ihn zu weit rechts einstecken anstatt +12V, -12V an Pin 14, dies führt dann zwangsläufig zur Zerstörung des Bausteins.

5.1 Test des Senders mit der CPU Z80

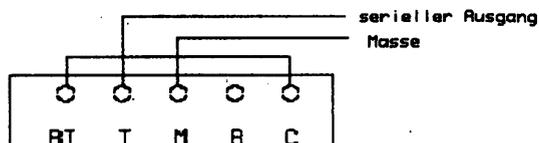
Um den Sendeteil zu testen geben wir das folgende Programm auf Adresse 8800 ein:

Adr.				Reg. af
		START1:		
8800	3E 1C	LD A,1C	;einstellen 4800 baud	
8802	D3 F3	OUT F3,A		1C 10
8804	3E 0E	LD A,0E	;einstellen command reg.	1C 10
8806	D3 F2	OUT F2,A		0B 10
8808	0E 6A	LD C,6A	;einladen testmuster	0B 10
		LOOP1:		
880A	DB F1	IN A,F1	;status test	0E 10
880C	E6 10	AND 10	;transmitter ready	1C 10
880E	28 FA	JR Z,LOOP1		10 10
8810	79	LD A,C		10 10
8811	D3 F0	OUT F0,A	;auf datenport	6A 10
8813	18 F5	JR LOOP1	;und wiederholen	6A 10

Die Status- und Kommandoregisterinhalte werden im Kapitel 7 erläutert.

Das Testprogramm stellt eine Ausgabeschleife dar, die kontinuierlich den Wert 6A auf die Datenleitung gibt (entspricht dem "j" im ASCII-Code).

Um den Test durchzuführen benötigen Sie eine Brücke von RT nach C.



Wenn Sie die Brücke hergestellt haben, dann kontrollieren Sie nocheinmal ob die Jumper richtig gesteckt sind. Nun gehen Sie im Menü auf "Einzelschritt" und tasten die Schritte einzeln durch. Vergleichen Sie nun den jeweiligen Inhalt des Registers "af" (links unten, auf dem Monitor) mit den Angaben rechts neben dem Programm. Sollten Sie Abweichungen feststellen, z.B. dass der Wert 6A nicht überschrieben wird, so kann ein Hardwarefehler vorliegen. (ein IC defekt oder ähnliches)

Mit diesem Programm können Sie die SER auch testen indem Sie einen Drucker mit V24-Schnittstelle an die SER anschließen.
 Dabei müssen Sie wissen mit welcher Baudrate und mit wieviel Start und Stopbits der Drucker arbeitet. Dies können Sie dann in Zeile 8800 und in Zeile 8804 einstellen, die notwendigen Hexadezimalcodes finden Sie im Kapitel Anwendungen.
 Haben Sie alles richtig eingestellt, dann können Sie das Programm starten. Der Drucker muß nun lauter "j" drucken.

5.2 Test des Senders und des Empfängers mit der CPU Z80

Zum Test des Sender- und Empfängerteils geben wir das folgende Programm auf Adresse 8800 ein. Dieses Programm gibt den Wert 6A (hex) aus und liest ihn wieder ein.

```

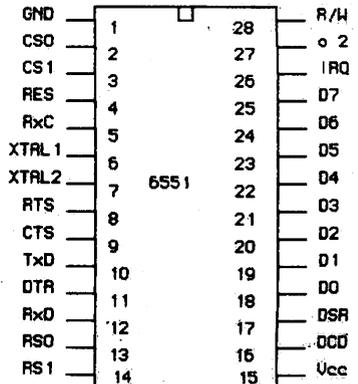
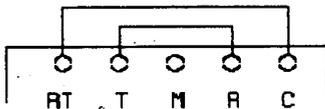
Adr. af

START2:
8800 3E 1C          LD  A,1C          ;einstellen 4800 baud
8802 D3 F3          OUT F3,A         1C 10
8804 3E 0E          LD  A,0E          ;einstellen command reg.  1C 10
8806 D3 F2          OUT F2,A         0E 10
8808 0E 6A          LD  C,6A          ;testmuster              0B 10

LOOP2:
880A DB F1          IN  A,F1          ;status test             0B 10
880C E6 10          AND 10            ;transmitter ready      10 10
880E 28 FA          JR  Z,LOOP2       10 10
8810 79             LD  A,C            10 10
8811 D3 F0          OUT F0,A         ;auf datenport          6A 10

LOOP3:
8813 DB F1          IN  A,F1          ;nun empfang abwarten   6A 10
8815 E6 08          AND 8             18 10
8817 28 FA          JR  Z,LOOP3       ;warten bis empfangen ist 08 18
8819 DB F0          IN  A,F0          ;und wert holen         08 18
881B 4F             LD  C,A            ;nun neuer wert         6A 18
881C 18 EC          JR  LOOP2         ;muß identisch alten sein 6A 18
  
```

Zum vorläufigen Test müssen Sie kein Gerät anschließen. Sie müssen jedoch an der 5-poligen Steckerleiste folgende Verbindungen herstellen.



Wenn Sie die Brücken hergestellt haben, kontrollieren Sie nochmals ob alle Jumper richtig gesteckt sind.

Wenn alles stimmt, dann gehen Sie im Menü auf "Einzelschritt" und tasten die Schritte einzeln durch.

Vergleichen Sie nun die Inhalte des Registers "af" (links unten auf dem Monitor) mit den Angaben rechts neben dem Programm. Sollten sich Abweichungen, z.B. in den Zeilen 880C, 8815, 881B, 881C ergeben, so liegt ein Fehler auf der Platine vor (z.B. ein IC defekt)

Wenn nach Beendigung des ersten Durchgangs das Programm nicht von Zeile 881C nach 880C springt, sondern in irgendeine andere Zeile, so kann ebenfalls ein Hardwarefehler vorliegen.

5.3 Test mit der CPU 68k

Wenn Sie im Besitz einer CPU 68k sind, so haben Sie sicher auch das Büchlein "68008 Grundprogramm".

In diesem Buch sind auf Seite 142-146 einige Testprogramme zum Testen der SEK aufgeführt. Da die Beschreibungen dort recht ausführlich sind, wollen wir uns auf diesen Hinweis beschränken.

In diesem Buch findet man auch die Codes zum Einstellen der Baudrate und die Codes zum Einstellen der Start-und Stopbits.(Seite 146)

Achtung Druckfehler: Bei den Programmen SI, SO, SIST, SOST, wo es heißt MOVE:B 0B,D0 hat sich ein Druckfehler eingeschlichen. Richtig muß es heißen MOVE.B 0B,D1.

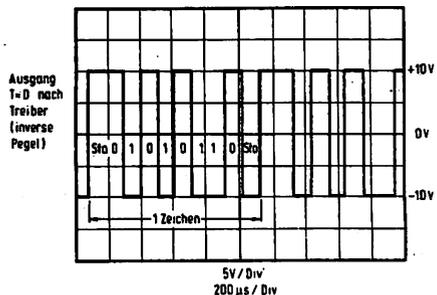
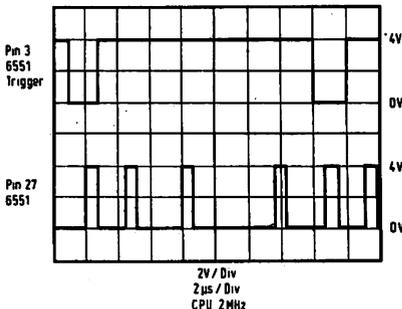
5.4 Test mit dem Oszilloskop

Wenn Sie glücklicher Besitzer eines Oszilloskops sind können Sie die Baugruppe natürlich auch mit dem Oszilloskop durchprüfen. Wir wollen uns hier jedoch auf die wichtigsten Messungen beschränken .

Geben Sie eins der beiden Testprogramme ein, starten Sie es, dann können Sie Messungen durchführen, passen Sie aber auf, daß Sie mit der Prüfspitze keinen Kurzschluß herstellen denn dies kann zur Zerstörung von Bauteilen führen.

In dem Oszillogramm links ist eine Reihe von Impulsen dargestellt. Das ist die Erzeugung des Signales PHI 2.

Wenn Sie ein Programm eingegeben haben, das Werte ausgibt (Test des Sendeteils), so können Sie am Ausgang TxD das Oszillogramm rechts messen.



6. Fehlersuche

Sollte Ihre SER-Baugruppe bei den in Kapitel Test beschriebenen Tests nicht funktionieren, so heißt es jetzt systematisch auf Fehlersuche zu gehen. Wir wollen Ihnen nun ein paar Vorschläge machen, wie eine systematische Fehlersuche mit und ohne Oszilloskop vor sich gehen kann:

Sind die bisher verwendeten Baugruppen in Ordnung? (Funktioniert das System ohne die SER?)

Sind die Jumper richtig gesteckt?

Sind die +/-12V auf dem Bus angeschlossen? (NE2?)

6.1 Sichtprüfung

1. Machen Sie zuerst eine Sichtprobe. Können Sie irgendwo auf der Platine unsaubere Lötstellen (zuviel Lötzinn, manchmal zieht das Lötzinn auch Fäden) erkennen, die eventuell einen Kurzschluß verursachen könnten? Dann müssen Sie diese Lötstellen nachlöten und die unzulässige Verbindung beseitigen.

2. Haben Sie auch alle IC's richtig herum am richtigen Platz aufgesteckt? (vergleiche mit Bestückungsplan)

3. Sind alle gepolten Bauteile (Elkos, Dioden, usw.) richtig herum eingelötet?

4. Ist der Netzwerkwiderstand richtig herum eingelötet?

5. Haben Sie auch keine Lötstelle vergessen zu löten? (sehen Sie lieber noch einmal nach)

6. Sehen Sie irgendwo "kalte Lötstellen"?
Kalte Lötstellen erkennt man daran, daß sie nicht glänzen, sie sind im Vergleich mit richtig gelöteten Lötstellen trübe.

7. Haben Sie auch nicht zu heiß gelötet?
Wenn der LötKolben zu heiß eingestellt ist und (oder) Sie zu lange auf der Lötstelle bleiben, dann kann es passieren, daß sich die Leiterbahnen von der Platine lösen, und Unterbrechungen bilden. Ferner kann es auch passieren, daß Durchkontaktierungen unterbrochen werden, oder daß Bauteile durch zu heißes löten zerstört werden.

Sollten Sie nach der Sichtprüfung noch keinen Fehler entdeckt haben, so wird es notwendig, daß man sich ein Meßgerät (Multimeter, Prüfstift, Oszilloskop) zur Hand nimmt.

6.2 Messungen

1. Nehmen Sie alle IC's aus ihren Fassungen. Nehmen Sie sich die Layouts zur Hand und kontrollieren Sie alle Leiterbahnen, mit einem Durchgangsprüfer oder mit einem Ohmmeter, auf Durchgang. Bereits kontrollierte Leiterbahnen können Sie auf dem Layout mit Bleistift durchstreichen.

Wenn Sie alle Leiterbahnen kontrolliert haben und nichts gefunden haben, dann ist die Wahrscheinlichkeit groß, daß ein Bauteil defekt ist.

Wenn Sie einen Prüfstift, oder ein Oszilloskop haben, dann können Sie jetzt überprüfen ob Sie an den jeweiligen Ausgängen die richtigen Signale haben. Welche Signale wo anliegen müssen können Sie aus der Schaltungsbeschreibung aus dem Schaltplan und Ihren eigenen Überlegungen entnehmen.

Falls Sie keine Meßgeräte haben, dann müssen Sie alle Bauteile systematisch austauschen, bis Sie die Defekte gefunden haben.
Verwenden Sie dazu eventuell eine zweite Baugruppe (die eines Freundes oder eines Bekannten).

Sollten Sie gar nicht zurande kommen, hilft Ihnen unser Pauschl- Reparatur-Service, dessen Bedingungen Sie der Preisliste entnehmen können.

7. Schaltungsbeschreibung

Die Schaltung der SER-Baugruppe kann im wesentlichen in drei Blöcke aufgeteilt werden:

1. Vergleichslogik
2. Weitergabellogik
3. Takterzeugung

Nehmen Sie zum besseren Verständnis der Beschreibung das Schaltbild dazu.

7.1 Vergleichslogik

Die SER-Karte muß von der CPU angesprochen werden, wenn sie arbeiten soll. Dazu werden die Steuerleitungen RD*, WR*, IORQ* und die Adressleitungen verwendet. Die Adressleitungen A2 bis A7 sind an die Vergleicherausteine 74 LS 85 geführt. Dort werden die auf den Adressleitungen ankommenden Adressbits mit denen verglichen, die an den entsprechenden Vergleichseingängen eingestellt sind. Der Eingang des ersten Vergleichers liegt auf 5V. Stimmt nun die ankommende Adresse mit der eingestellten überein, so schalten die Vergleicher diesen Pegel an den Ausgang des zweiten durch. Zusammen mit dem Freigabesignal CS1* und dem Peripheriezugriffssignal gibt das Signal vom Vergleicherausgang den Baustein 74 LS 245 frei. Das Signal G* muß dabei LOW sein. Die beiden Adressleitungen A0 und A1 sind direkt an den SER-Baustein geführt. Diese dienen dazu, vier interne Register des 6551 anzusprechen. Zwei Eingänge des zweiten Vergleichers werden dabei nicht gebraucht und sind daher mit den Verleicheingängen auf Masse gelegt.

7.2 Weitergabellogik

a) Parallele Datenseite:

Die Datenleitungen D0 bis D7 sind an den Baustein 74 LS 245 geführt. Dieser dient als Puffer zwischen Datenbus und SER-Baustein. Liegt der Eingang G* auf dem Pegel LOW, so wird der Baustein freigegeben. Das Signal entscheidet nun, in welcher Richtung die Datenweitergabe erfolgen soll. Liegt am Eingang DIR das Signal RD* auf 5V, so schaltet der Chip die Daten vom Bus an den Baustein 6551.

b) Serielle Datenseite:

Auf der seriellen Seite werden nun nur noch Datenleitungen gebraucht. Die Leitung TxD überträgt Daten vom SER-Baustein an ein angeschlossenes Gerät. Auf der Leitung RxD werden Daten zum Baustein 6551 hin weitergegeben.

Nun werden aber noch Kontrolleitungen gebraucht. Über diese kann die Schnittstelle, also die SER oder die Schnittstelle des angeschlossenen Geräts, die gerade serielle Dateninformationen empfängt, die Übertragung unterbrechen, um die empfangenen Daten verarbeiten zu können. Die Datenleitung TxD und die Kontrolleitung RTS* sind an den Übertragungstreiber M 1488 geführt, an dem die Spannungen +12V/-12V anliegen. Dieser hebt die Pegel 0V und 5V auf -12V bzw. auf +12V an. Außerdem werden die Signale dabei invertiert. Also +12V entspricht 0V und -12V entspricht 5V. Der Empfangstreiber MC 1489 dagegen wird mit der 5V-Spannung betrieben. Das Signal CTS* ist auf einen Jumper geführt, wo es an einen von drei Eingängen des 6551 geschaltet wird.

Die Ausgangsleitungen von seriellen Schnittstellen werden alle mit +12/-12V betrieben, um Übertragungen auch über größere Entfernungen (auch km Bereich) zu gewährleisten. Solche Schnittstellen werden auch als V24-Interface bezeichnet.

7.3 Takterzeugung

Über das Signal IORQ* und RFSH* und den Takt PH der CPU wird ein D-Flip-Flop angesteuert, das einen nahezu kontinuierlichen Takt für den Baustein 6551 erzeugt. Der SER-Baustein benötigt aber ebenso eine Grundfrequenz, um intern verschiedene Baudraten zu erzeugen. Dazu wird der Quarz mit der "krummen" Frequenz 1,8432 MHz verwendet.

7.4 Der Baustein SY 6551

Dieser Baustein ist sozusagen das Herz der seriellen Schnittstelle. Er hat die Aufgabe, parallel vom Mikroprozessor ankommende Daten, seriell an die Peripherie auszugeben. Er hat aber auch die Aufgabe serielle Daten die von der Peripherie kommen in parallele Daten für den Prozessor umzuwandeln.

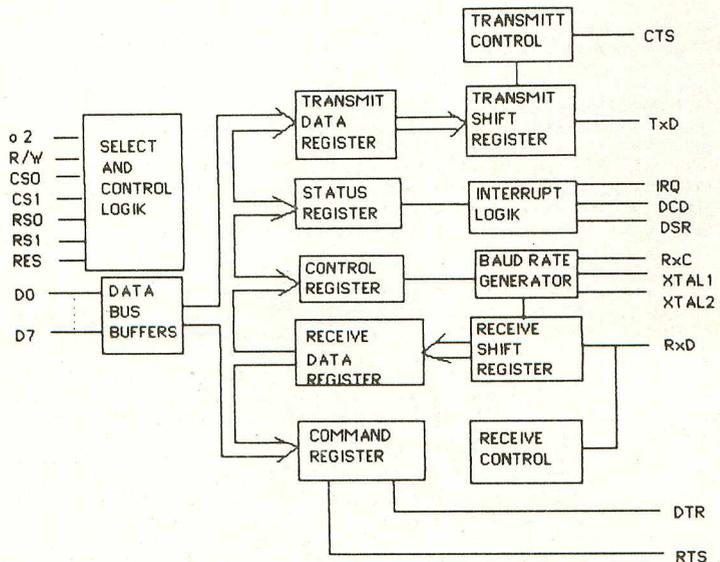
Der SY 6551 kann über einen 8-Bit breiten bi-direktionalen Datenbus in direkte Kommunikation mit einem Mikroprozessor treten.

Ein weiterer Vorteil des Bausteins liegt darin, daß man die Wortlänge, die Anzahl der Start- und Stopbits und die Anzahl der Parity-Bits per Software verändern kann.

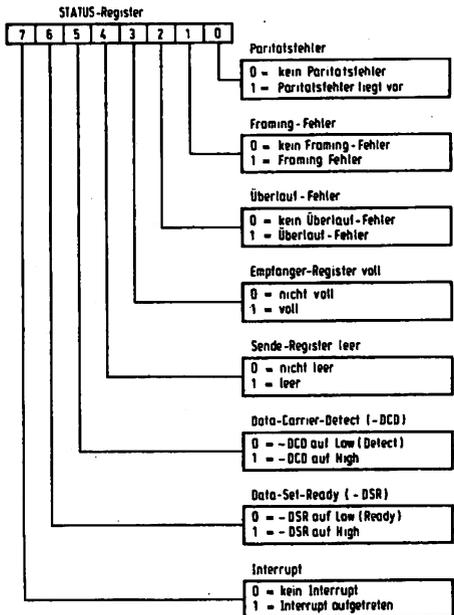
Der SY 6551 beinhaltet einen sogenannten Baud-Rate-Generator der 15 verschiedene Baudraten erzeugen kann. Damit die 15 verschiedenen Baud Raten erzeugt werden können, muß für den Baustein extern eine Frequenz von 1,8432MHz erzeugt werden.

Ferner hat er programmierbare Interrupt-und Statusregister, die wesentlich zur Vereinfachung der Softwareentwicklung beitragen.

Der SY 6551 hat mehrere interne Register, die das folgende Blockschaltbild zeigt.



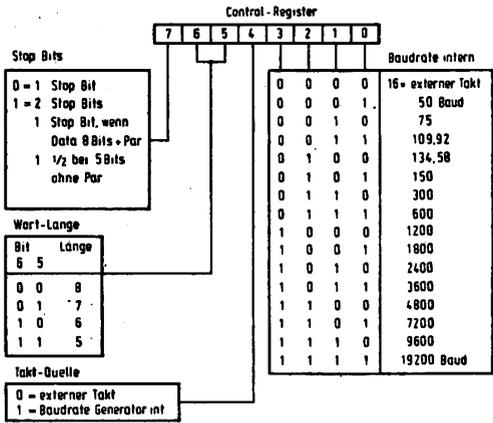
Das Status-Register wird bei uns über die Adresse F1 angesprochen. Das Status Register hat die Aufgabe zu kontrollieren, ob Daten vom Empfangsteil angekommen sind. Die folgende Abbildung zeigt uns die Bedeutung der einzelnen Bits im Status-Register.



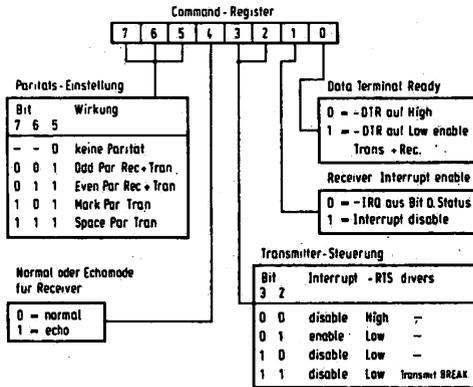
Für uns sind zunächst die Bits 3 und 4 interessant, die anderen beschreiben den Zustand bei Fehlern oder den Zustand von Signalleitungen, wie DSR*, DCD* und Interruptmeldungen. Bit 4 ist genau dann auf 1, wenn das Senderegister leer ist, und ein neues Zeichen in das Register 0 geschrieben werden kann, welches dann über die Leitung übertragen wird.

Bit 3 des Status-Registers ist genau dann auf 1 wenn ein Datenwort empfangen wurde und in Register 0 bereitsteht. Wird Register 0 ausgelesen, so geht dieses Bit solange wieder auf 0 zurück, bis ein neues Datenwort empfangen wurde. Wird in Register 1 geschrieben, so wird der serielle Port des 6551 zurückgesetzt, ähnlich als ob er einen physikalischen Reset über die Leitung RESET empfangen hätte. Dabei ist es egal, welcher Wert in Register 1 geschrieben wurde.

Das Control-Register (Adresse F3) wird zur Voreinstellung der Wortlänge, der Anzahl der Start- und Stopbits und der Baud-Rate benötigt. Eine Übersicht zeigt die folgende Abbildung:



Das Command-Register (Adresse F2) wird zur Kontrolle der spezifischen Übertragungs- und Empfangsfunktion benutzt. Die folgende Abbildung zeigt eine kleine Übersicht:



8. Anwendungsbeispiele

An unsere serielle Schnittstelle können verschiedene Peripherie-Geräte angeschlossen werden. Was ist nun beim Anschluß der verschiedenen Geräte zu beachten?

Zuerst müssen Sie in der Beschreibung des verwendeten Geräts nachlesen, welche Baud-Rate verwendet wird, wieviel Start- und Stopbits und welche Parität verwendet wird.

Die Baudrate, die Start- und Stopbits können bei unserer SER per Programm eingestellt werden. Die entsprechenden Werte werden im Hexadezimalen-Code eingegeben. Die entsprechenden Tabellen finden Sie bei der Beschreibung des Bausteins SY 6551. Dort sind die Werte jedoch im Binären-Code angegeben. Sie müssen also noch vom Binären-Code in den Hexadezimalen-Code umwandeln. Dazu kurz ein Beispiel.

8.1 Anschluß des Epson Druckers FX - 80

Beim Epson Drucker benötigt man zum Betrieb folgende Werte:

- Baudrate 4800 Baud
- Wortlänge 8 Bit
- Stop-Bits 1
- Parität keine
- Transmitter Steuerung disable low
- Receiver Interrupt disable
- Data Terminal Ready auf low enable

So, diese Angaben sollen nun im Hex-Code die SER initialisieren.

Sie gehen am Besten wie folgt vor.

Nehmen Sie sich die Tabelle für das Control-Register zur Hand. Sie sehen hier, daß im Control-Register 8 Bit stehen können. Ob die einzelnen Bit 0 oder 1 sein sollen können Sie nun feststellen.

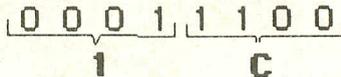
Wir benötigen 1 Stop-Bit (siehe oben) also muß in Bit 7 eine 0 stehen.

Die Wortlänge beträgt 8 Bit, folglich erhalten Bit 5 und 6 eine 0.

Den Takt erhalten wir intern über den Quarz, also steht in Bit 4 eine 1.

Die Baudrate soll 4800 Baud betragen, es muß also in Bit 0-3 1100 stehen.

Im Control-Register ergibt sich also folgende binäre Zahl:



Diese Zahl muß nun in den Hex-Code umgewandelt werden. Es ergibt sich 1 C im Hex-Code.

Genau nach dem selben Schema gehen wir bei der Codierung des Command-Registers vor.

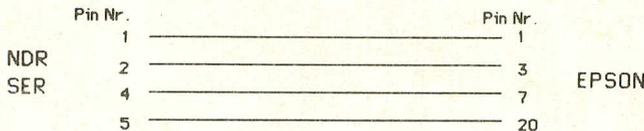
Als Ergebnis müssen Sie 0 B im Hex-Code erhalten.

8.2 Beispiel: Betrieb des Epson Druckers mit der CPU Z80 Blockschaltbild

Sie benötigen folgende Bausteine:

- GDP
- KEY
- CPU Z80
- ROA 64 mit GRUND-Programm
- SER

Ferner benötigen Sie noch ein Anschlußkabel CP/M - Epson



wenn Sie die Bus-Platine bestückt haben, schließen Sie den Drucker an und schalten Sie ihn ein.

Mit dem folgenden kleinen Programm können Sie Zeichen über die Tastatur eingeben und über die SER auf den Drucker übertragen.

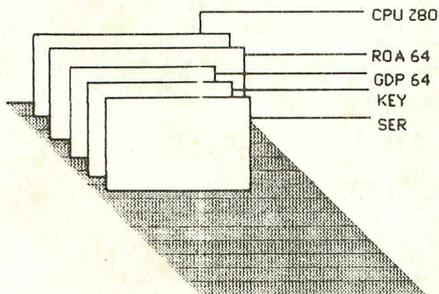
Das Programm wird auf Adresse 8800 eingegeben.

```

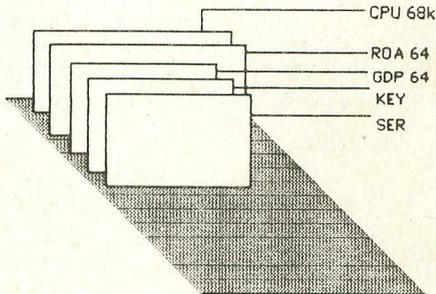
3E 1C          LD  A,1C          ;einstellen 4800 baud
D3 F3          OUT F3,A
3E 0B          LD  A,0B          ;einstellen command reg.
D3 F2          OUT F2,A
TERMINAL:=§
CD C1          CALL C1          ;name des programms
CD WAIT        CALL WAIT        ;zeichen einlesen
D3 70          CUT CMD          ;warten bis GDP fertig
CD WAIT        CALL WAIT        ;ausgabe als kommando
4F            LD  C,A           ;warten bis fertig
                                ;nun neuer wert

      LOOP:
DB F1          IN  A,F1          ;status test
E6 10          AND 10           ;transmitter ready
28 FA          JR  Z,LOOP
79            LD  A,C
D3 F0          OUT F0,A         ;auf datenport
CD WAIT        CALL WAIT        ;warten bis beendet
C3 TERMINAL    ;wieder zurück
18 F5          JR  LOOP         ;und wiederholen
    
```

Jedes Zeichen, das nun auf der Tastatur eingetippt wird, erscheint auf dem Bildschirm, wird im Textspeicher des Druckers gespeichert und die eingegebenen Zeichen werden gedruckt, sobald der Speicher des Druckers voll ist. Bei dem obigen Programm ist es allerdings nur möglich eine Zeile auf dem Bildschirm darzustellen, da hier der Zeilenvorschub fehlt (vom Drucker werden aber alle eingegebenen Zeichen, egal ob man sie sieht oder nicht, gedruckt).



Konfiguration mit CPU 280



Konfiguration mit CPU 68k

Mit der CPU 280 kann ferner über die SER ein Akustikkoppler angeschlossen werden.

Die Initialisierung erfolgt wieder per Programm.

Zum Betrieb benötigen Sie folgende Konfiguration:

- GDP, KEY
- ROA 64k mit GRUND-Programm
- CPU 280
- BankBoot mit FLOMON Eprom
- ZEAT-Betriebssystem
- SER
- eventuell noch FLO2 und Floppy-Laufwerk

An die SER kann auch die Microsoft - Maus, die über eine V24-Schnittstelle verfügt, angeschlossen werden.

Mit der CPU 68k ist wie mit der CPU 280 ebenfalls ein Druckerbetrieb möglich. Man benötigt dieselben Baugruppen wie beim Betrieb mit der CPU 280

8.3 Modem Programm mit der SBC2.

(Hinweis: Der folgende Abschnitt wurde in LOOP3 veröffentlicht. Sollten Sie LOOP - Die Zeitung für Computerbauer - noch nicht abonniert haben, tun Sie es bitte!)

Wenn man z.B. mit der GES-Mailbox in Verbindung treten will, so benötigt man einen Akustik-Koppler, die SER-Baugruppe und ein MODEM-Programm.

Das Programm muß dafür sorgen, daß Daten, die über den Akustikkoppler an die SER-Baugruppe gelangen in Empfang genommen werden und auf dem Bildschirm angezeigt werden. Umgekehrt müssen Zeichen, die über die Tastatur eingegeben an die SER-Baugruppe und somit an den Akustikkoppler übertragen werden.

Die Ausgabe auf dem Bildschirm hat ein paar Besonderheiten.

Es müssen neben den normalen Zeichen auch Steuerzeichen verarbeitet werden. Das Steuerzeichen CR (Code 0dh) muß bewirken, daß der Cursor an den Zeilenanfang springt, das Steuerzeichen LF (Code 0ah) muß den Cursor in die nächste Zeile bringen.

Das Listing für das vollständige Programm ist hier abgedruckt und kann mit dem Menüpunkt AENDERN eingegeben werden.

Dabei tippt man einfach nur den Code ab und ggf. die Symbole.

Das Programm wird auf Adresse 8800 gestartet. Dann erscheint links oben ein kleiner waagrechter Strich, das ist der Cursor. Die SER-Baugruppe wird hier auf 300 Baud eingestellt, um mit einem Akustikkoppler arbeiten zu können.

Ein paar Besonderheiten des Terminal-Teils. Wenn der Cursor in der letzten Zeile angekommen ist, und ein weiteres LF ausgeführt wird, so wird der Bildschirm bei diesem Programm nicht gescrollt, sondern der Cursor wandert wieder auf die oberste Position zurück.

Dort stehen aber normalerweise die alten Daten. Damit diese nicht weiter stören, werden sie nach einem Schema gelöscht. Wenn ein CR eingegeben wird, so werden alle Zeichen die hinter dem CR stehen gelöscht, das Gleiche gilt für das Zeichen LF. Eine Ausnahme davon ist die Eingabe eines CRs nach einen vorgehenden CR oder BS oder die Eingabe eines LFs nach einem CR oder BS. Dadurch wird erreicht, daß Bildschirmformatierungen, wie bei einem normalen Terminal ausgegeben werden.

Wenn man den Bildschirm löschen will, so drückt man die Tasten CTRL-@ oder CTRL-S.

Der Cursor wird dann wieder in die obere linke Bildschirmhälfte zurückgestellt.

Das zweite Bild zeigt ein Beispiel, wenn man sich in die GES-Mailbox (Telefon: 0831-69330) eingewählt hat. Der Cursor steht hier rechts neben den drei Pfeilen.

.z80

```
;*****  
;* Kleines Modem-und Terminal- *  
;* Programm fuer die SBC2-CPU. *  
;* V 1.0 Rolf-Dieter Klein *  
;* 850522 *  
;*****
```

```
0000 aseq  
org 8800h  
  
; auf Adresse 8800  
  
0060 page equ 60h ; Seitenregister  
0070 gdp equ 70h ; GDP-Baugruppe  
00F0 ser equ 0f0h ; Basisadresse SER-Baugruppe  
  
0018 moveto equ 18h  
0024 ci equ 24h  
0027 csts equ 27h  
003B wait equ 3bh  
  
8800 C3 884C jp start ; Sprung zum Hauptprogramm  
  
; Unterprogramme  
  
8803 stst:  
8803 DB F1 in a,(ser+1)  
8805 E6 08 and 8  
8807 C9 ret ; 0=FALSE  
  
8808 si:  
8808 CD 8803 call stst  
880B 28 FB jr z,si ; warten bis da  
880D DB F0 in a,(ser)  
880F C9 ret  
  
8810 so:  
8810 DB F1 in a,(ser+1)  
8812 E6 10 and 10h  
8814 28 FA jr z,so ; warten bis ausgegeben  
8816 79 ld a,c  
8817 D3 F0 out (ser),a ; und ausgeben  
8819 C9 ret  
  
881A cmd:  
881A CD 003B call wait  
881D D3 70 out (gdp),a  
881F C9 ret  
  
8820 cursorin:  
8820 CD 0018 call moveto  
8823 3E 03 ld a,3  
8825 CD 881A call cmd ; PENUP  
8828 3E AC ld a,10101100b
```

```
882A CD 881A call cmd ; Down
882D 3E 02 ld a,2 ; PENDOWN
882F CD 881A call cmd
8832 3E F8 ld a,11111000b
8834 CD 881A call cmd
8837 CD 881A call cmd ; 6 Dots
883A CD 0018 call moveto
883D C9 ret
```

```
883E cursoraus:
883E 3E 01 ld a,1
8840 CD 881A call cmd ; ERASER
8843 CD 8820 call cursorein
8846 3E 00 ld a,0 ; PEN
8848 CD 881A call cmd
884B C9 ret
```

; Hauptprogramm

```
884C start: ; Bildschirm geloescht.
884C AF xor a
884D 32 895F ld (craerker),a
8850 32 8960 ld (lfaerker),a
8853 CD 003B call wait.
8856 3E 00 ld a,0
8858 D3 60 out (page),a ; Seite 0,0
885A 3E 11 ld a,11h ; 80 Zeichen pro Zeile
885C D3 73 out (gdp+3),a ;
885E 3E 04 ld a,4
8860 CD 881A call cmd ; Bildschirm loeschen
;
8863 21 0000 ld hl,0 ; x=0
8866 11 00F6 ld de,256-10 ; y=max
8869 CD 0018 call moveto ; dort beginnen
;
886C 3E 16 ld a,16h ; 300 Baud, 2 Stopp, 8 Bit
886E D3 F3 out (ser+3),a
8870 3E 09 ld a,9
8872 D3 F2 out (ser+2),a ; Freigabe SER
;
8874 schleife:
8874 CD 8820 call cursorein
8877 schleife:
8877 CD 0027 call csts ; wenn Tastaturzeichen
887A 28 1B jr z,weiter ; dann ausgeben, sonst weiter
887C CD 0024 call ci
887F FE 00 cp 0 ; CTRL-5 loescht Schirm
8881 20 10 jr nz,schl1
8883 3E 04 ld a,4
8885 CD 881A call cmd ; Bildschirm loeschen
8888 21 0000 ld hl,0 ; Position neu einstellen
888B 11 00F6 ld de,256-10
888E CD 0018 call moveto
8891 1B E4 jr schleife
8893 schl1:
```

```

8893 4F          ld c,a
8894 CD 8810    call so
8897           weiter:      ; dann fragen, ob Daten ankommen
8897 CD 8803    call stst
889A 28 D8     jr z,schleife1 ; nein, dann zurueck
889C CD 883E    call cursoraus ;
889F CD 8808    call si        ; Zeichen holen.
88A2 E6 7F     and 7fh       ; ohne Bit 7
88A4 FE 20     cp 20h        ; <20h
88A6 38 23     jr c,spez    ; Sonderzeichenbehandlung
88A8 F5        push af       ; altes Zeichen loeschen
88A9 3E 01     ld a,1       ; Eraser
88AB CD 881A    call cmd
88AE CD 0018    call moveto
88B1 3E 0A     ld a,0ah     ; 5*8 Block
88B3 CD 881A    call cmd
88B6 3E 00     ld a,0
88B8 32 895F   ld (crmarker),a ; Zeichenausgabe erfolgt
88BB CD 881A    call cmd     ; Pen
88BE CD 0018    call moveto ; alte Position
88C1 F1        pop af       ; dann neues ausgeben
88C2 CD 881A    call cmd     ; sonst einfach ausgeben
88C5 01 0006   ld bc,6
88C8 09        add hl,bc    ; neue x-Position
88C9 18 AC     jr schleife ; und wieder von vorne

88CB           spez:
88CB FE 0A     cp 0ah      ; Linefeed
88CD 28 43     jr z,lf
88CF FE 0D     cp 0dh      ; Carriage return
88D1 28 08     jr z,cr
88D3 FE 08     cp 8
88D5 28 76     jr z,bs
88D7 FE 7F     cp 7fh
88D9 28 72     jr z,bs     ; Backspace
88DB C3 8877   jp schleife ; Rest ignorieren

88DE           cr:
88DE           ; carriage return
88DE           ; Rest auffuellen

88DE 3A 895F   ld a,(crmarker)
88E1 B7        or a
88E2 20 20     jr nz,noclr ; nicht loeschen wenn cr cr
88E4 3E 01     ld a,1      ; eraser aufrufen
88E6 CD 881A    call cmd
88E9           crlp:
88E9 CD 0018    call moveto ; neue Position
88EC 3E 0A     ld a,0ah   ; Block
88EE CD 881A    call cmd
88F1 01 0006   ld bc,6
88F4 09        add hl,bc   ; neuer Wert
88F5 E5        push hl
88F6 AF        xor a
88F7 01 01E0   ld bc,6*80
88FA ED 42     sbc hl,bc
88FC E1        pop hl

```

```

88FD 38 EA          jr c,cr1p
;
88FF 3E 00          ld a,0
8901 CD 881A        call cmd
;
8904              noclr:          ; ohne loeschen
8904 21 0000        ld hl,0          ; x auf 0 setzen
8907 CD 0018        call moveto      ; neue Position
890A 3E 01          ld a,1
890C 32 895F        ld (crmarker),a
890F C3 8877        jp schleife     ; und zurueck

8912              lf:              ; y verringern
8912 3A 895F        ld a,(crmarker)
8915 B7              or a
8916 20 22          jr nz,lfi        ; cr lf, dann nicht loeschen
891B E5              push hl
8919 3E 01          ld a,1           ; eraser aufrufen
891B CD 881A        call cmd
891E              lflp:
891E CD 0018        call moveto      ; neue Position
8921 3E 0A          ld a,0ah        ; Block
8923 CD 881A        call cmd
8926 01 0006        ld bc,6
8929 09              add hl,bc        ; neuer Wert
892A E5              push hl
892B AF              xor a
892C 01 01E0        ld bc,6*80
892F ED 42          sbc hl,bc
8931 E1              pop hl
8932 38 EA          jr c,lflp
;
8934 3E 00          ld a,0
8936 CD 881A        call cmd
8939 E1              pop hl
893A              lfi:
893A AF              xor a
893B 32 895F        ld (crmarker),a
893E 01 FFF6        ld bc,-10
8941 EB              ex de,hl
8942 09              add hl,bc        ; neuer y-Wert
8943 EB              ex de,hl
8944 DA 8877        jp c,schleife   ; bis <0
8947 11 00F6        ld de,256-10    ; dann wieder von vorne
894A C3 8877        jp schleife

894D              bs:
894D 3E 01          ld a,1           ; nachfolgendes cr loescht nicht
894F 32 895F        ld (crmarker),a
8952 01 FFFA        ld bc,-6
8955 09              add hl,bc
8956 DA 8877        jp c,schleife
8959 21 0000        ld hl,0          ; bleibt dann auf 0
895C C3 8877        jp schleife

```

895F 00 crmerker: defb 0
8960 00 lfmerker: defb 0

end

Macros:

Symbols:

894D	BS	0024	CI	881A	CMD
88DE	CR	88E9	CRLP	895F	CRMERKER
0027	CSTS	883E	CURSDRAUS	8820	CURSDREIN
0070	GDP	8912	LF	893A	LF1
891E	LFLP	8960	LFMERKER	001B	MOVETO
8904	NOCLR	0060	PAGE	8893	SCHL1
8877	SCHLEIFE	8874	SCHLEIFE1	00F0	SER
8808	SI	8810	SO	88CB	SPEZ
884C	START	8803	STST	003B	WAIT
8897	WEITER				

No Fatal error(s)

G E S

GRAF Elektronik Systeme Mailbox

! Ausgabe stop =CTRL-S
! Ausgabe weiter=CTRL-Q
! Zum Menue =CTRL-X

- 1 Informationen
- 2 Briefkasten
- 3 Preise und Lieferzeiten
- 4 GES Aktuell
- 5 Parameter aendern
- 6 Gespraech beenden

>>> _

8.4 Die SER-Baugruppe unter CP/M

Normalerweise wird durch den Floppy-Monitor EFLOMON beim NDR-KLEIN-Computer nur die CAS-Baugruppe und die CENT-Baugruppe bedient. Dabei ist RDR: und PUN: (das sind die "logischen CP/M-Geräte) mit der CAS-Baugruppe verbunden und LST: mit CENT, also mit dem Drucker.

Wenn man die SER-Baugruppe verwenden will, also Daten über eine serielle Schnittstelle aus- oder eingeben will, so muß man ein besonderes Programm verwenden, das als Listing hier abgedruckt ist.

Das Programm beginnt bei der Marke **start**:

Zunächst wird die SER-Baugruppe initialisiert. Die Adresse ist dabei auf OF0H bis OF3H eingestellt. Hier werden 9600 Baud mit einem Stopp-Bit und 8 Datenbits eingestellt. Benötigt man andere Werte, so muss man die Belegung der Register entsprechend ändern.

Nun folgt eine trickreiche Routine: Die beiden Unterprogramme SI und SO werden auf einen freien Speicherplatz transportiert. Die erste freie Adresse, die nach den Sprungvektoren von FLOMON steht, erfährt man in der Speicherzelle Of031h.

Dort steht eine 16-Bit-Adresse. Das Unterprogramm SI wird zuerst dorthin transportiert und die Startadresse dann beim Sprungvektor RI eingetragen. Damit kann man nun über den CP/M-Kanal RDR: Daten von der seriellen Schnittstelle lesen.

Das Unterprogramm SO wird dahinter abgelegt. Die Startadresse von SO wird dann bei den Vektoren POO und LO abgelegt. Damit kann man über PUN: und LST: Daten über die serielle Schnittstelle ausgeben. Wer einen Drucker an der CENT-Baugruppe betreibt, kann den Vektor bei LO auch unverändert lassen (Adresse 002F, Befehl LD (LO+1),IX weglassen).

Das Programm wurde mit dem M80 übersetzt, wer ihn nicht besitzt, kann das Programm z.B. auch mit dem S-Befehl im DDT eingeben und anschließend mit SAVE abspeichern.

Wenn man das Programm nun von A aus startet, so passiert zunächst nichts Aufregendes, nach einer kurzen Zeit meldet sich nämlich A> wieder zurück: Die Unterprogramme sind installiert.

Nun erfolgt der Test. Man betätigt als erstes einmal CTRL-P. Damit wird der LST-Kanal zur Konsole parallel geschaltet. Wenn man nun am Ausgang des seriellen Kanals einen Drucker angeschlossen hat, so werden dort alle Zeichen, die auf dem Bildschirm erscheinen ebenfalls ausgegeben.

Achtung! Die Leitung, die zum DSR der SER-Baugruppe führt muß beschaltet sein. Am Stecker, muß +12V liegen, damit die SER-Baugruppe freigeschaltet wird, sonst kommen keine Daten an. Normalerweise gibt es einen entsprechenden Ausgang am Drucker, der immer dann auf +12V liegt, wenn der Drucker nicht beschäftigt ist. Prüfen Sie im Fehlerfall auch die Stellung der Brücken auf der SER-Baugruppe gemäß der Bauanleitung.

Zum Test von PUN: kann man z.B. den Befehl:

PIP PUN:=dateimittext

angeben. Dabei gibt man anstelle von "dateimittext" einen Dateinamen mit einer Textdatei an.

Dieser Text wird dann über die serielle Schnittstelle ausgegeben. Achtung, nochmals DSR muß beschaltet sein, sonst geht nichts.

Nun zum Test der Eingabe. Dazu gibt man

PIP CRT:=RDR:

an. Damit werden alle an der seriellen Schnittstelle ankommenden Daten auf dem Bildschirm ausgegeben. Achtung, kontrollieren Sie die Baudrate, sonst erhält man falsche Daten. Die Ausgabe wird beendet, wenn das Zeichen CTRL-Z über die serielle Schnittstelle gesendet wird. Man kann diesen Test am besten mit einem getrennten Terminal oder einem anderen NDR-KLEIN-Computer durchführen und so beide koppeln.

Mai 1985 Rolf-Dieter Klein.

.z80

```

;*****
;* SER Ein/Ausgabeprogramm *
;* Installiert SER-Unterprogramme *
;* fuer CP/M mit NDR-KLEIN- *
;* Computer. Rolf-Dieter Klein *
;* V 1.0 850522 *
;*****

```

00F0 ser equ 0f0h ; Basisadresse SER-Baugruppe

```

F006 ri equ 0f006h
F00C poo equ 0f00ch
F00F lo equ 0f00fh

```

```

F031 freemem equ 0f031h ; Dort Adresse, erste
; freie Speicherzelle

```

0000' start:

```

0000' 3E 1E ld a,1eh ; 9600 Baud. 1Stop 8Bit
0002' D3 F3 out (ser+3),a
0004' 3E 0B ld a,0bh ; keine Paritaet, Freigabe
0006' D3 F2 out (ser+2),a ; Belegung siehe Buch "Mikro-
; computer selbstgebaut" oder
; Datenblatt SY6551
; fuer andere Baudraten.
0008' DD 2A F031 ld ix,(freemem) ; Adresse holen, freier Platz
000C' 21 0040' ld hl,si ; Quelle
000F' DD E5 push ix
0011' D1 pop de ; Ziel
0012' 01 0009 ld bc,lensi ; Laenge
0015' ED B0 ldir
0017' DD 22 F007 ld (ri+1),ix ; Vektor RI neu definiert
001B' 11 0009 ld de,lensi
001E' DD 19 add ix,de ; naechster Platz

```

```

;
0020' 21 0049' ld hl,so ; Quelle
0023' DD E5 push ix
0025' D1 pop de ; Ziel
0026' 01 0010 ld bc,lenso ; Laenge
0029' ED B0 ldir
002B' DD 22 F00D ld (poo+1),ix ; Vektor POO neu definiert
002F' DD 22 F010 ld (lo+1),ix ; Vektor LO neu definiert
0033' 11 0010 ld de,lenso
0036' DD 19 add ix,de ; naechster Platz
003B' DD 22 F031 ld (freemem),ix ; neuer freier Platz
003C' CD 0000 call 0 ; und Warn-Start
003F' C9 ret

```

; Verschiebbare Routinen:

```

0040'      DB F1      si:
0040'      E6 08      in a,(ser+1) ; Zeichen da ?
0042'      28 FA      and B        ; wenn
0044'      DB F0      jr z,si       ; nein, dann warten
0046'      C9        in a,(ser)   ; und sonst holen
0048'      C9        ret

0009      lensi equ $-si

0049'      DB F1      so:
0049'      E6 40      in a,(ser+1) ; DSR frei, DSR auf +12V
004B'      20 FA      and 40h
004D'      DB F1      jr nz,so     ; nein, dann warten
004F'      E6 10      in a,(ser+1) ; Ausgabe frei?
0051'      28 F4      and 10h
0053'      79        jr z,so     ; nein, dann warten
0055'      D3 F0      ld a,c      ; sonst Wert ausgeben
0056'      C9        out (ser),a
0058'      C9        ret

0010      lenso equ $-so

```

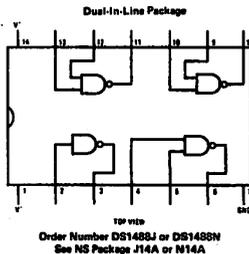
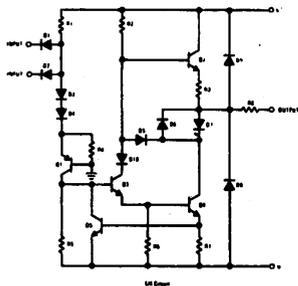
end

9. Bauelemente

DS 1488 Quad Line Driver

Dieser Baustein stellt einen Pegelwandler dar, der ankommende TTL-Signale auf eine Spannung von 12V (EIA Standard No.232C) anhebt. Diese Spannung wird zum Ansteuern von Geräten benötigt die einen V24 Anschluss haben. Gleichzeitig invertiert der Baustein noch die ankommenden Signale. So wird aus +5V am Ausgang -12V.
Eine höhere Spannung ist vorteilhaft wenn man Signale über weitere Strecken übertragen will.

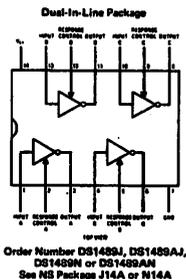
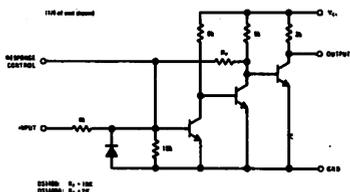
Schematic and Connection Diagrams



DS 1489 Quad Line Receiver

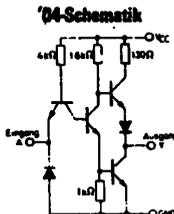
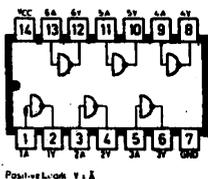
Dieser Baustein stellt praktisch das Gegenstück zum DS 1488 dar, denn er wandelt die von der Peripherie ankommenden 12V-Signale in normale TTL-Signale (5V) zurück. Ferner invertiert er die Signale ebenfalls.

Schematic and Connection Diagrams



74 04 6 Inverter

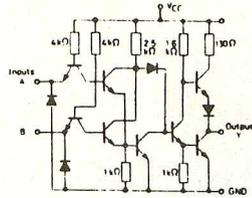
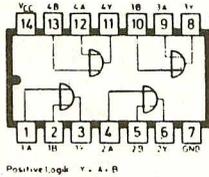
Der Inverter (auch NICHT-Glied genannt) kehrt die Signale einfach um; L wird zu H und H wird zu L. NICHT-Glieder werden dazu verwendet, um von der positiven Logik in die negative Logik zu wechseln oder umgekehrt.



74 LS 32 4 OR- Gatter mit je 2 Eingängen

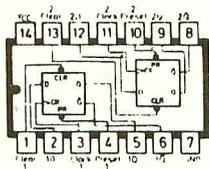
Ein L-Signal am Ausgang des OR-Gatters entsteht nur wenn beide Eingänge ein L-Signal führen, ansonsten ergibt sich am Ausgang ein H-Signal.

'32-Schematik



74 LS 74 2 D-Flip-Flop mit Clear und Preset

Ist am D-Flip-Flop an "Preset" und "Clear" ein H-Signal, so wird das Flip-Flop bei Anlegen eines Taktsignals am "Clock"-Eingang, jeweils bei der positiven Flanke jedes Taktimpulses abwechselnd gesetzt und rückgesetzt, d.h. die Ausgänge Q und Q* wechseln bei jeder positiven Taktkante ihren Zustand. Liegt kein Takt ab (Low Signal) bleibt dieser Zustand erhalten (Speicherzustand). Will man diesen Zustand ändern, ohne einen Takt anzulegen, können die Signale an "Preset" und "Clear" verändert werden. Ist das Flip-Flop gesetzt (Q=H und Q*=L), kann es mit "Preset"=H und "Clear"=L zurückgesetzt werden (Q=L und Q*=H).



Wahrheitstabelle

Inputs				Outputs	
Preset	Clear	Clock	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	Q̄ ₀

Positive Logik

* Dieser Zustand ist nicht stabil; d.h. er bleibt nicht erhalten, wenn Preset und/oder Clear inaktiv (High) werden.

74 LS 85 4-Bit Vergleicher

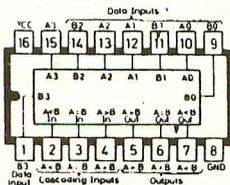
- 16 poliger Chip
- 8 Eingänge für A und B
- 3 Eingänge: Cascading Inputs (A<B, A=B, A>B)
- 3 Ausgänge: Outputs (A<B, A=B, A>B)

Nur wenn A1=B1, A2=B2, A3=B3 und A4=B4 wird das Signal vom Eingang (Cascading Inputs) "A = B" zum Ausgang (Output) "A = B" durchgeschaltet. Wird dieses Ausgangssignal wieder als Eingangssignal an einen anderen Baustein dieser Reihe gelegt, so können mehr als nur 4-Bit-Wörter miteinander verglichen werden.

Wahrheitstabelle

Comparing Inputs				Cascading Inputs			Outputs		
A3 B3	A2 B2	A1 B1	A0 B0	A > B	A = B	A < B	A > B	A = B	A < B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L

'85, '185, '85S



'85, '185, '85S

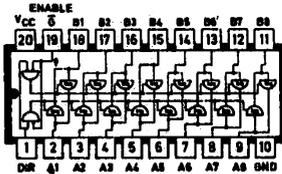
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

74 LS 245

8 Bus- Transceiver, Tri-State

- 20-poliger Chip
- 16 Ein- bzw. Ausgänge (A, B)
- 1 Eingang: G
- 1 Eingang: DIR

Es handelt sich hier um ein reines Tri-State-Element, d.h. er hat drei Funktionsmöglichkeiten. Er kann Daten von der A-Seite zur B-Seite oder umgekehrt durchschalten, oder aber er sperrt in beiden Richtungen. Den sperrenden Zustand nennt man auch "hochohmig". Was das Chip machen soll, bestimmen die Signale DIR (Pin 1) und G (Pin 19).



Wahrheitstabelle

Enable G	Direction Control Dir.	Operation
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

Positive Logik

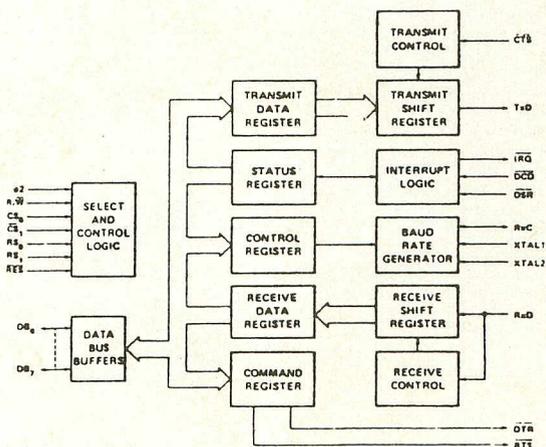
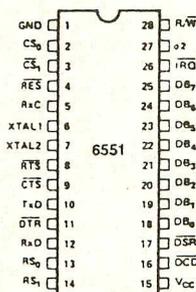
9.1 Datenblätter zum Baustein SY 6551

- On-chip baud rate generator: 15 programmable baud rates derived from a standard 1.8432 MHz external crystal (50 to 19,200 baud).
- Programmable interrupt and status register to simplify software design.
- Single +5 volt power supply.
- Serial echo mode.
- False start bit detection.
- 8-bit bi-directional data bus for direct communication with the microprocessor.
- External 16x clock input for non-standard baud rates (up to 125 Kbaud).
- Programmable: word lengths; number of stop bits; and parity bit generation and detection.
- Data set and modem control signals provided.
- Parity: (odd, even, none, mark, space).
- Full-duplex or half-duplex operation.
- 5, 6, 7, 8 and 9 bit transmission.

The SY6551 is an Asynchronous Communication Adapter (ACIA) intended to provide for interfacing the 8500/ 6800 microprocessor families to serial communication

data sets and modems. A unique feature is the inclusion of an on-chip programmable baud rate generator, with a crystal being the only external component required.

PIN CONFIGURATION



ORDERING INFORMATION

Part No.	Package	Clock Rate
SYC6551	Ceramic	1 MHz
SYD6551	Cerdip	1 MHz
SYP6551	Plastic	1 MHz
SYC6551A	Ceramic	2 MHz
SYD6551A	Ceramic	2 MHz
SYP6551A	Plastic	2 MHz

Figure 1. Block Diagram

ABSOLUTE MAXIMUM RATINGS

Rating	Symbol	Allowable Range
Supply Voltage	V_{CC}	-0.3V to +7.0V
Input/Output Voltage	V_{IN}	-0.3V to +7.0V
Operating Temperature	T_{OP}	0°C to 70°C
Storage Temperature	T_{STG}	-55°C to 150°C

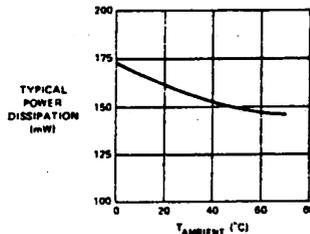
All inputs contain protection circuitry to prevent damage to high static charges. Care should be exercised to prevent unnecessary application of voltages in excess of the allowable limits.

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

D.C. CHARACTERISTICS ($V_{CC} = 5.0V \pm 5\%$, $T_A = 0-70^\circ\text{C}$, unless otherwise noted)

Characteristic	Symbol	Min.	Typ	Max	Unit
Input High Voltage	V_{IH}	2.0	—	V_{CC}	V
Input Low Voltage	V_{IL}	-0.3	—	0.8	V
Input Leakage Current: $V_{IN} = 0$ to 5V ($\phi 2$, R/\bar{W} , \overline{RES} , CS_0 , \overline{CS}_1 , RS_0 , RS_1 , \overline{CTS} , RxD , \overline{DCD} , \overline{DSR})	I_{IN}	—	± 1.0	± 2.5	μA
Input Leakage Current for High Impedance State (Three State)	I_{TSI}	—	± 2.0	± 10.0	μA
Output High Voltage: $I_{LOAD} = -100\mu\text{A}$ ($DB_0 - DB_7$, TxD , RxC , RTS , DTR)	V_{OH}	2.4	—	—	V
Output Low Voltage: $I_{LCAD} = 1.6\text{mA}$ ($DB_0 - DB_7$, TxD , RxC , RTS , DTR , \overline{IRQ})	V_{OL}	—	—	0.4	V
Output High Current (Sourcing): $V_{OH} = 2.4\text{V}$ ($DB_0 - DB_7$, TxD , RxC , RTS , DTR)	I_{OH}	-100	—	—	μA
Output Low Current (Sinking): $V_{OL} = 0.4\text{V}$ ($DB_0 - DB_7$, TxD , RxC , RTS , DTR , \overline{IRQ})	I_{OL}	1.6	—	—	mA
Output Leakage Current (Off State): $V_{OUT} = 5\text{V}$ (\overline{IRQ})	I_{OFF}	—	1.0	10.0	μA
Clock Capacitance ($\phi 2$)	C_{CLK}	—	—	20	pF
Input Capacitance (Except XTAL1 and XTAL2)	C_{IN}	—	—	10	pF
Output Capacitance	C_{OUT}	—	—	10	pF
Power Dissipation (See Graph) ($T_A = 0^\circ\text{C}$) $V_{CC} = 5.25\text{V}$	P_D	—	170	300	mW

POWER DISSIPATION vs TEMPERATURE



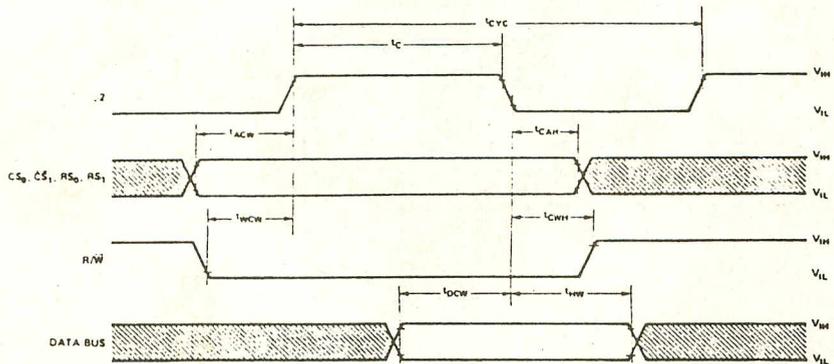


Figure 2. Write Timing Characteristics

WRITE CYCLE ($V_{CC} = 5.0V \pm 5\%$, $T_A = 0$ to $70^\circ C$, unless otherwise noted)

Characteristic	Symbol	SY6551		SY6551A		Unit
		Min	Max	Min	Max	
Cycle Time	t_{CYC}	1.0	-	0.5	-	μs
$\phi 2$ Pulse Width	t_C	400	-	200	-	ns
Address Set-Up Time	t_{ACW}	120	-	70	-	ns
Address Hold Time	t_{CAH}	0	-	0	-	ns
R/W Set-Up Time	t_{WCW}	120	-	70	-	ns
R/W Hold Time	t_{CWH}	0	-	0	-	ns
Data Bus Set-Up Time	t_{DCW}	150	-	60	-	ns
Data Bus Hold Time	t_{HW}	20	-	20	-	ns

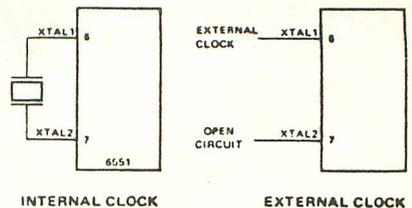
 $(t_r$ and $t_f = 10$ to 30 ns)

CRYSTAL SPECIFICATION

1. Temperature stability $\pm 0.01\%$ (0° to $70^\circ C$)
2. Characteristics at $25^\circ C \pm 2^\circ C$
 - a. Frequency (MHz) 1.8432
 - b. Frequency tolerance ($\pm\%$) 0.02
 - c. Resonance mode Series
 - d. Equivalent resistance (ohm) 400 max.
 - e. Drive level mW 2
 - f. Shunt capacitance pF 7 max.
 - g. Oscillation mode Fundamental

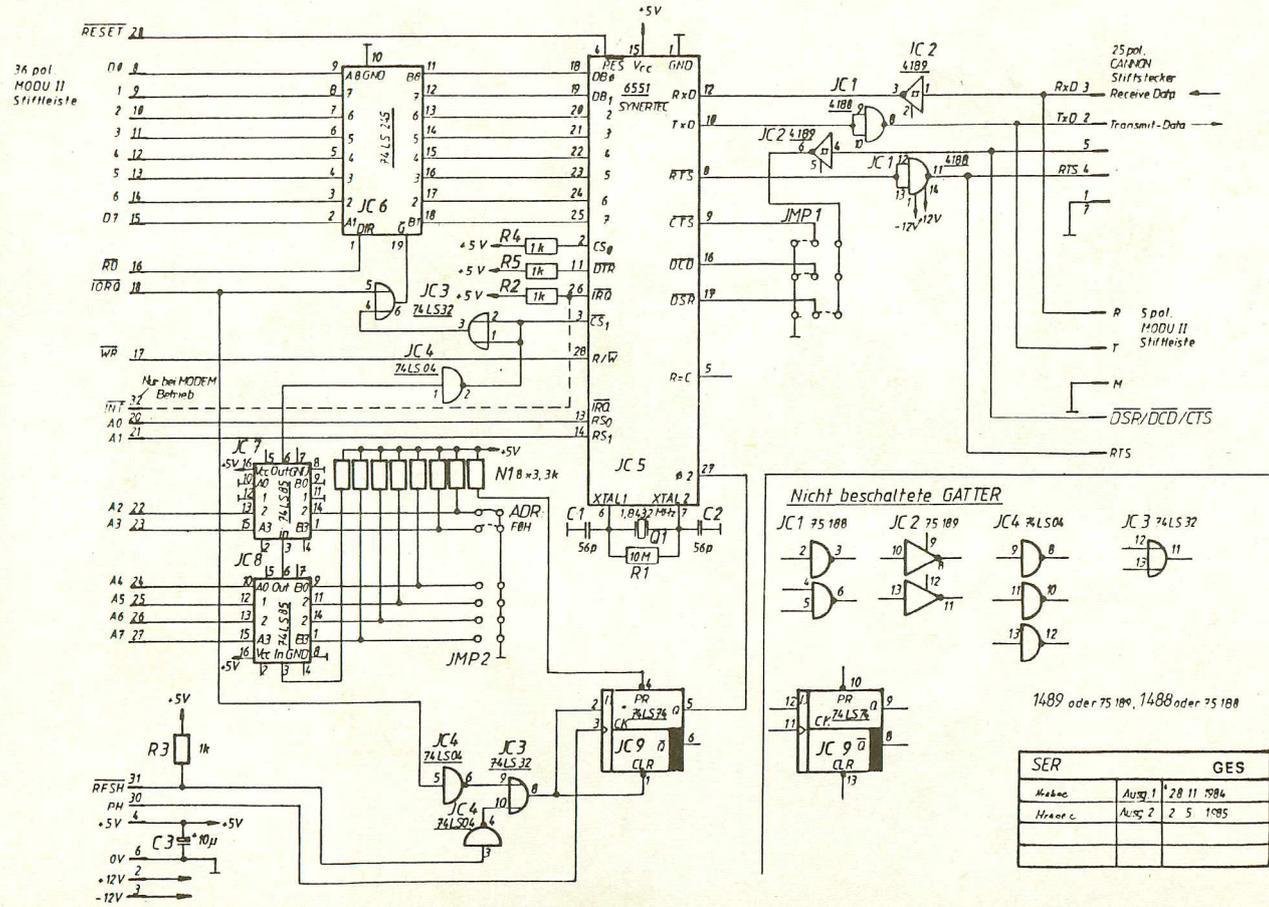
No other external components should be in the crystal circuit

CLOCK GENERATION

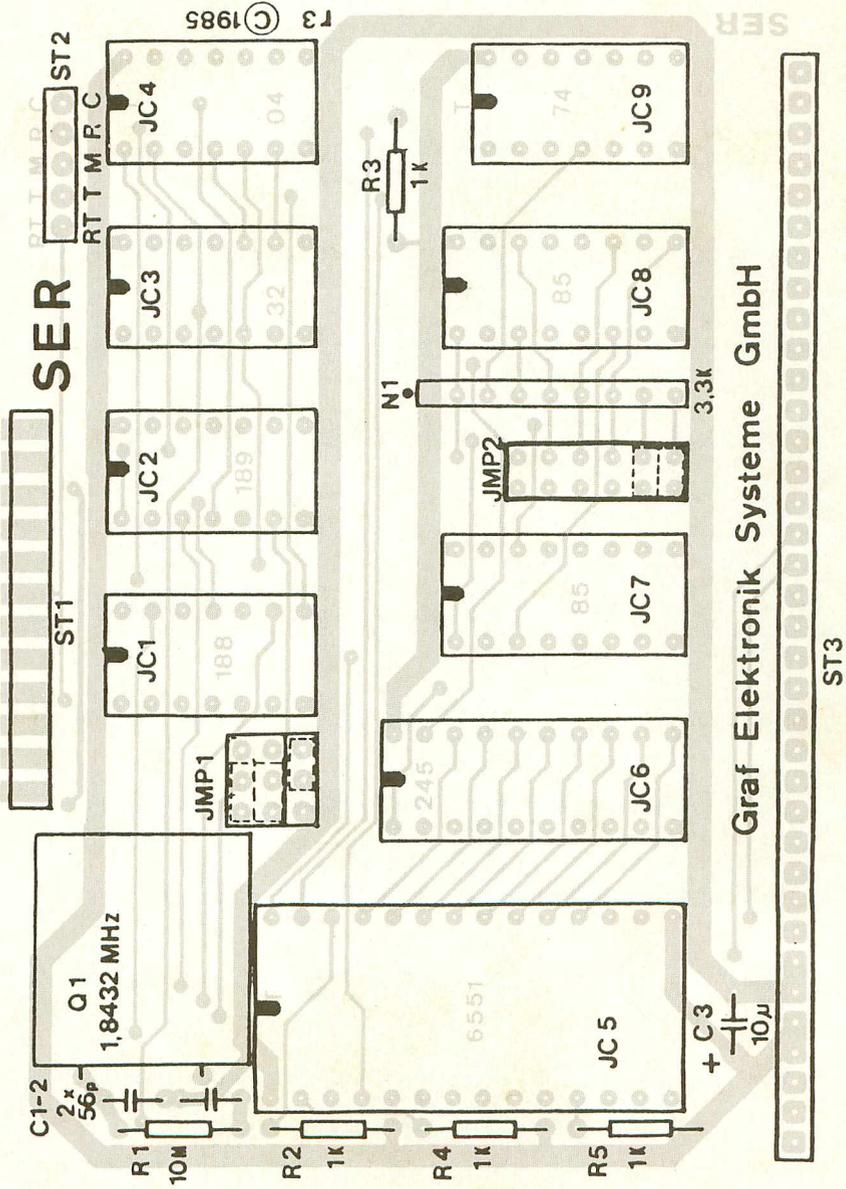


10. Schaltbild SER

SER



1.1. Bestückungsplan



11.1 Layout der Lötseite

