

BANK

BOOK

1914

U.S. DEPARTMENT OF COMMERCE

BUREAU OF BANKING AND FINANCE

WASHINGTON, D. C.

INHALTSVERZEICHNIS

	411
1. Teil: Prose	1
Stückliste	2
Bestellungsplan	6
Bestellungszeitplan	5
Zuordnung der Bestellungen	7
Zusammenfassung	7
Bandenente	12
Zu 1.5. 273	12
Zu 1.5. 225	12
Zu 1.5. 115	13
Zu 1.5. 85	13
Zu 2.1. 1.000. 02	13
Zu 2.1. RAM 04	15
Zu 2.1. 1.000. 02	15
Zu 2.1. RAM 25	15

Einführung

Der NDR-Klein-Computer wird in der Fernsehserie "Mikroelektronik - Mikrocomputer selbstgebaut und programmiert" aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird zunächst nur vom Norddeutschen Rundfunk, vom Sender Freies Berlin, von Radio Bremen und ab September 1984 vom Bayerischen Rundfunk ausgestrahlt. Es werden bald auch die Regionalsender anderer Bundesländer die Sendung in ihr Programm aufnehmen. Zur Serie gibt es einige Begleitmaterialien, sodaß es nicht unbedingt notwendig ist, die Fernsehserie gesehen zu haben, um den NDR-Klein-Computer zu bauen und zu begreifen:

- Buch Rolf-Dieter Klein, "Mikrocomputer selbstgebaut und programmiert", 2, neu bearbeitete und erweiterte Auflage, ISBN 3-7723 7162-0, DM 38,-, erschienen im Franzis-Verlag, München.
Auf dieses Buch baut die NDR-Serie auf

- mc-Hefte Nr.1 (Januar) bis Nr 6 (Juni) 1984: Erscheinen Anfang jedes Monats im Franzis-Verlag, München
Heftpreis: DM 6,-, erhältlich im Buch- und Zeitschriftenhandel, sowie im Elektronikfachhandel.
Diese Hefte ergänzen -terminlich abgestimmt - die einzelnen Sendungen.

- mc-Sonderhefte: Diese Hefte, die vom Francis-Software-Service herausgegeben werden, behandeln jeweils ein spezielles Thema. Zur Zeit gibt es 6 Sonderhefte:

- | | |
|----------------------------|-------------------------|
| - Schaltpläne & Unterlagen | - 68008 Grundprogramme |
| - Z-80 Grundprogramme | - 68008 Aufbauprogramme |
| - Z-80 Aufbauprogramme | - 68008 PASCAL - S |

Außerdem gibt es noch kleine Heftchen zu den Programmen BASIC und GOSI

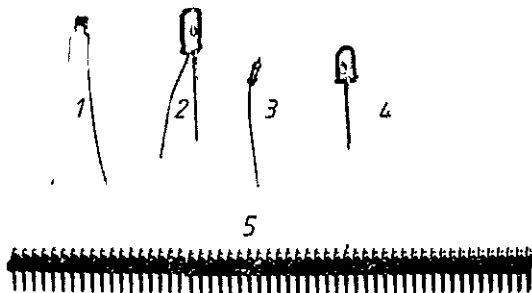
- BASIC für Z-80
- GOSI Einführung
- GOSI für Z-80

Diese Sonderhefte sind bei uns oder auch direkt beim Francis Verlag erhältlich.

- Videocassette 1/2: lizenzierte Originalkassette für den privaten Gebrauch; Systeme: VHS, Beta, Video 2000
Auf diesen zwei Cassetten sind die 26 Folgen der Fernsehserie enthalten

STÜCKLISTE

Stück	Bezeichnung		Nr. im Bild
1	JC5	74 LS 245	
1	JC6	74 LS 273	
2	JC7, JCB	74 LS 85	
1	JC9	74 LS 04	
1	JC10	74 LS 138	
1	JC11	74 LS 32	
4	S028	28-polige IC-Fassung	
2	S020	20-polige IC-Fassung	
3	S016	16-polige IC-Fassung	
2	S014	14-polige IC-Fassung	
3	C1, C2, C4	100 nF	1
1	C3	10 uF (E1ko)	2
1	R1	330 Ohm	3
1	LED1	Leuchtdiode	4
1	ST1	18- und 36-polige Steckerleiste	5
1	GES-Platine mit Lötstoplack		



BANKBOOT



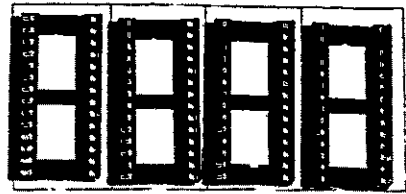
SO 14



SO 16



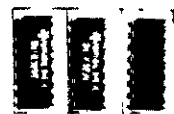
SO 20



SO 40



SO 01



SO 8

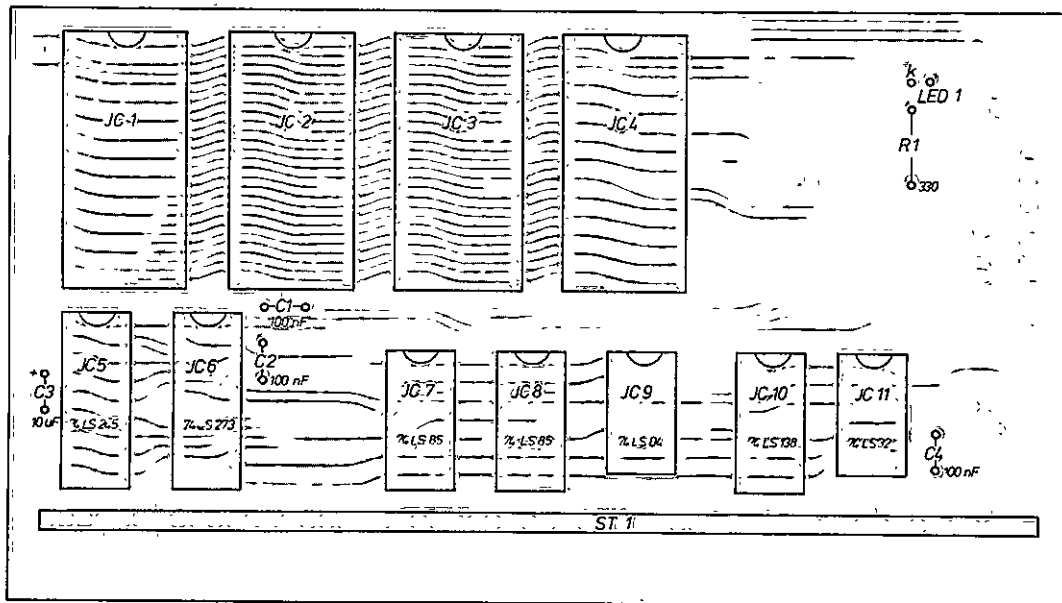


SO 24



Industrietechnik
 Maschinenbau
 GmbH
 1000 Berlin
 1000 Berlin
 1000 Berlin
 1000 Berlin

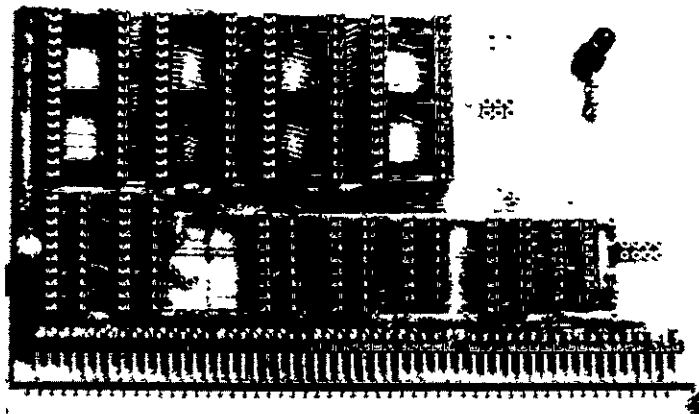
BESTÜCKUNGSPLAN



Bestückungsanleitung

Beim Aufbau der Schaltung gehen wir folgendermaßen vor

1. Feststellen wo die Lotseite und wo die Bestückungsseite ist. Die Lotseite ist mit "lots" gekennzeichnet. Bauteile werden nur auf der Bestückungsseite bestückt.
2. Aufstecken der Steckerleisten. Die 18-polige und 36-polige Steckerleiste müssen direkt hintereinander mit dem abgewinkelten Ende eingesteckt werden. Die Stifte die später in den Bus gesteckt werden müssen parallel zur Platine liegen.
3. Aufstecken aller IC-Fassungen. Hier ist darauf zu achten, daß alle Fassungen richtig herum gesteckt sind (siehe Bestückungsplan). Beim Verloten sollten zuerst immer nur 2 Pins pro Fassung angelötet werden, der Rest der Pins erst nachdem nochmal kontrolliert wurde, ob alle Fassungen richtig gesteckt sind.
4. Einlöten des Widerstandes (Farbcode für 330 Ohm. orange/orange/brown)



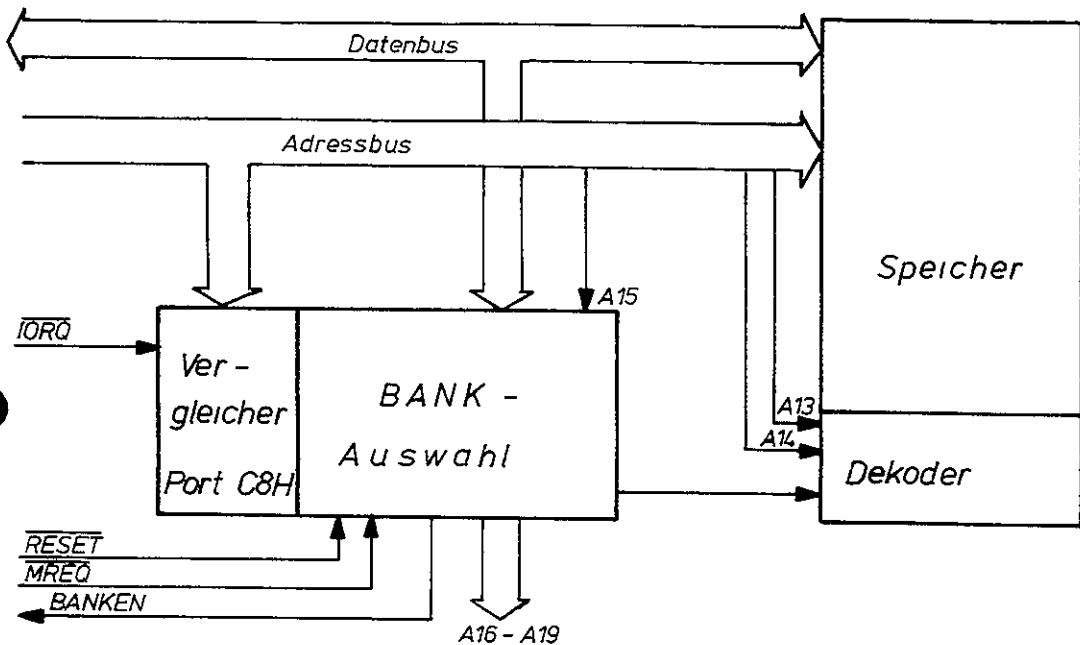
5. Einlöten der Keramikkondensatoren C1, C2 und C4. Bei diesen Kondensatoren braucht nicht auf die Polung geachtet werden.
6. Einlöten des Elkos. Der Elko ist gepolt und darf nicht falsch herum eingelötet werden. Auf dem Elko und auf dem Bestückungsplan ist die Polung gekennzeichnet.
7. Einlöten der LED. Das kürzere Bein der LED ist die Kathode. Dieses Bein muß dort eingelötet werden, wo auf der Platine das "k" steht.
8. Bevor die ICs gesteckt werden sollten an allen Fassungen die Versorgungsspannungen der ICs gemessen werden. Wo +5V und "m" anliegt ist dem Pining (siehe Bauelemente) zu entnehmen.
9. Einstecken der ICs. Beim Einstecken der ICs darf keine Spannung anliegen. Außerdem muß unbedingt darauf geachtet werden, daß die ICs richtig herum eingesteckt werden. Ein falsch eingestecktes IC ist fast immer zerstört. Einstecken der Speicher (siehe Schaltungsbeschreibung).

Schaltungsbeschreibung

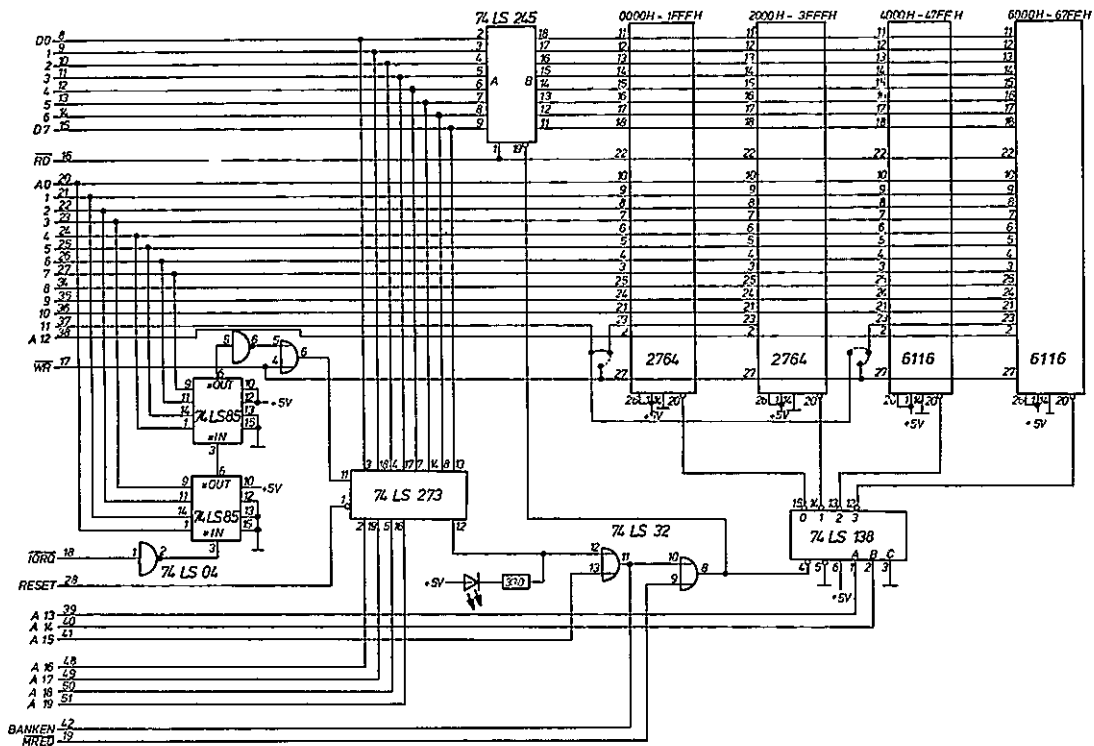
Die Schaltung BANKBOOT läßt sich, wie der Name schon sagt, in zwei Blöcke aufteilen. Es sind dies die Blöcke

- a) BANK-Auswahl
- b) BOOT-Speicher

Blockschaltbild BANKBOOT



Schaltbild BANKBOOT



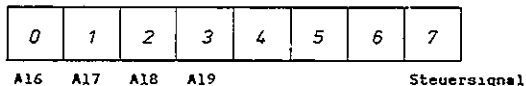
BANK-Auswahl

Da der Z80 nur 64k adressieren kann, muß, wenn mehr Speicherraum benötigt wird, eine BANK-Auswahl-Logik vorgesehen werden. Diese BANK-Auswahl-Logik aktiviert dann die Adressleitungen A16 bis A19. Man kann also dann 1Mbyte adressieren.

Auswahl der Bank über Port CBH

An den beiden Vergleichern JC7 und JC8 wird der Bank-Auswahl-Port CBH eingestellt. Das Ausgangssignal (JC8/6) wird mit dem Signal WR* ODE9 verknüpft. Dies bedeutet, daß auf Port CBH nur geschrieben werden kann. Dieses Signal aktiviert den Baustein 74 LS 273 (JC6/11). Die Daten die run an den Eingängen von JC6/3,18,4,17,7,14,8,13 anliegen, werden in die D-Register des Bausteines, gesteuert vom Signal Clock (JC6/11), und liegen an den Ausgängen (JC6/2,19,5,16,12) an. An den Ausgängen JC6/2,19,5,16 liegen die Adressen A16 bis A19. Am Ausgang JC6/12 liegt ein Steuersignal.

BANK - Port CBH



Ist das Steuersignal HIGH, so sind die Ausgangssignale der ODER-Glieder JC11/11 und JC11/8 auch HIGH. Dies bedeutet, daß der Dekoder JC10 und das Tri-State-Element JC5 nicht aktiviert werden, da beide Chip-Select-Eingänge LOW-aktiv sind (siehe Bauelemente). Das heißt, daß die Speicher auf der BANKBOOT nicht angesprochen werden, sondern Speicher auf einer ROA, die wiederum durch die Adressen A16 bis A19 ausselektiert wird (siehe Bank-Auswahl bei ROA64k). Das Aktivierungssignal für eine externe Speicherbank (hier ROA) ist das Signal BANKEN (JC11/11).

Die Speicher auf der BANKBOOT werden auch nicht angesprochen, wenn A15 auf HIGH liegt, da der Speicherplatz nur bis maximal 7FFFH reicht. Liegt A15 auf HIGH gilt dasselbe wie im vorigen Fall.

Ist aber nun das Steuersignal JC6/12 auf LOW, ebenso wie A15 und das Signal MREQ* aktiviert, so wird der Dekoder JC10 und das Tri-Stats-Element JC5 aktiviert (Eingänge JC10/4 und JC5/19) und die Speicher auf der BANKBOOT ausgewählt. In diesem Fall leuchtet die Leuchtdiode LED1 auf. Das BANKEN-Signal bleibt auf LOW und es können somit keine anderen externe Speicher angesprochen werden. folgende Tabelle soll verdeutlichen wann welche Speicherbaugruppen ausgewählt werden.

Steuersignal (JC6/12)	A15	MREQ*	externe Speicher (ROA)	Speicher auf BANKBOOT
HIGH	HIGH	LOW	aktiviert	nicht aktiviert
LOW	HIGH	LOW	aktiviert	nicht aktiviert
LOW	LOW	LOW	nicht aktiviert	aktiviert
X	X	HIGH	nicht aktiviert	nicht aktiviert

Speicher

Auf der BANKBOOT können maximal vier 8k Speicher aufgesteckt werden. Der Dekoder JC10 aktiviert die Bausteine folgendermaßen:

JC1	von 0000H - 1FFFFH
JC2	von 2000H - 3FFFFH
JC3	von 4000H - 5FFFFH
JC4	von 6000H - 7FFFFH

Damit deckt er für jeden Speicherbaustein einen Speicherraum von 8k ab. Durch den JMP1 kann aber für die Bausteine JC1 bzw JC2 und JC3 bzw JC4 getrennt, eingestellt werden, ob 8k Speicher oder nur 2k Speicher verwendet werden sollen. Auf der Platine sind für JC1 und JC2 8k (64) und für JC3 und JC4 2k (16) schon eingestellt.

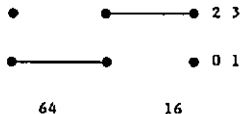
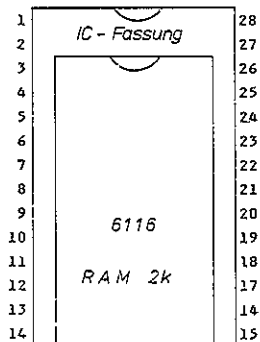


Abb. JMP1

0 und 1 entspricht JC1 und JC2; 2 und 3 entspricht JC3 und JC4

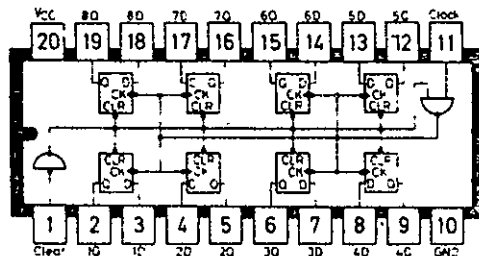
Soll hier das Monitorprogramm (FLO2) verwendet werden, so wird als JCI ein 8k EPROM mit diesem Programm bestückt. Als J03 und J04 werden zwei RAMs 6116 gesteckt. Bei den RAMs ist zu beachten, daß die ersten zwei Pins der Fassung oben frei bleiben.



Bauelemente

74 LS 273 8-Bit D-Register mit Clear

Die an den D-Eingängen ankommenden Daten werden in den D-Registern abgespeichert und bei Abtuf auf die Q-Ausgänge geschaltet. Das Abspeichern und weiterschalten wird von den beiden Eingängen Clear und Clock gesteuert.



Wahrheitstabelle

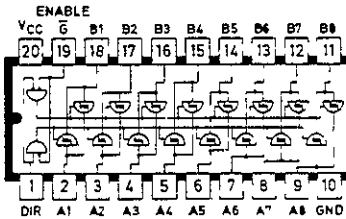
Inputs			Output
Clear	Clock	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q ₀

Positive Logik

74 LS 245 8 Bus-Transceiver, Tri-State

- 20-poliger Chip
- 16 Ein- bzw. Ausgänge (A,B)
- 1 Eingang: G
- 1 Eingang: DIR

Es handelt sich hier um ein reines Tri-State-Element, d.h. er hat drei Funktionsmöglichkeiten. Er kann Daten von der A-Seite zur B-Seite oder umgekehrt durchschalten, oder aber er sperrt in beide Richtungen. Den sperrenden Zustand nennt man auch "hochohmig". Was das Chip machen soll, bestimmen die Signale DIR (Pin 1) und G (Pin 19).



Wahrheitstabelle

Enable G	Direction Control		Operation
	Dir	Dir	
L	L	L	B data to A bus
L	L	H	A data to B bus
H	X	X	Isolation

Positive Logik

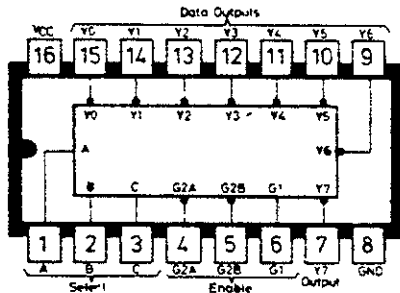
74 LS 138 3 zu 8 Dekoder

Es handelt sich hierbei um einen 3 zu 8 Dekoder mit den Eingängen A, B, C und den Ausgängen 0 bis 7. Je nach dem welche Binärkombination an den Eingängen anliegt, wird einer der Ausgänge aktiviert.

Z B A B C

0 1 0 = 2 d.h. der zweite Ausgang wird aktiviert

Die drei Eingänge G1, G2A und G2B sind für die Auswahl des Bausteines (Chip Select) zuständig.



Wahrheitstabelle

Inputs				Outputs								
Enable		Select										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	L	H	L	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H

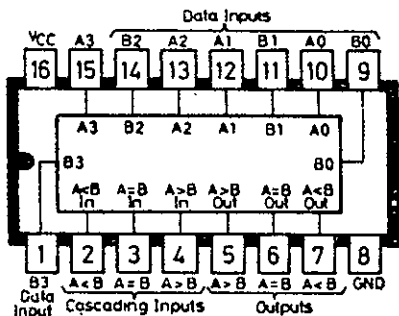
Positive Logik

* G2 = G2A + G2B

74 LS 85 (4 Bit Vergleichler)

- 16 poliger Chip
- 8 Eingänge für A und B
- 3 Eingänge: Cascading Inputs (A>B, A=B, A<B)
- 3 Ausgänge: Outputs (A>B, A=B, A<B)

Nur wenn A1=B1, A2=B2, A3=B3 und A4=B4 wird das Signal vom Eingang (Cascading Inputs) "A = B" zum Ausgang (Output) "A = B" durchgeschaltet. Wird dieses Ausgangssignal wieder als Eingangssignal an einen anderen Baustein dieser Reihe gelegt, so können mehr als nur 4-Bit-Wörter miteinander verglichen werden.



Wahrheitstabellen

	Comparing Inputs			Cascading Inputs			Outputs			
	A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L	L
A3<B3	X	X	X	X	X	X	L	H	L	L
A3=B3	X	X	X	X	X	X	H	L	L	L
A3>B3	A2>B2	X	X	X	X	X	L	H	L	L
A3<B3	A2<B2	X	X	X	X	X	L	H	L	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L	L
A3>B3	A2=B2	A1<B1	X	X	X	X	L	H	L	L
A3<B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L	L
A3>B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L	L
A3>B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L	L
A3<B3	A2=B2	A1=B1	A0=B0	H	L	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	X	X	X	L	L	H	H
A3>B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L	L
A3<B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L	L

2764 EPROM 8K

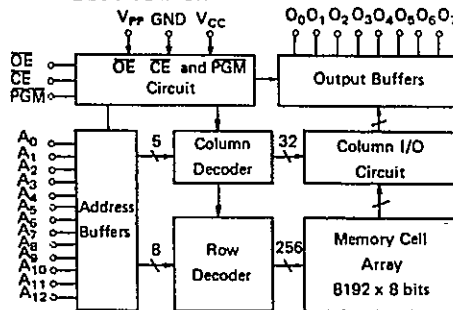
PIN CONNECTION

Vpp	1	28	VCC
A12	2	27	PGM
A7	3	26	N.C.
A6	4	25	A8
A5	5	24	A9
A4	6	23	A1, A11
A3	7	22	OE
A2	8	21	A10
A1	9	20	CE
A0	10	19	O7
O0	11	18	O6
O1	12	17	O5
O2	13	16	O4
GND	14	15	O3

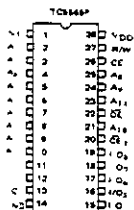
PIN NAMES

A0 ~ A12	Address Inputs
O0 ~ O7	Outputs (Inputs)
CE	Chip Enable Input
OE	Output Enable Input
PGM	Program Control Input
N.C.	No Connection
Vpp	Program Supply Voltage
Vcc	Vcc Supply Voltage (+5V)
GND	Ground

BLOCK DIAGRAM

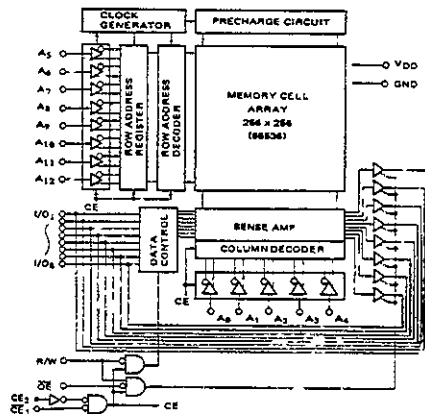


5565 RAM 8k



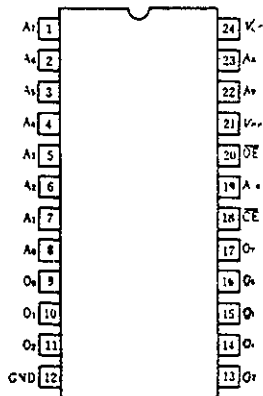
PIN NAMES

$A_0 \sim A_{12}$	Address Inputs
R/W	Read/Write Control Input
\overline{OE}	Output Enable Input
$\overline{CE}_1, \overline{CE}_2$	Chip Enable Inputs
$I/O_1 \sim I/O_8$	Data Input/Output
VDD	Power (+5V)
GND	Ground
N C	No Connection

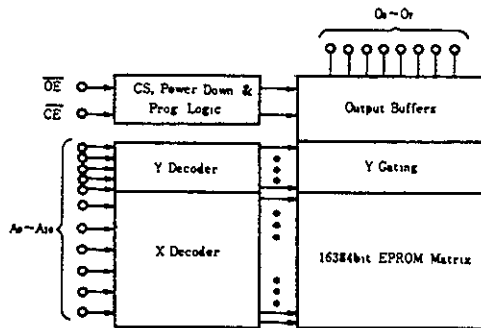


2716 EPROM 2k

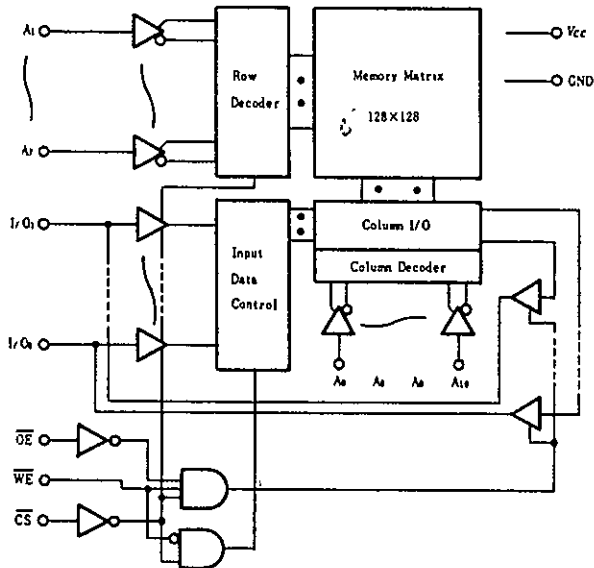
PIN ARRANGEMENT



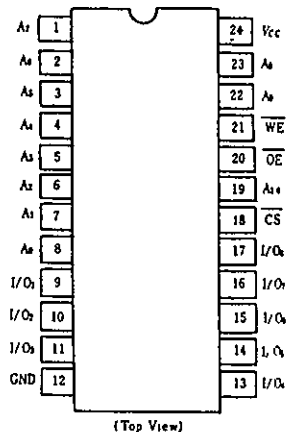
BLOCK DIAGRAM



FUNCTIONAL BLOCK DIAGRAM



PIN ARRANGEMENT



TRUTH TABLE

CS	OE	WE	Mode	Vcc Current	I/O Pin	Ref. Cycle
H	X	X	Not Selected	<i>I_{ss}, I_{sn1}</i>	High Z	
L	L	H	Read	<i>I_{cc}</i>	Dout	Read Cycle (1)~(3)
L	H	L	Write	<i>I_{cc}</i>	Din	Write Cycle (1)
L	L	L	Write	<i>I_{cc}</i>	Din	Write Cycle (2)



