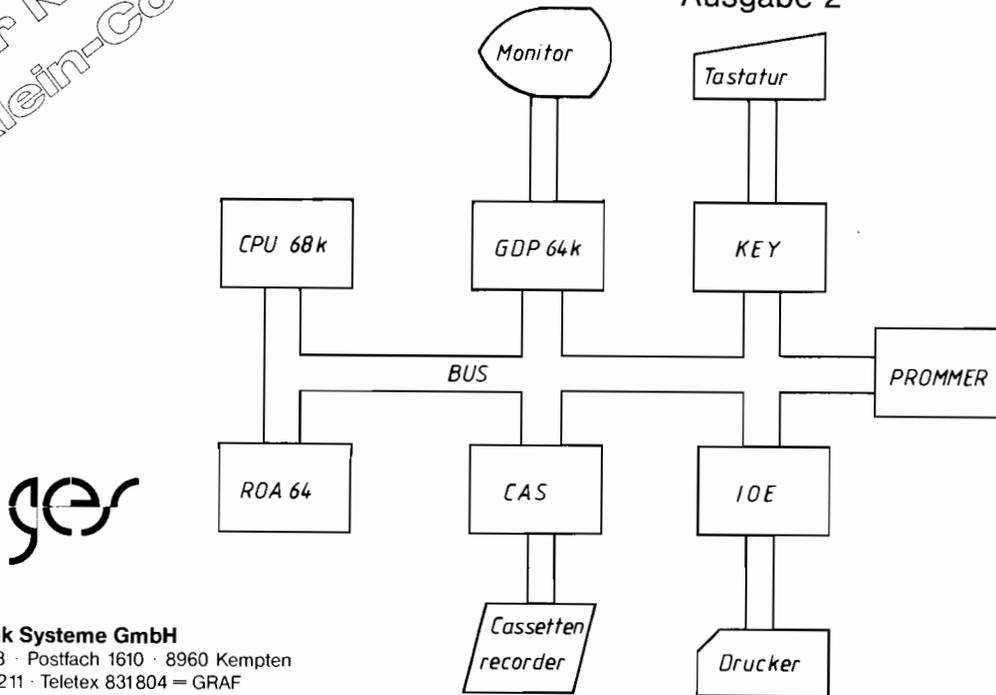


Der NDR-
Klein-Computer

CPU 68k

Ausgabe 2



ger

Graf Elektronik Systeme GmbH
Magnusstraße 13 · Postfach 1610 · 8960 Kempten
Telefon (08 31) 62 11 · Teletex 831804 = GRAF

CPU68k

Seite -1-

EINFÜHRUNG

Der NDR-Klein-Computer wird in der Fernsehserie "Mikroelektronik - Mikrocomputer selbstgebaut und programmiert" aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird zunächst nur vom Norddeutschen Rundfunk, vom Sender Freies Berlin und von Radio Bremen ausgestrahlt. Es werden bald auch die Regionalsender anderer Bundesländer die Sendung in ihr Programm aufnehmen.

Zur Serie gibt es einige Begleitmaterialien, sodaß es nicht unbedingt notwendig ist, die Fernsehserie gesehen zu haben, um den NDR-Klein-Computer zu bauen und zu begreifen:

- Buch: Rolf-Dieter Klein, "Mikrocomputer selbstgebaut und programmiert"; 2., neu bearbeitete und erweiterte Auflage, ISBN 3-7723-7162-0, DM 38,- ; erschienen im Franzis-Verlag, München.
Auf dieses Buch baut die NDR-Serie auf.

- mc-Hefte Nr.1 (Januar) bis Nr.6 (Juni) 1984: Erscheinen Anfang jedes Monats im Franzis-Verlag, München
Heftpreis: DM 6,- ; erhältlich im Buch- und Zeitschriftenhandel, sowie im Elektronikfachhandel.
Diese Hefte ergänzen -terminlich abgestimmt - die einzelnen Sendungen.

- mc-Sonderhefte: Diese Hefte, die vom Francis-Software-Service herausgegeben werden, behandeln jeweils ein spezielles Thema. Zur Zeit gibt es 6 Sonderhefte:

- | | |
|----------------------------|-------------------------|
| - Schaltpläne & Unterlagen | - 68008 Grundprogramme |
| - Z-80 Grundprogramme | - 68008 Aufbauprogramme |
| - Z-80 Aufbauprogramme | - 68008 PASCAL - 5 |

Außerdem gibt es noch kleine Heftchen zu den Programmen BASIC und GOSI

- BASIC für Z-80
- GOSI Einführung
- GOSI für Z-80

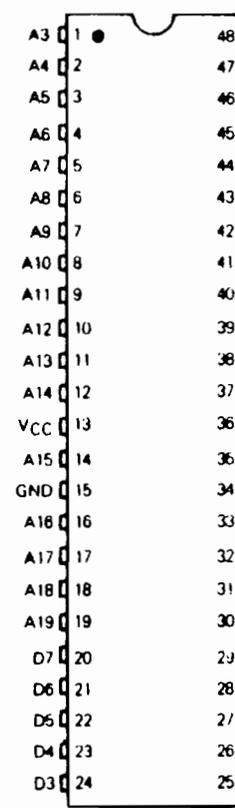
Diese Sonderhefte sind bei uns oder auch direkt beim Francis Verlag erhältlich.

- Videocassette 1/2: Lizenzierte Originalkassette für den privaten Gebrauch; Systeme: VHS, Beta, Video 2000

INHALTSVERZEICHNIS

CPU 68008

	Seite
Einführung	1
Stückliste	2
Bestückungsplan	4
Bestückungsanleitung	5
Test	7
Schaltungsbeschreibung	8
Schaltbild	9
Bauelemente	12
74 LS 245	12
74 LS 373	12
74 LS 164	13
74 LS 74	13
74 LS 139	14
NE 555	15
CPU 68008	16
Widerstandsfarbcodes	17



CPU68k

Seite -2-

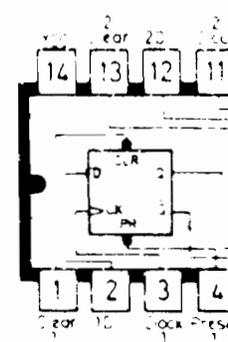
Diagram

STÜCKLISTE CPU68k r4

R1	4,7 kOhm	R10	1 kOhm
R2	4,7 kOhm	R11	4,7 kOhm
R3	4,7 kOhm	R12	4,7 kOhm
R4	4,7 kOhm	R13	47 Ohm
R5	4,7 kOhm	R14	1 kOhm
R6	1 kOhm	R15	1 kOhm
R7	1 kOhm	R16	1 kOhm
R8	100 kOhm	R17	1 kOhm
R9	1 kOhm		
IC1	555	C1	10uF
IC2	74 05	C2	100nF
IC3	74 LS 04	C3	100nF
IC4	74 LS 164	C4	100nF
IC5	74 LS 04	C5	100nF
IC6	mc 68008-LB	C6	100nF
IC7	74 LS 74	C7	10uF
IC8	74 LS 20		
IC9	74 LS 245		
IC10	74 LS 139		
IC11	74 LS 373		
IC12	74 LS 373		
IC13	74 LS 373		
S1	Minitaster		
1	Tastkappe weiß		
Q 1	Quarz 8.000MHz		
D1	Zehnerdiode 5,1V		

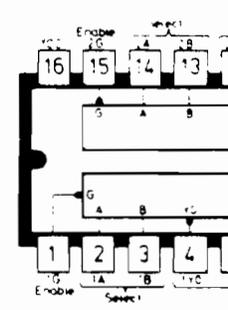
JMP1 2x8pol.gew.Stiftleiste
 JMP2 entfällt, Interrupt ist voreingestellt
 JMP3 entfällt, Taktrate auf 8MHz voreingestellt
 JMP4/5 2x2pol.gew. Stiftleiste

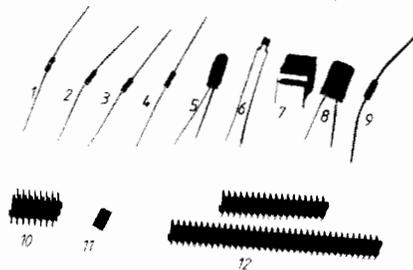
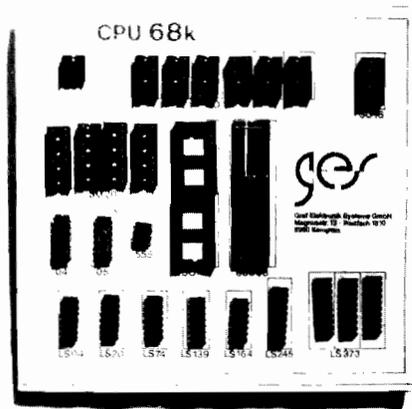
St1 36pol.gew.Stiftleiste
 18pol.gew.Stiftleiste



74 LS 139 Zwei

Dieser Dekoder hat z "Enable" vorhanden mit anliegt (0 bis 3), dies

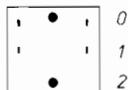




BESTÜCKUNGSANLEITUNG

Wir gehen beim Aufbau wieder nach dem bewährten Schema vor:

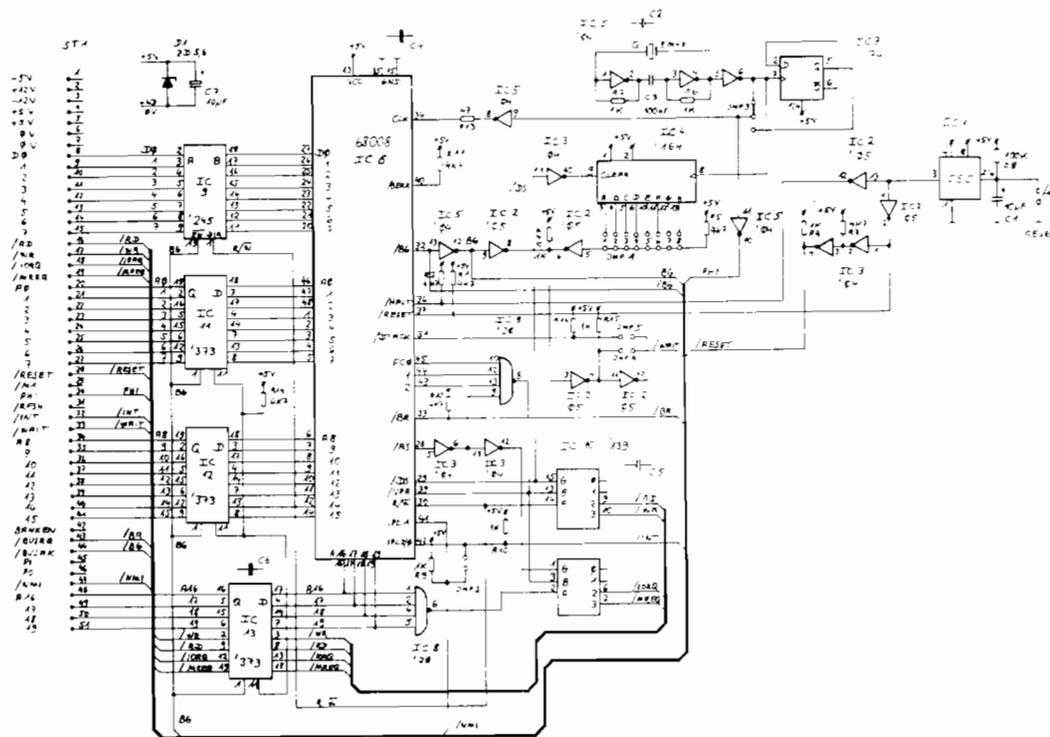
1. Einlöten der Steckerleiste: 36-polige und 18-polige direkt hintereinander. Sie sollten wieder darauf achten, daß die Stifte parallel zur Platine liegen.
2. Einlöten aller IC-Fassungen: Hier ist darauf zu achten, daß die Fassungen richtig herum eingelötet werden (siehe Bestückungsplan). Anstatt einer 48-poligen IC-Fassung für den Prozessor 68008 werden hier zwei 24-polige verwendet.
3. Einlöten des Tasters: Rechts neben dem Taster sind die drei Reihen mit 0, 1 und 2 bezeichnet. Die 4 Kontakte des Tasters müssen auf den Reihen 0 und 1 eingesteckt werden.



4. Einlöten der Keramikkondensatoren: Bei diesen Kondensatoren braucht nicht auf die Polung geachtet werden.
5. Einlöten der Elko's: Die Elko's sind gepolt und dürfen nicht falsch herum eingelötet werden. Auf den Elko's ist der Minuspol mit "-" gekennzeichnet (im schwarzen Streifen). Auf der Platine und auf dem Bestückungsplan ist der Pluspol mit "+" gekennzeichnet.
6. Einlöten der Widerstände: Bis auf R8 werden alle Widerstände stehend eingelötet; R8 liegend. Farbcode siehe Tabelle (unter Bauelemente).
7. Einlöten des Quarzes: Der Quarz wird liegend eingelötet (siehe Abb.)



SCHALTBILD CPU 68K



CPU68K

Seite -11-

Takterzeugung

Der Takt wird, wie schon bei der SBC2 und der GDP64k mit 2 Invertern erzeugt, deren Ausgänge mit einem 1 kOhm Widerstand rückgeführt werden auf den Eingang. Die beiden Schwingungserzeuger werden durch den 100 nF-Kondensator C3 miteinander verkoppelt und durch den Quarz Q1 auf 8 MHz stabilisiert. Das Flip-Flop J7 ist als Frequenzteiler geschaltet, sodaß am Ausgang (J7/5) eine Frequenz von 4 MHz anliegt. Am JMP4 kann die Frequenz (4 oder 8 MHz) eingestellt werden. Auf der Platine sind bereits 8 MHz eingestellt.

RESET-Logik

Die RESET-Logik wird durch den Chip J1 und den Taster T1 dargestellt. Der Baustein J1 (555) ist als Monoflop geschaltet. Wird der Taster T1 gedrückt entsteht am Ausgang ein einmaliger Impuls mit dem der "Program-Counter" (Programm-Zähler) der CPU rückgesetzt wird (RESET-Eingang J6/J7).

Änderungen CPU 68K zwischen 13 und 14

Speziell für den besseren Einsatz der Dynamischen RAM-Karte DRAM wurde die CPU68K revidiert. Die Revision beinhaltet keine Einschränkung der bisherigen Funktionsweise. Gegenüber der vorherigen Versionen hat die Revision 4 folgende Eigenschaften:

a) Externe WAIT-Verlängerung

Als asynchroner Prozessor (d.h. keine festen Zykluslängen) ist der 68008 auf ein extern erzeugtes Signal angewiesen, welches mitteilt, daß der Zyklus beendet ist, z.B. dann, wenn eine Speicherkarte in einem Schreibzyklus ein Byte übernommen hat. Dieses Signal heißt beim 68008 DTACK (Data Transfer Acknowledge, Datenübergabebestätigung). Auf der CPU68K wird dieses Signal über ein Schieberegister erzeugt (LS164), freigegeben vom fallenden DS (Data Strobe) und getaktet vom Haupttakt CLK. An JMP1 läßt sich die Anzahl Takte (1-8) einstellen, um die der Grundzyklus verlängert werden soll. Diese feste Einstellung ist insofern nachteilig, als einzelne langsamere Karten alle Zugriffe verzögern. Bei der dynamischen RAM-Karte treten lange Zyklen auf, wenn ein Speicherzugriff gleichzeitig mit einem Refresh-Zyklus versucht wird.

Die Revision 4 fügt zwischen Schieberegister und Prozessor eine Eingriffsmöglichkeit für die WAIT-Leitung vom Bus ein. So kann mit üblicherweise kurzer Zykluszeit (z.B. 2) gearbeitet werden, eine langsame Speicher- oder Peripheriebaugruppe kann dann notigfalls den Zyklus über WAIT verlängern. So arbeitet beispielsweise die DRAM128K.

Für die Arbeit mit nur asynchroner Peripheriebaugruppen, die ein ETACK erzeugen, kann die CPU auf echten ETACK-Betrieb umgestellt werden.

Für die Modifikation kamen JMP4 und JMP5 sowie die Widerstände R13 bis

Aufbereitung der Signale RD, WR, IORQ und MREQ

Nachdem der Mikroprozessor die Signale RD, WR, IORQ, und MREQ nicht direkt erzeugt müssen diese Signale aufbereitet werden. Die Signale RD und WR liegen an den Ausgängen 9 und 10 der Bausteines J10. Es handelt sich hier um zwei 2 zu 4 Dekoder. Der Eingang A entscheidet, ob der Ausgang 3 oder der Ausgang 2 aktiviert wird. An diesem Eingang liegt R/W von der CPU. Die Eingänge G und B dienen hier zur Auswahl des Bausteines.

Ähnlich werden die Signale IORQ* und MREQ* aufbereitet. Der Eingang A9(J10/2) entscheidet, ob der Ausgang MREQ* (J10/7) oder der Ausgang IORQ* (J10/6) aktiviert wird. Hier liegt am Eingang A die NAND-Verknüpfung (J8/6) der Adressen A16 bis A19. Das bedeutet: Wenn diese vier Adressleitungen HIGH sind wird IORQ* aktiviert, wenn irgendeine andere logische Kombination anliegt wird MREQ* aktiviert. Am Eingang G (J10/1) liegt das Daten-Strobe-Signal.

Speichereinstelllogik

Die Speichereinstelllogik sorgt dafür, daß die CPU mit Speichern verschiedener Geschwindigkeiten arbeiten kann. Sie hat nur die Aufgabe das Signal DS* zu verzögern und dann den Eingang "Data Transfer Acknowledge"(DTACK* J6/31) zu aktivieren. Wird DTACK* aktiviert erkennt die CPU, daß der Datenaustausch erfolgt ist.

Liegt am CLR-Eingang von J4 ein L-Signal sind alle Ausgänge des Schieberegisters (J4/3,4,5,6,10,11,12,13) LOW. Liegt am Eingang CLR (J4/9) ein HIGH, wird mit jedem Taktimpuls ein weiterer Ausgang des Schieberegisters aktiviert.

Nach 8 Taktzyklen sind alle Ausgänge HIGH. Wird nun z.B. der Shuntstecker beim Ausgang D (J4/6) gesteckt, so wird DTACK* beim vierten Taktzyklus, nachdem CLR (J4/9) auf HIGH gesetzt worden ist, aktiviert und damit um $4 \times 125 \text{ nsec} = 500 \text{ nsec}$ verzögert gegenüber DS.

Weitergabebausteine

Die Weitergabebausteine sind das Bindeglied zwischen Mikroprozessor und dem Daten- bzw. Adressbus. Die Daten bzw. die Adressen werden an diesen Bausteinen abgeblockt (Buffer) und nur weitergegeben, wenn der Prozessor die erforderlichen Signale aussendet. Die Daten können hierbei in beiden Richtungen weitergeleitet werden, also vom Prozessor auf den Bus und umgekehrt, die Adressen allerdings nur vom Prozessor auf den Bus. Wann und in welche Richtung Daten weitergegeben werden sollen wird durch das Signal R/W* (J6/30) (R/W bedeutet Read/Write) gesteuert. Wann eine Adresse weitergegeben werden soll wird durch das Signal AS* (J6/28) (AS bedeutet Adress-Strobe-Signal) gesteuert.

TEST

1. Messen aller Versorgungs-Pin-Belegung.

2. Einsetzen der Bausteine
Messen des Taktes: 8 MHz

3. Einsetzen der Bausteine
Signal, das nach ca. 1 Sekunde
Steckerleiste/28.

Jetzt werden alle IC's eingelegt
Tastatur getestet. Auf
die CPU68k vollständig g

b) DMA-Fähigkeit

Mit CPU68K-Baugruppe bis zur r3 war DMA-Betrieb nicht möglich, d.h., keine andere Baugruppe außer der CPU kann Adressen auf den Bus geben und "Bus-Master" sein, was beispielsweise für schnelle Peripherie wie Hard-Disk-Controller o.ä. sinnvoll ist. Da auf dem Bus die Leitungen für Busrequest und Busacknowledge vorhanden sind, wurde mit der r4 auch die Änderung vorgenommen, die für DMA-Betrieb notwendig war, im wesentlichen wurden dazu die Steuersignale WR, PD, IORQ und MREQ über 3-State-Buffer geführt, die nun mit den Adressen und Daten über Bus Grant gesperrt werden können.

Jumperstellungen

JMP 1 : Zykluslänge
=====

Bei JMP1 kann zwischen einer Zyklusverlängerung von 1 bis 8 ausgewählt werden, entsprechend der Beschriftung im Bestückungsdruck. Üblicherweise reichen zwei Taktzyklen für die Antwortzeit der Baugruppen aus, manchmal sogar nur einer.

JMP 2 : Interrupt
=====

Generell gehen die Busleitungen INT an den 68006-Eingang IPL2/C und MMI an den Eingang IPL1. Durch J2 können die beiden Leitungen verbunden werden, so daß jeder MMI oder INT einen Interrupt höchster Priorität (NMI) auslöst.

JMP 3 : Taktrate
=====

JMP 3 ist im Leiterbild vorverdrahtet auf 8 MHz, soll mit 4 MHz gearbeitet werden, so ist die waagerechte Verbindung aufzutrennen und stattdessen die senkrechte einzufügen.

JMP 4/5 : WAIT/DTACK
=====

Wenn nicht alle Baugruppe ein DTACK erzeugen können (GDP64, KEY können's beispielsweise nicht), müssen JMP 4 und JMP 5 horizontal gesteckt werden, so wie es auch im Bestückungsdruck gezeichnet ist. Wenn mit DTACK gearbeitet werden soll, ist eine Brücke senkrecht links zwischen JMP4 und 5 zu stecken, also zur Seite des R16 hin.

BESTÜCK

Wir gehen beim Aufbau wie folgt vor:

1. Einlöten der Steckerleiste
achten, daß die Stifte polrichtig sind.

2. Einlöten aller IC-Faßlötlötungen
(siehe Bestückungsplan).
24-polige verwendet.

3. Einlöten des Tasters
Kontakte des Tasters müssen sauber sein.

4. Einlöten der Keramikbausteine
5. Einlöten der Elko's
Elko's ist der Minuspol
Bestückungsplan ist der Maßstab.

6. Einlöten der Widerstände
Farbcode siehe labelle

7. Einlöten des Quarzes

TEST

1. Messen aller Versorgungsspannungen: +5V liegt immer auf dem letzten Pin des IC's (siehe Bauelemente: Pin-Belegung).

2. Einsetzen der Bausteine J5 und J7 (74 LS 04 und 74 LS 74), Achtung! Vorher Versorgungsspannung abklemmen! Messen des Taktes: 8 MHz an J6/34 und auf der Steckerleiste an Pin 30. 4 MHz an J7/5.

3. Einsetzen der Bausteine J1, J2 und J3 (555, 74 05, 74 LS 04). Bei Tastendruck am Taster S1 erscheint ein Signal, das nach ca. 1 1/2 Sekunden wieder zurückspringt. Das Signal muß zu messen sein an: J1/3, J6/36, 37, Steckerleiste/28.

Jetzt werden alle IC's eingesteckt und dann mit Hilfe der ROA (mit ASSEMBLER), der GDP 64k und der Key mit Tastatur getestet. Auf dem Bildschirm muß dann das Grundmenü des Assembler-Programmes erscheinen. Damit ist die CPU68k vollständig getestet.

SCHALTUNGSBESCHREIBUNG

Die Schaltung lößt sich im wesentlichen in 6 Blöcke aufspalten.

1. Takterzeugung
2. Resetlogik
3. Aufbereitung der Signale RD, WR, IORQ und MREQ
4. Weitergabebausteine
5. Speicher-Einstelllogik
6. CPU 68008

