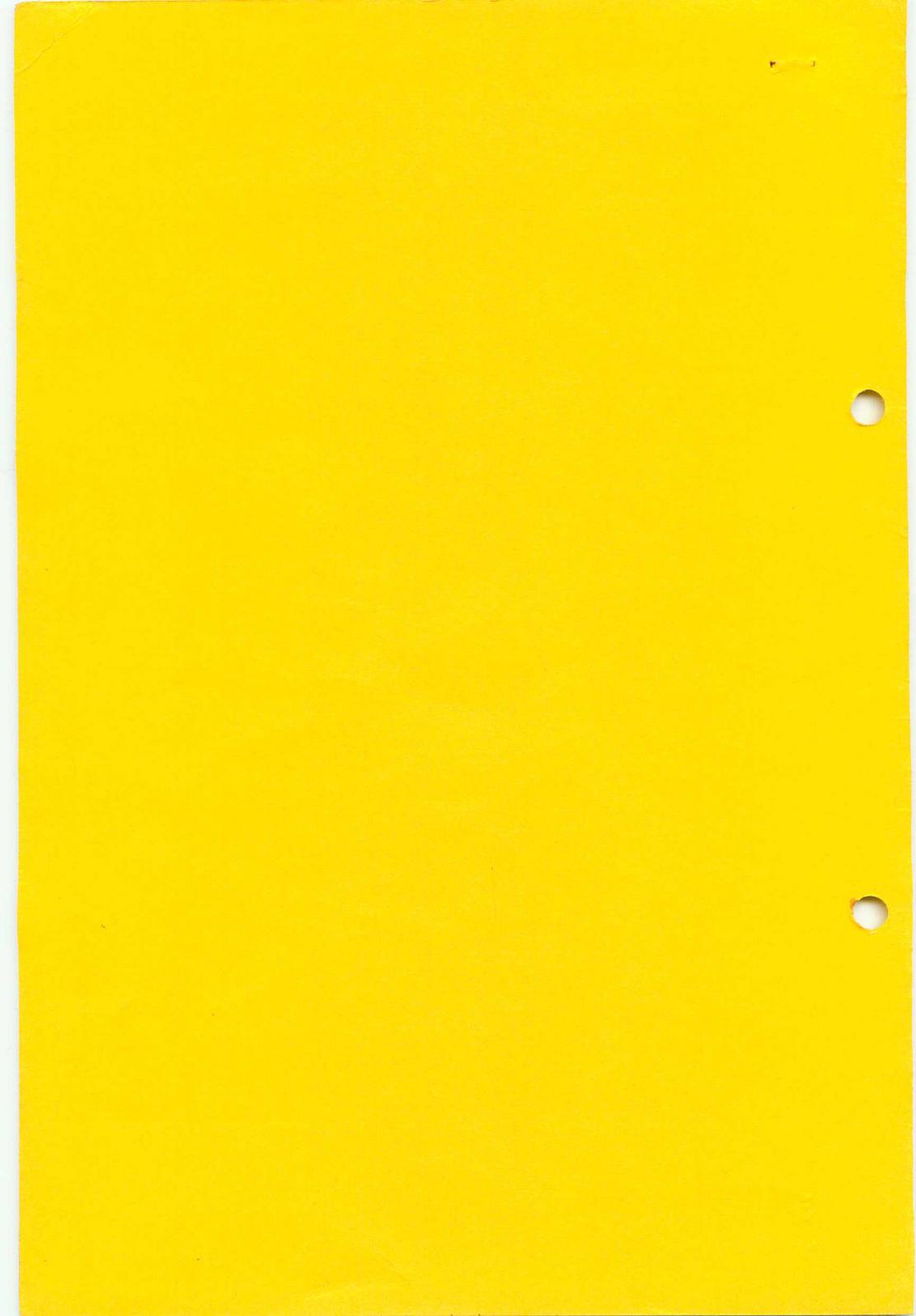


**Der NDR-Klein  
Computer**

**Gebrauchs-  
und  
Aufbauanleitung**

**SER**

**ELEKTRONIKLADEN 4930 DETMOLD 18 ☎ 05232/8171**



Die SER-Karte enthält die Schaltung für eine serielle Schnittstelle (Interface), d.h. sie verbindet den Rechner mit der Außenwelt (Peripherie).

Schnittstellen vom Rechner zur Peripherie lassen sich auf zwei Arten realisieren: parallel oder seriell.

Bei der parallelen Schnittstelle werden, über ein vieladriges Kabel alle Datenbits gleichzeitig (also parallel) vom oder zum Rechner übertragen. Eine zusätzliche Steuerleitung (Strobe) zeigt die Gültigkeit der Daten an. Die IOE-Karte ist eine solche parallele Schnittstelle. Mit ihr wird daher auch der Druckeranschluß realisiert, da die sogenannte "Centronics-Schnittstelle" parallel ist.

Bei einer seriellen Schnittstelle werden die Daten nacheinander in einzelne Datenbits zerlegt und dann über eine einzelne Leitung vom oder zum Rechner übertragen. Serielle Übertragungen werden verwendet, wenn größere Entfernungen zu überwinden sind und es auf eine nicht so hohe Datenübertragungsrate ankommt.

Bevor wir uns der Schaltung der SER-Karte zuwenden, wollen wir uns etwas vertraut machen, mit den "Problemen" und "Schwierigkeiten", die die serielle Datenübertragung bietet. Eigentlich ist alles ganz einfach: Die Bytes werden parallel in ein Schieberegister geladen - und dann die Bits seriell aus dem Schieberegister "herausgeschoben". Der Empfänger der Daten legt die seriell ankommenden Bits in einem Schieberegister ab, und liest sie als Bytes (also 8-Bit-weise) parallel aus.

Damit nun aber beide Schieberegister, das des Senders und das des Empfängers synchron miteinander arbeiten können, muß der Takt mit übertragen werden.

Anfang und Ende jedes Bytes müssen gekennzeichnet werden, da ansonsten, sollte auch nur ein einzelnes Bit verloren gehen, ein heilloses Tohuwabohu ausbrechen würde. Das zu übertragende Byte muß also von je einem Start- und einem Stopbit eingerahmt werden.

Vor das Stopbit wird dann häufig noch zur Überprüfung das "Parity-Bit" gesendet. Es wird aus der Quersumme der Datenbits gebildet und bietet dadurch die Möglichkeit zu überprüfen, ob "auf der Strecke" Information verloren gegangen ist.

Steht der "Datenrahmen", kann auch asynchron gesendet werden. Das heißt, daß die Bits nicht in konstantem Rhythmus gesendet werden müssen sondern Gruppen von je z.B. 8 Bits gesendet werden.

#### SCHALTUNGSBESCHREIBUNG

Die Schaltung der SER-Karte kann in drei Funktionsblöcke aufgeteilt werden,

die Adressdekodierung  
die Weitergabellogik  
und  
die Taktversorgung.

## Die Adressdekodierung

Die SER-Karte muß, um arbeiten zu können, von der CPU angesprochen werden, wozu die Steuerleitungen /RD, /WR /IORQ und die Adressbusleitungen verwendet werden. Die Adressleitungen A2 bis A7 sind verbunden mit den 74LS85 (Vergleichern, IC 6, IC 7), wo die ankommenden Adressbits mit denen, die an den Vergleichereingängen eingestellt sind, verglichen werden. Zur Einstellung der Vergleichereingänge dient das Jumperfeld ST2.

Der Eingang des ersten Vergleichers (Pin 3, IC 7) liegt immer auf 5V (High). Stimmen die ankommenden Adressbits mit dem eingestellten Adressmuster (Jumperfeld ST3) nun überein, so liefert der zweite Vergleichler (IC 6) an seinem Ausgang (Pin 6) ein H-Signal. Dieses H-Signal wird über einen Inverter (74LS00, IC 8) auf den Select-Eingang /CS1 des ACIA Bausteines 6551 (Pin 3, IC 3) geführt. Zusätzlich wird es mit dem /IORQ-Signal über ein Oder-Gatter des 74LS32 (IC 5) verknüpft, wodurch der Datenbustreiber 74LS245 (IC 4) freigegeben wird. In Abhängigkeit vom /RD-Signal werden Daten in den 6551 geschrieben oder von der ACIA gelesen (/RD = L: Lesen, /RD = H: Schreiben).

Die beiden Adressleitungen A0 und A1 sind direkt mit dem 6551 verbunden (Pin 13, Pin 14), um dort die internen Register auszuwählen.

## Weitergabelogik

Der ACIA-Baustein 6551 hat eine Leitung, die Leitung TxD, zum Datensenden (Pin 10) und eine andere zum Datenempfang, die Leitung RxD (Pin 12). Zusätzlich verfügt der 6551 über Kontrollleitungen, die dazu dienen, Sender und Empfänger aufeinander abzustimmen. Es handelt sich hier um die Leitungen /RTS (Request to send), /DCD (Data carrier detect), und /DSR (Data set ready), die Überwachungsfunktionen beim Senden und/oder beim Empfang der Daten übernehmen. (Details finden Sie im Datenblatt des 6551). Da bei der seriellen Datenübertragung, um längere Leitungen zu ermöglichen, jedoch nicht mit 5V-Pegeln (0V / 5V) sondern mit 12V-Pegeln (-12V / +12V) gearbeitet wird, werden alle zum Senden und Empfangen benötigten Signale auf entsprechende Pegel umgesetzt. Dies übernehmen die Bausteine 75188 (IC 2, zum Senden) und 75189 (IC 1, zum Empfangen)

## Takterzeugung

Über die Signale /IORQ, /RFSH und den Takt phi der CPU wird ein D-Flipflop angesteuert, das den Takt phi2 für den 6551 erzeugt. Zur Erzeugung der standardisierten Baudraten (z.B.: 9600 Bd) ist der 6551 mit einem 1,8432 MHz Quarz beschaltet.

"Zentraleinheit" der SER-Karte ist der Baustein 6551. Im "Hintergrund" finden Sie das Datenblatt dieses Chips. Da es sich allerdings um einen recht komplexen Chip handelt, werden wir einige grundsätzlichen Funktionen hier erläutern:

Aufgabe des 6551 ist es, die parallel vom Rechner kommenden Daten seriell an die Peripherie weiterzugeben ( und umgekehrt, seriell von außen kommende Daten parallel an den Rechner zu geben). Er verfügt über einen 8-Bit-breiten, bi-direktionalen Datenbus, über den er mit dem Prozessor kommunizieren kann.

Die Wortlänge, die Anzahl der Start- und Stopbits, sowie das Parity-Bit ist per Software veränderbar.

Der Baud-Rate-Generator, den der 6551 enthält, kann 15 verschiedene Baudraten erzeugen, wozu dem Baustein die Frequenz von 1,8432 MHz zugeführt werden muß.

Die internen Control- und Commandregister sind programmierbar, was das Erstellen von Software erheblich erleichtert.

### Die internen Register des 6551

```
.....  
: RS 1 : RS 0 : Schreiben : Lesen :  
: : : : :  
.....  
: 0 : 0 : Sendedaten : Empfangsdaten :  
.....  
: 0 : 1 : Software Reset: Statuts Register:  
.....  
: 1 : 0 : Command Register :  
.....  
: 1 : 1 : Control Register :  
.....
```

Das STATUS-REGISTER wird über die Adresse Flh angesprochen. Es kontrolliert, ob die Daten vom Empfangsteil angekommen sind. Die Bedeutung der einzelnen Bits im Status Register entnehmen Sie der Grafik:

7	6	5	4	3	2	1	0	
:	:	:	:	:	:	:	:	: Paritätsfehler
:	:	:	:	:	:	:	:	:.....< 0 = kein Paritätsfehler
:	:	:	:	:	:	:	:	< 1 = Paritätsfehler
:	:	:	:	:	:	:	:	Framing-Fehler
:	:	:	:	:	:	:	:	:.....< 0 = kein Framing-Fehler
:	:	:	:	:	:	:	:	< 1 = Framing-Fehler
:	:	:	:	:	:	:	:	Überlauf-Fehler
:	:	:	:	:	:	:	:	:.....< 0 = kein Überlauf-Fehler
:	:	:	:	:	:	:	:	< 1 = Überlauf-Fehler
:	:	:	:	:	:	:	:	Empfänger-Register voll
:	:	:	:	:	:	:	:	:.....< 0 = nicht voll
:	:	:	:	:	:	:	:	< 1 = voll
:	:	:	:	:	:	:	:	Sende-Register leer
:	:	:	:	:	:	:	:	:.....< 0 = nicht leer
:	:	:	:	:	:	:	:	< 1 = leer
:	:	:	:	:	:	:	:	Data Carrier Detect (-DCD)
:	:	:	:	:	:	:	:	:.....< 0 = DCD auf Low (Detct)
:	:	:	:	:	:	:	:	< 1 = DCD auf High
:	:	:	:	:	:	:	:	Data Set Ready (-DSR)
:	:	:	:	:	:	:	:	:.....< 0 = DSR auf Low (Ready)
:	:	:	:	:	:	:	:	< 1 = DSR auf High
:	:	:	:	:	:	:	:	Interrupt
:	:	:	:	:	:	:	:	:.....< 0 = kein Interrupt
:	:	:	:	:	:	:	:	< 1 = Interrupt

Die Bits beschreiben den Zustand bei Fehlern oder den Zustand der Signalleitungen wie /DSR, /DCD und Interruptmeldungen. Wenden wir uns im einzelnen den Bits 3 und 4 zu. Das Bit 4 des Status-Registers geht dann auf H, wenn das Senderegister leer ist und ein neues Zeichen in das Datenregister geschrieben werden kann. Das Bit 3 des Status-Registers geht auf H, wenn ein Datenwort empfangen wurde und im Datenregister bereit steht. Wird das Datenregister ausgelesen, dann geht Bit 3 auf L, bis ein neues Datenwort empfangen wird. Wenn das Resetregister beschrieben wird (egal mit welchem Wert), verhält sich der 6551 wie bei einem physikalischen Reset, den er über die RESET-Leitung erhält. Er setzt dann der seriellen Port zurück.

Das CONTROL-REGISTER (Adresse F3h) wird zur Voreinstellung der Wortlänge, der Anzahl der Start- und Stopbits und der Baudrate benötigt.

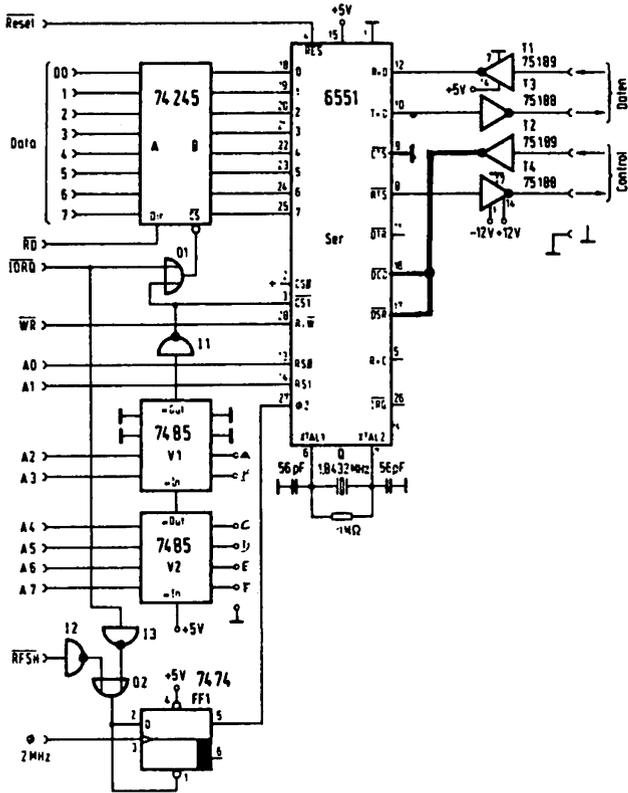
1            9  
0 0 0 1 1 0 1 0

7	6	5	4	3	2	1	0	
:	:	:	:	:	:	:	:	Baudrate intern
:	:	:	:	:	:	:	:	=====
:	:	:	:	:	:	:	:	16 x externer Takt
Stop Bits	:	:	:	0	0	0	1	5,0 Baud
=====	:	:	:	0	0	1	0	75,0 Baud
0=1 Stop Bit	:	:	:	0	0	1	1	109,92 Baud
1=2 Stop Bits...	:	:	:	0	1	0	0	134,58 Baud
1 Stop Bit, wenn	:	:	:	0	1	0	1	150,0 Baud
Data8 Bits + Par	:	:	:	0	1	1	0	300,0 Baud
1 1/2 bei 5 Bits	:	:	:	0	1	1	1	600,0 Baud
ohne Par	:	:	:	1	0	0	0	1200,0 Baud
	:	:	:	1	0	0	1	1800,0 Baud
Wort-Länge	:	:	:	1	0	1	0	2400,0 Baud
=====	:	:	:	1	0	1	1	3600,0 Baud
Bit Länge	:	:	:	1	1	0	0	4800,0 Baud
6 - 5	:	:	:	1	1	0	1	7200,0 Baud
0 0 8	:	:	:	1	1	1	0	9600,0 Baud
0 1 7 .....	:	:	:	1	1	1	1	19200,0 Baud
1 0 6	:	:	:	:	:	:	:	
1 1 5	:	:	:	:	:	:	:	
	:	:	:	:	:	:	:	
	:	:	:	:	:	:	:	
Takt Quelle	:	:	:	:	:	:	:	
=====	:	:	:	:	:	:	:	
0 = externer Takt .....	:	:	:	:	:	:	:	
1 = Baudrate Gen. intern	:	:	:	:	:	:	:	

Das COMMAND-REGISTER (Adresse F2h) wird zur Kontrolle der spezifischen Übertragungs- und Empfangsfunktion benutzt.

	0	0	0	0			1	1	
	7	6	5	4	3	2	1	0	
	:	:	:	:	:	:	:	:	
	:	:	:	:	:	:	:	:	
	.....								
	:	:	:	:	:	:	:	:	
	:	:	:	:	:	:	:	:	
	:	:	:	:	:	:	:	:	
Paritäts-Einstellung:	:	:	:	:	:	:	:	:	Data Terminal Ready
=====	:	:	:	:	:	:	:	:	=====
Bit	Wirkung	:	:	:	:	:	:	:	0 = DTR auf High
7 6 5		:	:	:	:	:	:	:	..... 1 = DTR auf Low
	0 keine Par	:	:	:	:	:	:	:	enable Trans + Rec
0 0 1	Odd Par	:	:	:	:	:	:	:	
	Rec + Tran	:	:	:	:	:	:	:	
0 1 1	Even Par....	:	:	:	:	:	:	:	Receiver Interrupt enable
	Rec + Tran	:	:	:	:	:	:	:	=====
1 0 1	Mark Par	:	:	:	:	:	:	:	0 = IRQ aus Bit 0 Status
	Tran	:	:	:	:	:	:	:	.....1 = Interrupt disable
1 1 1	Space Par	:	:	:	:	:	:	:	
	Tran	:	:	:	:	:	:	:	
	:	:	:	:	:	:	:	:	
	:	:	:	:	:	:	:	:	Transmitter-Steuerung
	:	:	:	:	:	:	:	:	=====
	:	:	:	:	:	:	:	:	Bit Interrupt -RTS divers
Normal- oder Echomode	:	:	:	:	:	:	:	:	3 2
=====	:	:	:	:	:	:	:	:	0 0 disable High -
(für Receiver).....	:	:	:	:	:	:	:	:	.....0 1 enable Low -
		:	:	:	:	:	:	:	1 0 disable Low -
0 = normal		:	:	:	:	:	:	:	1 1 enable Low Transmit
1 = Echo		:	:	:	:	:	:	:	Break

# SCHALTPLAN

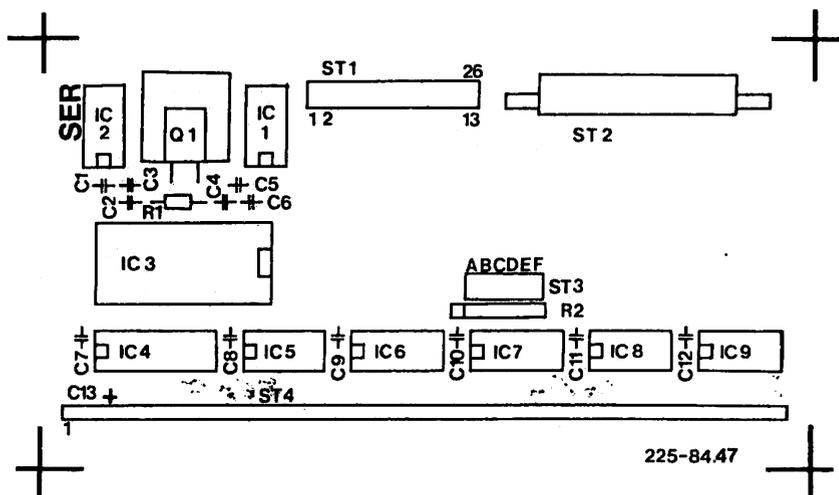


STÜCKLISTE

Stück	Aufdruck	Beschreibung
1	IC 1	Int. Schaltung SN75189(*)
1	IC 2	Int. Schaltung SN75188(*)
1	IC 3	Int. Schaltung 6551
1	IC 4	Int. Schaltung SN74LS245
1	IC 5	Int. Schaltung SN74LS32
2	IC 6, 7	Int. Schaltung SN74LS85
1	IC 8	Int. Schaltung SN74LS00
1	IC 9	Int. Schaltung SN74LS74
1	Q 1	Quarz 1,8432 MHz
2	<i>C24</i>	<i>56pF</i>
10	C1,3,5,6,7,8,9,10,11,12	Keram. Kondensator 100nF
1	C 13	Tantal-Elko 10uF/16V
1	R 1	Widerstand 1MOhm
1	R 2	Widerstandsarray 6x4,7KOhm
5	zu IC 1, 2, 5, 8, 9	IC-Sockel DIL 14
2	zu IC 6, 7	IC-Sockel DIL 16
1	zu IC 4	IC-Sockel DIL 20
1	zu IC 3	IC-Sockel DIL 28
1	ST 1	Stiftleiste 2 x 13p
1	ST 2	DB-25 Buchse, abgewinkelt
1	ST 3	Stiftleiste 2 x 6p
1	ST 4	Stiftleiste 54p, abgew.
6		Jumper
2		M3 - Schrauben
2		M3 - Muttern
1		Leiterplatte SER

(\*) SN74188/SN74189 sind integrierte Schaltungen des Herstellers "Texas Instriments" (TI). Sie sind identisch mit den Motorola-Typen MC1488/MC1489.

## BESTÜCKUNGSDRUCK



## AUFBAU

Löten Sie zunächst alle passiven Bauteile ein. Beginnen Sie mit der der Steckerleiste ST1. Die Stifte der Leiste müssen parallel zur Leiterplatte stehen, da Sie sonst Schwierigkeiten haben werden, die Karte später in die Busbuchse einzuschieben. Löten Sie nun den Widerstand R1 (1 MOhm) und das Widerstandsnetzwerk (Array) R2 ein. Achten Sie bitte darauf, daß Sie das Netzwerk richtig herum einsetzen. Der gemeinsame Pol des Netzwerks ist auf dem Körper des Arrays durch einen kleinen Punkt gekennzeichnet. Dieser Pol gehört in das linke, mit einem kleinen Quadrat gekennzeichnete Lötauge. Löten Sie nun die Kondensatoren und den Quarz ein. Beginnen Sie mit dem Kondensator C13, dem 10uF Tantal-Elko. Dieser Kondensator ist gepolt. Sie finden im Bestückungsdruck ein Lötzentrum mit einem "+"-Zeichen gekennzeichnet. In diesen Punkt muß das beim Elko mit "+" gezeichnete Beinchen des Kondensators. Alle anderen Kondensatoren sind (ungepolte) Keramik Kondensatoren. Sie müssen also bei ihnen nicht auf die Polung achten. Die Kondensatoren C2 und C4, die noch im Schaltplan mit 56pF angegeben sind, werden nicht benötigt. Sie sind im Bausatz nicht enthalten. Der Quarz schwingt ohne diese C's besser. Nun folgt der Quarz, der die Gehäuseform HC33/U (groß) oder HC18/U (klein) haben kann.

Sie benutzen aber beide die gleichen Lötunkte, die auf der Karte ausgewiesen sind. Nun bestücken sie die Karte mit allen IC-Fassungen. Achten Sie bitte darauf, daß sie IC-Fassungen derart einlöten, daß die Kerbe, die Sie an der Schmalseite der Fassung finden, sich deckt mit der Markierung, die Sie im Bestückungsdruck der SER-Karte finden. Genau in dieser Richtung muß dann später die integrierte Schaltung (auf deren Plastikkörper ebenfalls eine Markierung ist) eingesteckt werden. Die Markierungen sollen Ihnen helfen, hier keinen Fehler zu machen, denn ein "falsch herum" eingestecktes IC ist beim Anlagens der Spannung sofort zerstört. Stecken Sie die ICs auch nie ein, wenn Spannung anliegt.

Nun können Sie (die ICs sind noch nicht eingesteckt), an den Sockeln die Versorgungsspannungen der Integrierten Schaltungen überprüfen:

5 V liegt nun an PIN14 des 74LS74 (IC 9), an den PINS16 der 74LS85 (IC 6, 7), am PIN20 des 74LS245 (IC 4) und am PIN15 des 6551 (IC 3). Ebenfalls 5V liegen an den PINS. Beim 74189 (IC 1) können Sie 5V an PIN 14 und beim 74189 (IC 2) +12V an PIN 14 und -12V an PIN1 messen.

Wenn alles stimmt, bestücken Sie die Karte mit den ICs und schieben Sie sie in den Bus ein. Mit den Funktionen des Grundprogrammes MON 1 können Sie die Funktionen der Karte überprüfen. Es handelt sich um die Befehle "IO Lesen" und "IO Schreiben". Geben Sie zuerst einen Reset. Nun können sie das Control-Register einstellen. Durch das Schreiben auf das Command-Register könne Sie RTS ein- oder ausschalten (V.24 Stecker PIN4). Wenn RTS und CTS verbunden werden, lassen sich über RTS die Statusbits 4 und 5 schalten. An PIN10 des 6551 können Sie mit dem Prüfstift bei (ganz) niedriger Baudrate shen, wie die seriellen Daten ausgegeben werden. Wenn Sie nun TXD und RXD verbinden, können Sie Daten ausgeben und dieselben Daten wieder einlesen.

Auch das Programm MON68K Rev. 4.3 hat Testroutinen für serielle Schnittstellen. Sie finden Sie im Buch "68008 Grundprogramm" (S. 144) beschrieben. Allerdings muß es in der 4. Zeile richtig heißen:

MOVE.B # $\$0B$ ,D1

nicht:.....,D0

## HÄUFIGE FEHLER

1. Löten Sie die Kondensatoren C 2 und C4 nicht ein. Der Quarz schwingt besser ohne die beiden Cs.
2. Achten Sie darauf, das Widerstandsnetzwerk richtig herum einzulöten. Es hat an einem der äußeren Pins einen Punkt. Dieser gekennzeichnete Pin ist der gemeinsame. Er gehört in den linken Lötunkt, der mit einem kleinen Quadrat gekennzeichnet ist.
3. Über die 6 Jumper können Sie im Adressierungsfeld ST3 64 verschiedenen Adressen "stecken". Kontrollieren Sie dieses Feld und beachten Sie die Tabelle auf dieser Seite.
4. Die SN74188/SN74189 benötigen neben 5V auch +12V und -12V. Das Netzteil NETZ liefert diese Spannungen, POW5V aber nicht.

## ADRESSIERUNG DER SER (ST3)

Steckbrücke						Adressebereich
A	B	C	D	E	F	
offen	offen.	offen	offen	offen	offen	FCh - FFh
gesch.	offen	offen	offen	offen	offen	F8h - FBh
offen	gesch.	offen	offen	offen	offen	F4h - F7h
gesch.	gesch.	offen	offen	offen	offen	F0h - F3h
offen	offen	gesch.	offen	offen	offen	ECh - EFh
gesch.	offen	gesch.	offen	offen	offen	E8h - EBh
offen	gesch.	gesch.	offen	offen	offen	E4h - E7h
gesch.	gesch.	gesch.	offen	offen	offen	E0h - E3h
offen	offen	offen	gesch.	offen	offen	DCh - DFh
gesch.	offen	offen	gesch.	offen	offen	D8h - DBh
offen	gesch.	offen	gesch.	offen	offen	D4h - D7h
gesch.	gesch.	offen	gesch.	offen	offen	D0h - D3h
offen	offen	gesch.	gesch.	offen	offen	CCh - CFh
gesch.	offen	gesch.	gesch.	offen	offen	C8h - CBh
offen	gesch.	gesch.	gesch.	offen	offen	C4h - C7h
gesch.	gesch.	gesch.	gesch.	offen	offen	C0h - C3h
offen	offen	offen	offen	gesch.	offen	BCh - BFh
gesch.	offen	offen	offen	gesch.	offen	B8h - BBh
:	:	:	:	:	:	:
:	:	:	:	:	:	:
:	:	:	:	:	:	:
:	:	:	:	:	:	:
gesch.	gesch.	gesch.	gesch.	gesch.	gesch.	0Ch - 0Fh

Folgende I/O-Adressen sind im NDR-Klein-Rechner belegt:

30h - 3Fh	I/O-Karte	(3)
60h - 6Fh	Bildseitenauswahl auf GDP	(1)
68h	Tastaturport auf KEY	(2)
69h	DIL-Schalter auf KEY	(2)
70h - 7Fh	Grafikprozessor auf GDP	
80h - 82h	PROMER	(3)
C0h - C3h	Floppy-Controller auf FDC	
C4h - C7h	Status- u. Steuerport auf FDC	
C8h	Ausgabeport auf BANKBOOT	(1)
CAh, CBh	CAS	
E0h - EFh	AD8x16	(3)
E0h, E1h	SOUND	(3)
F8h, F9h	D/A-Karte	(1 + 3)
FCh, FDh	AD10x1	(3)
<del>ECh - EFh</del>	SER	(3)
<del>FDh - F3</del>		

- 1 = Adresse kann nur beschrieben werden.
- 2 = Adresse kann nur gelesen werden.
- 3 = Adresse kann über Jumperfeld geändert werden.

## V.24-Schnittstellensignale

Kurzzeichen			Pin	Beschreibung	Richtung Modem - Terr
A	B	C (*)			
<b>ERDE</b>					
101	AA	E1	1	Schutzerde	<----->
102	AB	E2	7	Signalerde	<----->
<b>DATEN</b>					
103	BA	D1	2	Sendedaten (TD)	----->
104	BB	D2	3	Empfangsdaten (RD)	<-----
<b>STEUER-UND MELDESIGNALE</b>					
105	CA	S2	4	Sendeteil einschalten (RTS)	<----->
106	CB	M2	5	Sendebereitschaft (CTS)	----->
107	CC	M1	6	Betriebsbereitschaft (DSR)	----->
108.1		Sl.1	20	Übertragungsleitung anschalten	<----->
108.2	CD	Sl.2	20	Terminal betriebsbereit (DTR)	<----->
125	CE	M3	22	Ankommender Ruf (RI)	----->
109	CF	M5	8	Empfangssignalpegel (DCD)	----->
110	CG	M6	21	Empfangsgüte	----->
111	CH	S4	23	Übertragungsgeschwindigkeit (DTE) (Wahl vom Terminal)	<----->
112	CI	M4	23	Übertragungsgeschwindigkeit (DCE) (Wahl vom Modem)	----->
126	CK	S5	11	Wahl Sendefrequenz (200 baud Mod)	<----->
<b>TAKTE</b>					
113	DA	T1	24	Sendeschrifttakt von DEE	<----->
114	DB	T2	15	Sendeschrifttakt von DÜE	<----->
115	DD	T4	17	Empfangsschrifttakt	----->
<b>ZUSATZKANAL</b>					
118	SBA	HD1	14	Sendedaten Rückkanal	<----->
119	SBB	HD2	16	Empfangsdaten Rückkanal	----->
120	SCA	HS2	19	Rückkanal Sendeteil einschalten	<----->
121	SCB	HM2	13	Rückkanal Sendebereitschaft	----->
122	SCF	HM5	12	Rückkanal Empfangssignalpegel	----->
<b>FREI</b>					
			9/10/ 11/18/25	Zur Verwendung für Prüfgeräte Nicht belegt	

A = CCITT V.24

B = EIA RS 232

C = DIN 66020



## R6500 Microcomputer System DATA SHEET

### Asynchronous Communication Interface Adapter (ACIA)

The R6551 Asynchronous Communication Interface Adapter (ACIA) provides the interface between 8-bit microprocessor systems and serial communication data sets and modems.

With its on-chip baud rate generator, the R6551 is capable of transmitting at 15 different program-selectable rates between 50 baud and 19,200 baud, and receiving at either the transmit rate or at 16 times an external clock rate. The R6551 has programmable word lengths of 5, 6, 7 or 8 bits; even, odd or no parity; 1, 1-1/2 or 2 start bits.

With the R6551, a crystal is the only required external support component - eliminating the multiple-component support that is typically needed.

In addition, the R6551 is designed for maximum programmed control from the CPU, to simplify hardware implementation. A control register and a separate command register permit the CPU to easily select the R6551's operating modes and data checks.

#### FEATURES

- Compatible with 8-bit microprocessors
- Full duplex operation with buffered receiver and transmitter
- 15 Programmable Baud Rates (50 to 19,200)
- Receiver data rate may be identical to baud rate or may be 16 times the external clock input
- Data set/modem control functions
- Programmable word lengths, number of bit stops, and parity bit generation and detection
- Programmable interrupt control
- Selectable serial echo mode
- Two chip selects
- 2 MHz or 1 MHz clock rate
- Single +5V  $\pm 10\%$  power supply
- 28-pin plastic or ceramic DIP
- Full TTL compatibility

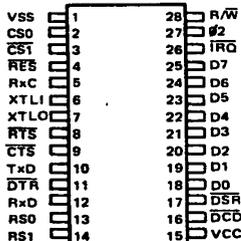
#### Ordering Information

Order Number: R6551

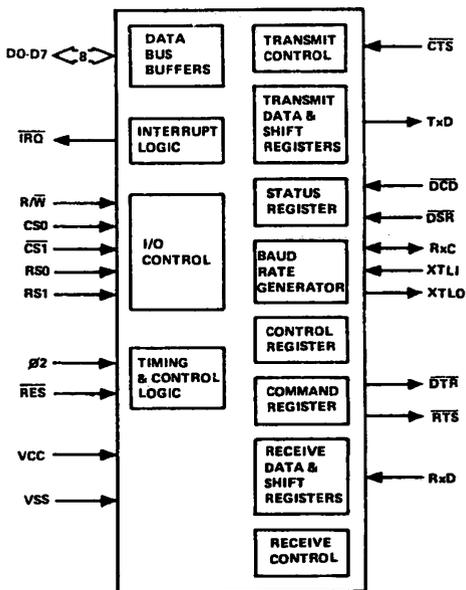
Temperature Range:  
No suffix = 0°C to +70°C  
E = -40°C to +85°C (Industrial)

Package:  
C = Ceramic  
P = Plastic

Frequency Range:  
No suffix = 1 MHz  
A = 2 MHz



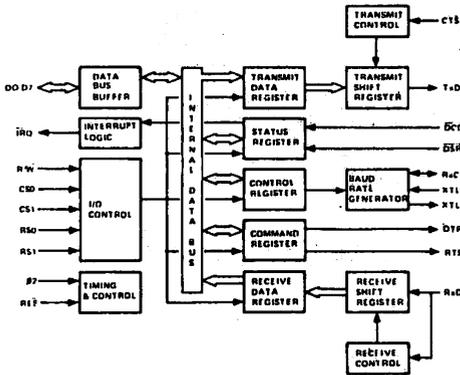
R6551 Pin Configuration



R6551 Interface Diagram

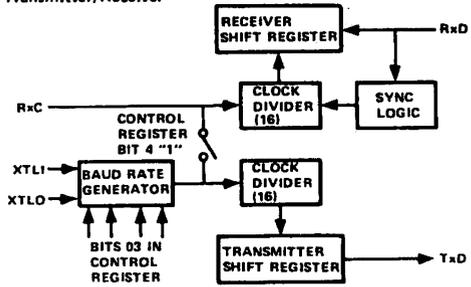
Asynchronous Communication Interface Adapter (ACIA)

# INTERNAL ORGANIZATION



R6551 Block Diagram

## Transmitter/Receiver



Transmitter/Receiver Clock Circuits

Bits 0-3 of the Control Register select the divisor used to generate the baud rate for the Transmitter. If the Receiver clock is to use the same baud rate as the Transmitter, then RxC becomes an output pin and can be used to slave other circuits to the R6551.

## Transmit and Receive Data Registers

These registers are used as temporary data storage for the 6551 Transmitter and Receiver circuits. The Transmit Data Register is characterized as follows:

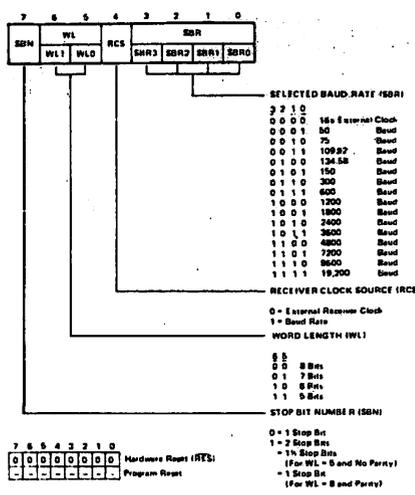
- Bit 0 is the leading bit to be transmitted.
- Unused data bits are the high-order bits and are "don't care" for transmission.

The Receive Data Register is characterized in a similar fashion:

- Bit 0 is the leading bit received.
- Unused data bits are the high-order bits and are "0" for the receiver.
- Parity bits are not contained in the Receive Data Register, but are stripped-off after being used for external parity checking. Parity and all unused high-order bits are "0".

## Control Register

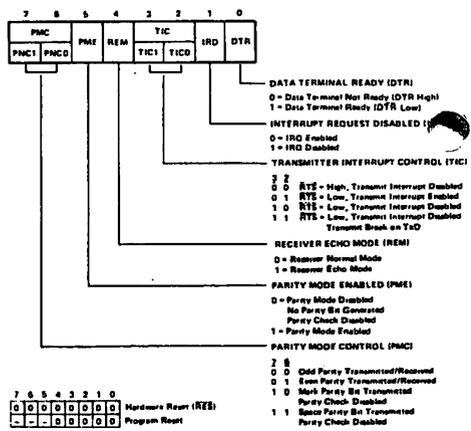
The Control Register selects the desired baud rate, frequency source, word length, and the number of stop bits.



R6551 Control Register

## Command Register

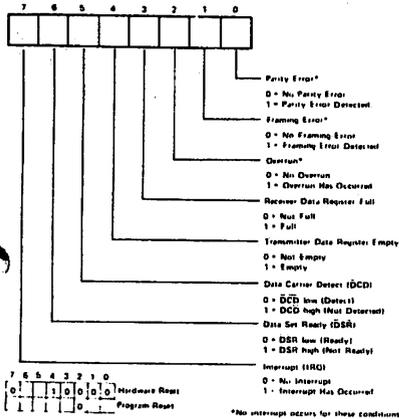
The Command Register controls specific modes and functions.



R6551 Command Register

## Status Register

The Status Register reports the status of various R6551 functions



R6551 Status Register

## INTERFACE SIGNAL DESCRIPTION

### RES (Reset)

During system initialization a low on the RES input will cause internal registers to be cleared.

### Ø2 (Input Clock)

The input clock is the system Ø2 clock and is used to trigger all data transfers between the system microprocessor and the R6551.

### R/W (Read/Write)

The R/W is generated by the microprocessor and is used to control the direction of data transfers. A high on the R/W pin allows the processor to read the data supplied by the R6551. A low on the R/W pin allows a write to the R6551.

### IRQ (Interrupt Request)

The IRQ pin is an interrupt signal from the interrupt control logic. It is an open drain output, permitting several devices to be connected to the common IRQ microprocessor input. Normally a high level, IRQ goes low when an interrupt occurs

### D0-D7 (Data Bus)

The D0-D7 pins are the eight data lines used for transfer of data between the processor and the R6551. These lines are bi-directional and are normally high-impedance except during Read cycles when selected.

### CS0, CS1 (Chip Selects)

The two chip select inputs are normally connected to the processor address lines either directly or through decoders. The R6551 is selected when CS0 is high and CS1 is low.

### RS0, RS1 (Register Selects)

The two register select lines are normally connected to the processor address lines to allow the processor to select the various R6551 internal registers. The following table indicates the internal register select coding:

RS1	RS0	Write	Read
0	0	Transmit Data Register	Receiver Data Register
0	1	Programmed Reset (Data is "Don't Care")	Status Register
1	0	Command Register	
1	1	Control Register	

The table shows that only the Command and Control registers are read/write. The Programmed Reset operation does not cause any data transfer, but is used to clear the R6551 registers. The Programmed Reset is slightly different from the Hardware Reset (RES); these differences are described in the individual register definitions.

### ACIA/Modem Interface Signal Description

#### XTL1, XTLO (Crystal Pins)

These pins are normally directly connected to the external crystal (1.8432 MHz) used to derive the various baud rates. Alternatively, an externally generated clock may be used to drive the XTL1 pin, in which case the XTLO pin must float. XTL1 is the input pin for the transmit clock.

#### TxD (Transmit Data)

The TxD output line is used to transfer serial NRZ (nonreturn-to-zero) data to the modem. The LSB (least significant bit) of the Transmit Data Register is the first data bit transmitted and the rate of data transmission is determined by the baud rate selected.

#### RxD (Receive Data)

The RxD input line is used to transfer serial NRZ data into the ACIA from the modem, LSB first. The receiver data rate is either the programmed baud rate or the rate of an externally generated receiver clock. This selection is made by programming the Control Register.

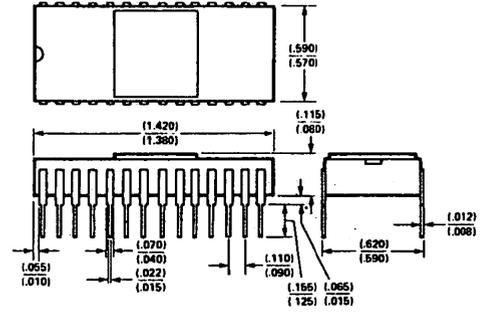
#### RxC (Receive Clock)

The RxC is a bi-directional pin which serves as either the receiver 16x clock input or the receiver 16x clock output. The latter mode results if the internal baud rate generator is selected for receiver data clocking.

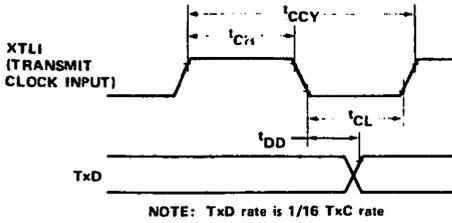
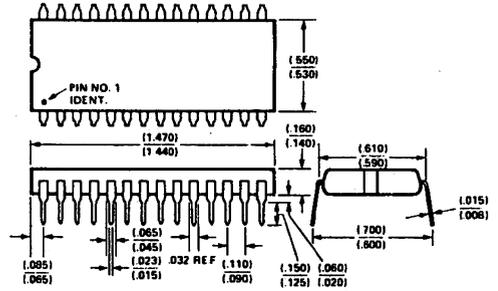


## PACKAGE OUTLINES

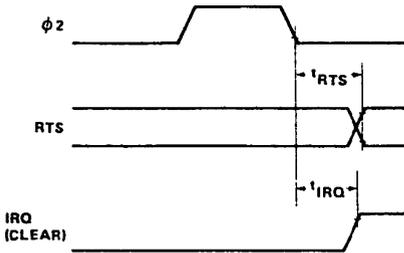
### 28 LEAD CERAMIC



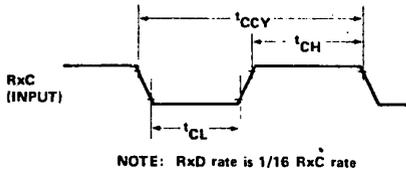
### 28 LEAD PLASTIC



Transmit Timing with External Clock



Interrupt and RTS Timing



Receive External Clock Timing

# SPECIFICATIONS

## Maximum Ratings

Rating	Symbol	Value	Unit
Supply Voltage	$V_{CC}$	-0.3 to +7.0	Vdc
Input Voltage	$V_{in}$	-0.3 to +7.0	Vdc
Operating Temperature	T		$^{\circ}C$
Commercial		0 to +70	
Industrial		-40 to +85	
Storage Temperature	$T_{STG}$	-55 to +150	$^{\circ}C$

This device contains input protection against damage due to high static voltages or electric fields; however, precautions should be taken to avoid application of voltages higher than the maximum rating.

## Electrical Characteristics

( $V_{CC} = 5.0 \pm 5\%$ ,  $V_{SS} = 0$ )

Characteristic	Symbol	Min	Typ	Max	Unit
Input High Voltage	$V_{IH}$	2.0	-	$V_{CC}$	V
Input Low Voltage	$V_{IL}$	-0.3	-	0.8	V
Input Leakage Current: $V_{IN} = 0$ to 5V. ( $\emptyset 2$ , R/W, RES, CS0, CS1, RS0, RS1, CTS, RxD, DCD, DSR)	$I_{IN}$	-	$\pm 1.0$	$\pm 2.5$	$\mu A$
Input Leakage Current for High Impedance State (Three State)	$I_{TSI}$	-	$\pm 2.0$	$\pm 10.0$	$\mu A$
Output High Voltage: $I_{LOAD} = -100 \mu A$	$V_{OH}$	2.4	-	-	V
Output Low Voltage: $I_{LOAD} = 1.6 \text{ mA}$ (D0-D7, TxD, RxC, RTS, DTR, IRQ)	$V_{OL}$	-	-	0.4	V
Output High Current (Sourcing): $V_{OH} = 2.4V$	$I_{OH}$	-100	-1000	-	$\mu A$
Output Low Current (Sinking): $V_{OL} = 0.4V$	$I_{OL}$	1.6	-	-	mA
Output Leakage Current (off state): $V_{OUT} = 5V$ (IRQ)	$I_{OFF}$	-	1.0	10.0	$\mu A$
Clock Capacitance ( $\emptyset 2$ )	$C_{CLK}$	-	-	20	pF
Input Capacitance (except XTLI and XTLO)	$C_{IN}$	-	-	10	pF
Output Capacitance	$C_{OUT}$	-	-	10	pF
Power Dissipation	$P_D$	-	350	500	mw

## ROCKWELL INTERNATIONAL - MICROELECTRONIC DEVICES

### REGIONAL SALES OFFICES

#### HOME OFFICE\*

Rockwell International Corp.  
Microelectronic Devices  
P.O. Box 3669  
Anahem, Ca. 92803  
U.S.A.  
Phone: (714) 632-0950  
TWX: 910-591-1639

\* Also Applications Centers

#### CENTRAL REGION, U.S.A.

Contact: Robert O. Whitesell & Associates  
6691 East Washington Street  
Indianapolis, Indiana 46219  
(317) 359-9783 Attn: Milt Gamble Mgr

#### EASTERN REGION, U.S.A.\*

Caroler Office Building  
950-870 U.S. Route 1  
North Brunswick, New Jersey 08902  
Phone: (201) 246-3630

#### MIDWEST REGION, U.S.A.

1011 E. Touhy Avenue, Suite 245  
Des Plaines, IL 60018  
Phone: (312) 297-6867

#### WESTERN REGION, U.S.A.

3310 Miraloma Avenue  
P.O. Box 3669  
Anahem, Ca. 92803  
Phone: (714) 632-0950

#### EUROPE

Rockwell International GmbH  
Microelectronic Devices  
Fraunhoferstrasse 11  
D-8033 Munchen-Martinsried  
Germany  
Phone: (089) 858-9575  
Telex: 05212650

#### FAR EAST

Rockwell International Overseas Corp.  
Ichiban-cho Central Building  
22-1 Ichiban-cho, Chiyoda-ku  
Tokyo 102, Japan  
Phone: 265-8808  
Telex: J22198

### YOUR LOCAL REPRESENTATIVE

808



