

Rolf-Dieter Klein, Tobias Thiel

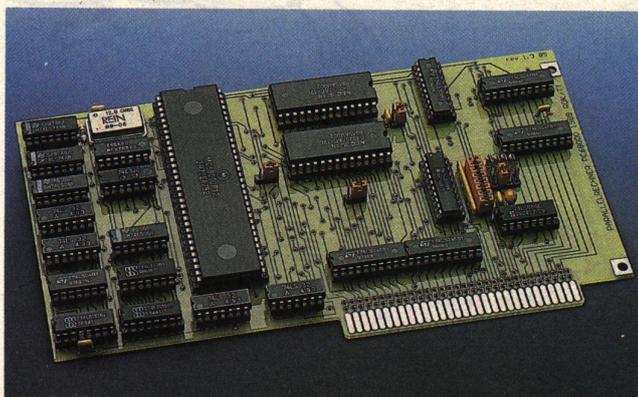
PC PAR 68000, ein Parallelrechner für PCs

Teil 1: Die Hardware

Die Rechenleistung eines PC PAR 68000 entspricht in etwa der eines 80286. Wenn mehrere Parallelrechner nebeneinander eingesetzt werden, kann die Rechenleistung weiter vervielfacht werden. Dabei sind in der Praxis natürlich Grenzen gesetzt, so zum einen durch die Kommunikation, die durch den Hauptrechner verwaltet werden muß und zum anderen durch die verwendeten Algorithmen. Nicht jedes Problem eignet sich für die Parallelisierung. Parallelrechnerprogramme für den PC PAR 68000 schreibt man am besten in Assembler, um Geschwindigkeitsvorteile voll auszunützen zu können. Große Programme können auch in Teilen aus Hochsprachenroutinen bestehen. Nur die zeitkritischen Routinen sollten in Maschinensprache geschrieben sein. Für den PC gibt es dazu eine Reihe von Cross-Assembler (ein spezieller ist dem Bausatz beigelegt). Gesteuert wird der Parallelrechner von jeder auf dem PC verfügbaren Sprache aus, also z. B. Turbo-Pascal, C, Prolog oder sogar Basic, wenn man die ersten Schritte unternehmen will. Auf diese Weise lassen sich Programme natürlich besonders elegant schreiben, denn die Benutzeroberfläche eines Programmes entsteht dann wie gewohnt.

Der Parallelrechner PC PAR 68000 gehört zur Gruppe der MIMD-Parallelrechner, das heißt Multiple Instructions Multiple Datastream. Mehrere Parallelrechner können gleichzeitig rechnen und besitzen eigene Datenbusse. Mehrere Parallelrechner können in den PC eingesetzt werden, wie *Bild 1* zeigt. Dabei werden normale Steckplätze mit 8 Bit Datenbusbreite verwendet. So können die Parallelrechner sowohl in XTs als auch in ATs mit i286 oder sogar i386 eingesetzt werden. Da im PC normalerweise nicht sehr viele Steckplätze frei sind, ist auch daran gedacht, die Parallelrechner

Alles spricht über Parallelrechner. Diese Technik setzt sich immer mehr durch. mc bringt deshalb eine preiswerte Parallelrechnerkarte mit einem 68000 als CPU. Die Karte kann in PC-, XT- und AT-Rechnern eingesetzt werden. Zunächst werden die Schaltungsprinzipien geschildert.



über eine Bus-Erweiterungs-Karte, wie in *Bild 2* angedeutet, extern auf einem weiteren Bus unterzubringen, so daß dann im Prinzip beliebig viele Parallelrechnerkarten verwendet werden können. Gedacht ist dabei an eine Größenordnung von ca. 32 Prozessoren, wobei dies aber kein prinzipielles Limit darstellt. Die Schaltung ist schon für diese Erweiterungsmöglichkeit vorbereitet. *Bild 3* zeigt das Blockschaltbild.

Speicherzugriff ohne Kollisionen

Der PC PAR 68000-Parallelrechner besteht aus der CPU und einem Speicher. Auf den Speicher können sowohl der PC als auch die Parallel-CPU zugreifen, der PC auch dann, wenn die Parallel-CPU rechnet. Dadurch wird es einfach, Programme zu testen, denn man kann jederzeit den Speicher des Parallelrechners ansehen. Der Parallelrechner benötigt kein eigenes ROM, da die Betriebssoftware einfach in den RAM-Speicher vom PC aus geladen wird. Da der Parallelrechner nicht umgekehrt auf den

Speicher des Hauptrechners zugreifen kann, wird er auch im Fehlerfall keine Daten im Hauptrechner zerstören, was insbesondere die Betriebssicherheit bei der Verwendung von vielen Parallelrechnern erhöht. Das System wird dadurch fehlertolerant. Um auf den gemeinsamen Speicher zuzugreifen hat der Hauptrechner in dieser Schaltung zwei Möglichkeiten: erstens kann der 68000 vollständig gestoppt werden, so daß die Haupt-CPU ungehindert die Daten im Speicher des Parallelrechners lesen und verändern kann, oder es greifen beide Rechner gleichzeitig auf den Speicher zu, wobei durch die DMA-Logik (Direct Memory Access) des 68000 eine Kollision der Zugriffe verhindert wird. Der Hauptrechner muß dabei so lange warten, bis der 68000

seinen letzten Zugriff beendet hat. Der Speicher ist, wie im Blockschaltbild *Bild 3* dargestellt, 16 Bit breit angelegt. Wenn der PC auf den Speicher zugreift sorgt eine Logik dafür, daß automatisch der Datenbus D0...D7 oder D8...D15 in Abhängigkeit von A0 verwendet wird, so daß der Speicher im Adreßraum des PCs linear angeordnet ist. Dabei werden alle geraden Adreßzugriffe auf D8...D15 geleitet und die ungeraden auf D0...D7. Dies entspricht der 68000-Konvention. Die Parallelrechnerkarte belegt eine IO-Adresse. Damit kann zum einen der 68000 Prozessor freigeschaltet werden und zum anderen der Speicher im Adreßraum des PCs ein- oder ausgeblendet werden. Dies ist wichtig, damit man mehrere Parallelrechner im PC einsetzen kann, ohne daß der Speicher knapp wird. Das Prinzip hat sich bei EMS-Speichererweiterungen (Expanded Memory System) schon bewährt. Man erreicht beim Lesen des IO-Ports ein Latch, in das der 68000 schreiben kann. Der Parallelrechner kann in diesem Latch zum Beispiel Fertigmeldungen unter-

HARDWARE

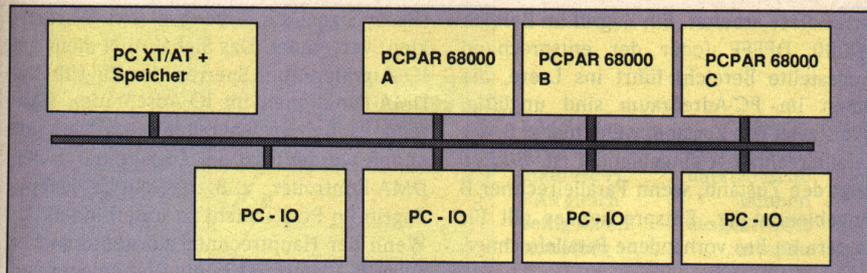


Bild 1. So können 68000-Parallelrechner im PC angeordnet sein

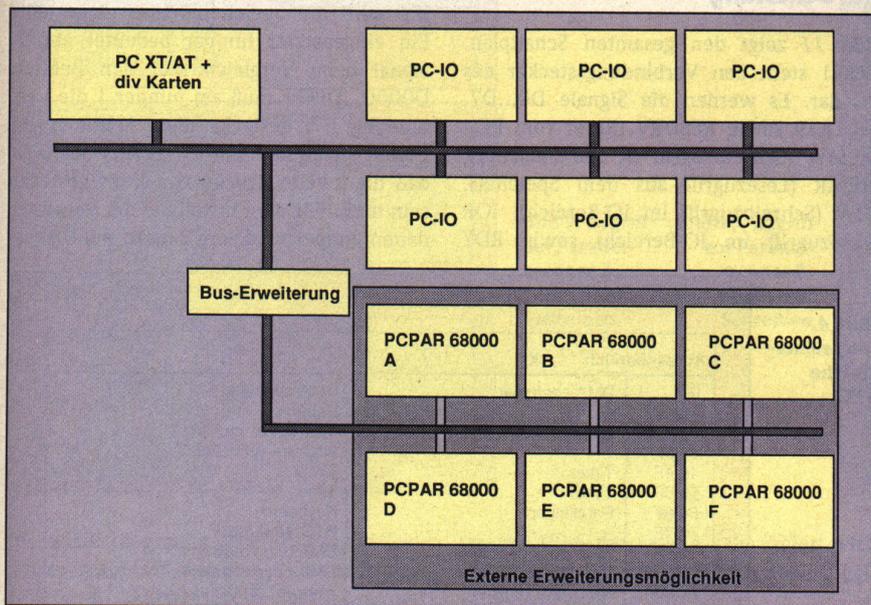


Bild 2. Externe Erweiterungsmöglichkeiten für große Systeme

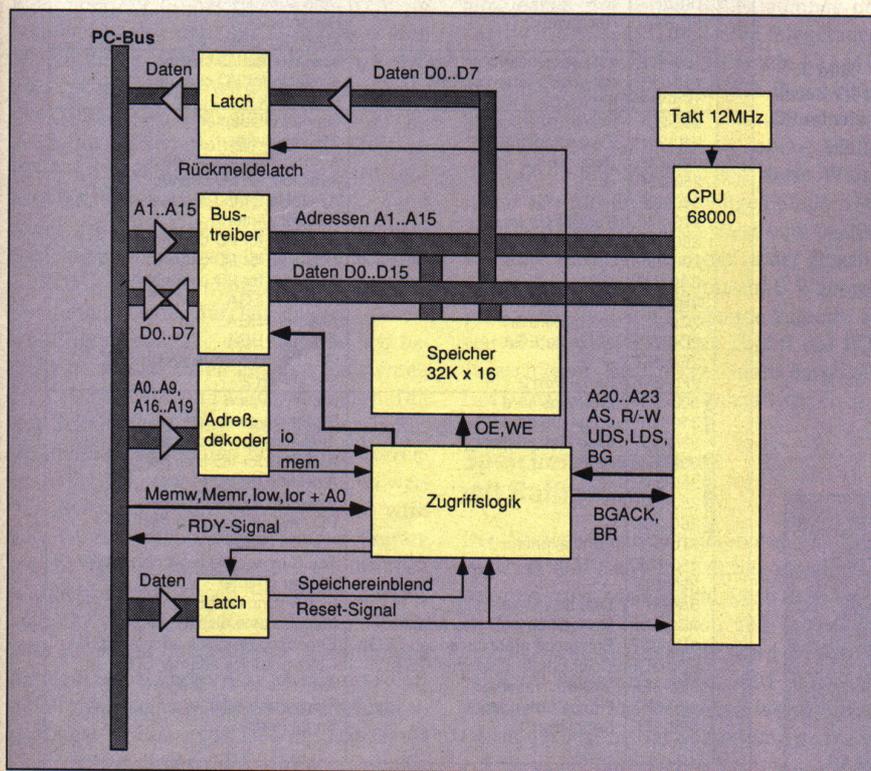


Bild 3. Das Blockschaltbild von PC PAR

bringen. Damit ist es möglich, ohne daß man jeweils den Speicher einblenden muß, sehr schnell alle Parallelrechner abzufragen. Natürlich können beliebige Meldungen mit 8 Bit Breite über dieses Register übertragen werden. Daten vom Hauptrechner zum Parallelrechner überträgt man am besten über den Speicher, der dazu vorher einblendet wird.

Den Speicher des Parallelrechners kann man sich als Fenster in den Adreßraum des Hauptrechners vorstellen. Bild 4 zeigt eine übliche Speicheraufteilung. Über Steckbrücken kann der Speicherbereich auf dem Parallelrechner eingestellt werden. Am besten eignet sich der Bereich D0000 bis DFFFF, der auch von EMS-Karten verwendet wird. Dieser Bereich stellt 64 KByte zusammenhängenden Speicher zur Verfügung. Bei manchen PCs kann auch der Bereich E0000...EFFFF verwendet werden, normalerweise ist dieser Adreßraum jedoch von ROM-Sockeln belegt. Zugriffe werden von der Buslogik des PCs entsprechend umgeleitet. Bild 5 zeigt die Belegung des IO-Adreßraums bei XTs und ATs. Für den Parallelrechner läßt sich ein IO-Bereich von 300...3FF per Steckbrücken einstellen. Dabei sind insbesondere die Adressen 300...31F und 330...36F im allgemeinen beim PC nicht belegt und können für diesen Parallelrechner verwendet werden. Da ein Parallelrechner nur eine IO-Adresse belegt, können im Bereich 300...31F allein schon 32 Parallelrechner adressiert werden. Nimmt man den anderen Bereich von 330...36F hinzu, so könnte man theoretisch damit schon insgesamt 96 Parallelrechner adressieren. Also auch für große Konfigurationen ist vorgesorgt. Die PC PAR-Parallelrechnersoftware sucht übrigens automatisch nach Parallelrechnern im Bereich 300...31F, was aber durch einfache Programmänderungen auch auf andere Bereiche ausdehnbar ist.

Steuerung über das IO-Register

Bild 6 zeigt die Belegung des IO-Ports. Bit 0 steuert die Reset-Leitung des 68000-Prozessors, Bit 1 dient der Speicherfreigabe. Wenn Bit 0 auf 0 gelegt wird, beginnt der 68000 die Arbeit. Wenn Bit 1 auf 0 gelegt wird, wird der Speicher ausgeblendet und man kann zum Beispiel einen anderen Parallelrechner in den Adreßraum des PC einblenden. Bild 7 zeigt den Zustand nach dem Einschalten des PC, so wie er durch ein externes Reset-Signal ausgelöst wird. Alle Parallelrechner sind einblendend, denn das IO-Port hat den Wert 3. In diesem Zustand können z. B. Programme in die angeschlossenen Parallelrechner geladen

HARDWARE

werden. Dies geschieht dann gleichzeitig in alle vorhandenen Parallelrechner. Dabei sind die Ladezeiten bei Datenaustausch klein. Diese Eigenschaft kann man sich beim PC PAR ganz allgemein zunutze machen. Will man Daten an eine Gruppe von Parallelrechnern senden, wählt man diese mit dem Code 3 oder 2 aus. Die Rechner arbeiten dabei weiter. Dann schickt man die Daten an die ausgewählte Gruppe von Parallelrechnern und erreicht dabei alle gleichzeitig mit einem Schreibzyklus. Lesezugriffe sind in diesem Modus natürlich nicht gestattet. Doch keine Angst vor Softwarefehlern, zerstören kann man den Parallelrechner dadurch nicht.

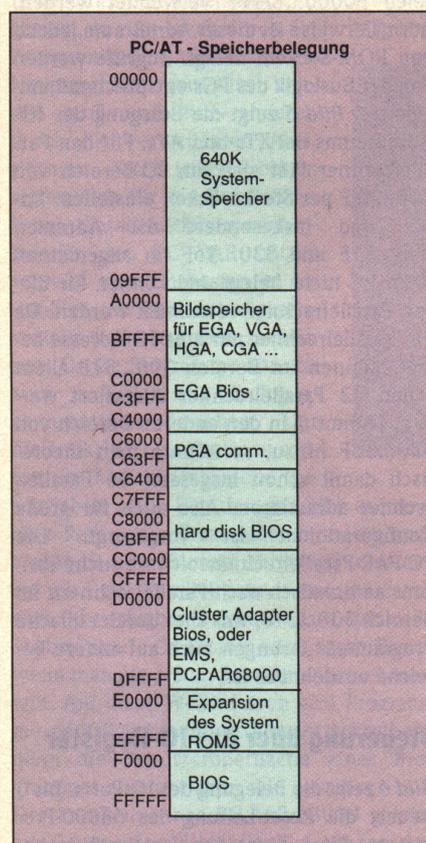
Bild 8 zeigt den Zustand, wenn alle Parallelrechner ausgeblendet sind. In dem IO-Register steht dann der Wert 1, bei Stillstand der betreffenden CPU oder der Wert 0,

wenn diese arbeitet. Ein Zugriff im Bereich D0000...DFFFF (oder der entsprechend eingestellte Bereich) führt ins Leere, die Daten im PC-Adreßraum sind ungültig. Bild 9 zeigt den Zustand, wenn hier z. B. der Parallelrechner A eingeblendet ist. Bild 10 zeigt den Zustand, wenn Parallelrechner B eingeblendet ist. Entsprechendes gilt für weitere im Bus vorhandene Parallelrechner.

Die Schaltung

Bild 11 zeigt den gesamten Schaltplan. CON1 stellt den Verbindungsstecker des PC dar. Es werden die Signale D0...D7, A0...A19 sowie RESDRV (Reset vom PC), MEMW (Schreibzugriff in den Speicher), MEMR (Lesezugriff aus dem Speicher), IOW (Schreibzugriff im IO-Bereich), IOR (Lesezugriff im IO-Bereich) sowie RDY

(Ready-Signal für Erzeugen von Wartezyklen) verwendet. Das Signal AEN dient bei IO-Zugriffen zum Sperren des Zugriffs bei DMA-Funktionen im IO-Adreßraum, während es bei Speicherzugriffen nicht verknüpft werden darf um Zugriffe durch den DMA-Kontroller, z. B. bei einem Floppy-Zugriff im PC-XT nicht zu unterbinden. Wenn der Hauptrechner auf den Speicher zugreift, liefert U13, ein Vergleicher, an seinem A=B-Ausgang ein High-Signal. An JP1 wird die Speicheradresse eingestellt. Ein eingesetzter Jumper bedeutet ein 0-Signal beim Vergleich. Für den Bereich D0000...DFFFF muß am Jumper 1 die Verbindung 5-6 gesteckt sein. Achtung: im Layout sitzt Pin 1 bei JP1 rechts oben, so daß die zweite Brücke von links gesteckt sein muß. Für die Einstellung der verschiedenen Jumper wird zum Bausatz auf Disket-



◀ Bild 4. Die Speicherbereiche im PC

Bild 5. ▶ Die IO-Bereiche im PC

IO-Belegung:		
Adressbereich	XT	AT
0-F	DMA-controller	DMA-controller
10-1F	--	Reserved
20-2F	Interrupt controller	Interrupt controller 1
30-3F	--	Interrupt controller 1
40-4F	Timer	Timer
50-5F	Timer	Timer
60-6F	Parallelport	Keyboard
70-7F	--	RTC, NMI mask
80-8F	DMA page registers	DMA page registers
90-9F	DMA page registers	DMA page registers
A0-AF	NMI mask register	Interrupt controller 2
B0-BF	--	Interrupt controller 2
C0-CF	Reserved	DMA controller 2
D0-DF	--	DMA controller 2
E0-EF	Reserved	Reserved
F0-FF	--	Math Coprocessor
100-10F	not usable intern on IBM XT	available for I/O channel
110-11F	not usable intern on IBM XT	available for I/O channel
1F0-1FF	not usable intern on IBM XT	Fixed Disk
200-20F	Game I/O adapter	Game I/O adapter
210-21F	Expansion unit	21F reserved
220-24F	Reserved	Available for I/O channel
250-25F	--	Available for I/O channel
260-26F	--	Available for I/O channel
270-27F	Parallel printer 2	Parallel printer 2
280-28F	--	Available for I/O channel
290-29F	--	Available for I/O channel
2A0-2AF	--	Available for I/O channel
2B0-2BF	Alternate EGA	Alternate EGA
2C0-2CF	Alternate EGA	Alternate EGA
2D0-2DF	Alternate EGA	Alternate EGA
2E0-2EF	--	GPIB 0, data acquisition
2F0-2FF	Serial Port 2	Serial Port 2
300-30F	prototype card	Prototype card
310-31F	prototype card	Prototype card
320-32F	fixed disk adapter	Available for I/O channel
330-33F	--	Available for I/O channel
340-34F	--	Available for I/O channel
350-35F	--	Available for I/O channel
360-36F	--	PC network (low address)
370-37F	Parallel printer 1	Parallel printer 1
380-38F	SDLC or second bisync controller	SDLC or second bisync controller
390-39F	--	Cluster adapter
3A0-3AF	First bisync controller	First bisync controller
3B0-3BF	Monochrome display adapter	Monochrome display adapter
3C0-3CF	Enhanced graphics adapter EGA	Enhanced graphics adapter EGA
3D0-3DF	Color graphics adapter CGA	Color graphics adapter CGA
3E0-3EF	3E0-3E7 reserved	Available for I/O channel
3F0-3F7	Floppy disk adapter	Floppy disk adapter
3F8-3FF	Serial Port 1	Serial Port 1

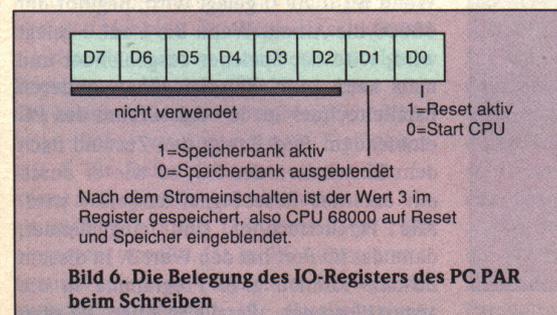


Bild 6. Die Belegung des IO-Registers des PC PAR beim Schreiben

HARDWARE

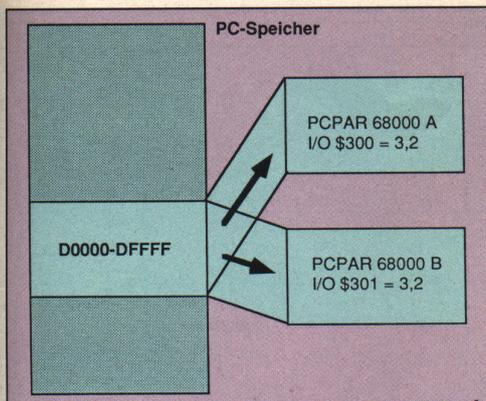


Bild 7. Man kann in mehrere PC PAR gleichzeitig Daten schreiben

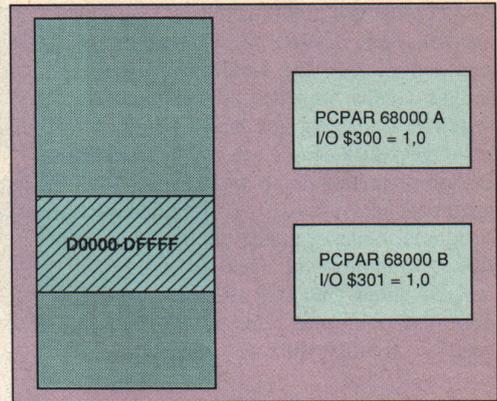


Bild 8. PC PAR-Speicherbereiche können ausgeblendet werden

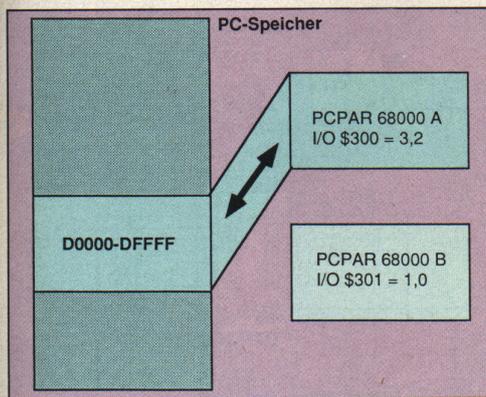
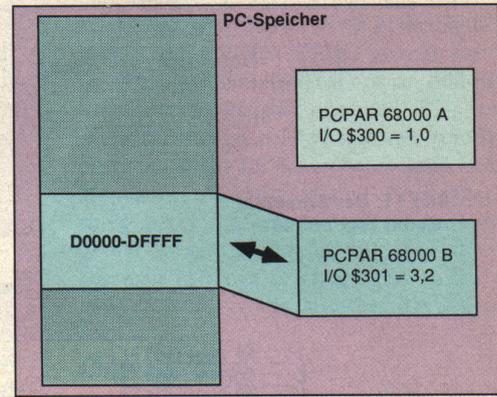


Bild 9. Zugriff auf Parallelrechner A, Lesen und Schreiben

Bild 10. Zugriff auf Parallelrechner B, Lesen und Schreiben



te ein Hilfsprogramm geliefert, das die Positionen graphisch auf dem Bildschirm ausgibt – in Abhängigkeit der gewählten Adressen. Bei einem Zugriff werden die Bustreiber U9 bis U12 aktiviert, wenn er erlaubt ist, also der 68000 entweder den letzten Zugriff beendet hat, oder im Reset-Zustand ist. Ferner wird die Richtung für die Datentreiber U11 und U12 festgelegt. Wird der Speicherinhalt gelesen, liegt an RD1- ein Low-Signal an, und es wird U12 aktiviert wenn A0=0 ist, oder U11, wenn A0=1 ist. Die Daten können dann vom Speicher zum PC-Slot gelangen. Beim Lesen ist RD1- auf High und die Daten werden in Richtung Speicher durchgeschaltet.

Die Zugriffslogik für den DMA-Zugriff besteht im wesentlichen aus den Bausteinen U1A, U2A, U4A und U8C im oberen Teil des Schaltplans. Diese Logik sorgt dafür, daß die Signale BR- und BGACK- in korrekter Reihenfolge an den 68000 gegeben werden. BG- steuert dabei den Zugriff. AS- wird an U1A zusätzlich verknüpft, um zu garantieren, daß der Buszyklus des 68000 auch wirklich abgeschlossen ist, wenn der PC zugreift. Ist der 68000 im Reset-Zustand, wird die Logik durch direkte Verknüpfung mit dem Signal überbrückt und liefert sofort ein Freigabesignal. Das zentrale Freigabesignal liegt an Pin 6 von U8B an. Das Signal -rdwr an Pin 3 von U5A gibt den Zugriffswunsch an die DMA-Logik weiter. Ein War-

tesignal RDY, das an den PC geliefert wird sorgt dafür, daß der Buszugriff des PC ggf. verlängert wird.

Da der 68000 eine 16-Bit-CPU ist, der PC-Slot jedoch nur einen 8-Bit-Datenbus besitzt, schreibt der PC die Daten mit geraden Adressen in den Speicherbaustein SRAM1, die mit ungeraden in SRAM2. Der 68000 liest dann die untere Datenwathälfte (D0...D7) aus SRAM2, die obere Hälfte (D8...D15) aus SRAM1. Auf diese Weise sitzen alle Bits an der richtigen Stelle. Der Zugriff in den Speicher erfolgt vom 68000 aus ohne Wartezyklen, daher ist der Eingang -DTACK der CPU auch fest auf 0 V gelegt. Wenn allerdings der PC gerade zugreift, so wartet der 68000 bis der Zugriff des PCs abgeschlossen ist. Dies geschieht durch die DMA-Logik des 68000 automatisch.

Speicherverwaltung mit Raffinesse

Der Speicher läßt sich über das Flip-Flop U22A in den RAM-Bereich des Hauptrechners ein- und ausblenden. Dazu wird eine IO-Adresse mit Hilfe von JP2 festgelegt. Sind alle Jumper eingesetzt, wird die Adresse \$300 eingestellt. Für \$301 muß der Jumper 1-2 herausgenommen werden, dies ist auf der Platine der obere Jumper. Wenn auf die an JP2 eingestellte Adresse geschriben wird und A8 und A9 auf High liegen,

wird der an D1 anliegende Wert in das Flip-Flop übernommen. Dazu wird mit U2B zusätzlich A8 und A9 verknüpft. Ist D1 High, wird der Speicher eingeblendet, liegt er auf Low, wird er ausgeblendet. Gleichzeitig kann über D0 das Flip-Flop U4B gesetzt werden. Hiermit wird der Reset-Zustand des 68000 gesteuert. Ist D0 während des Flip-Flop-Setzens Low, wird die CPU gestartet, und sie beginnt, das im Speicher abgelegte Programm abuarbeiten. Wenn D0 High ist, wird sie in den Reset-Zustand geschaltet.

Damit der 68000 dem Hauptrechner mitteilen kann, ob er mit seinem Programm bereits fertig ist, oder um andere Meldungen auszugeben, ist es möglich, daß er über den Baustein U20 (ein Latch) ein Byte ausgibt. Dazu spricht der 68000 die Adresse \$FFFFFFF an. Die Dekodierung der Adresse geschieht mit Hilfe von U18A. Die Adressen A20...A23 müssen dazu auf 1 liegen. Die Haupt-CPU kann U20 über die Adresse auslesen, die auch für das Steuerregister bei U19 verglichen wird, und mit der die Flip-Flops gesetzt werden. Bild 12 zeigt das Timing bei einem Lesezugriff in den Parallelrechner. Das obere Signal ist das Selekt-Signal U12 Pin 19 und das untere Signal ist -MRD vom PC-Bus. Man sieht, daß der PC zunächst etwas warten muß, hier ca. 300 ns, bevor er zugreifen darf. Der Zugriff selbst dauert 400ns. Das -MRD-Si-

HARDWARE

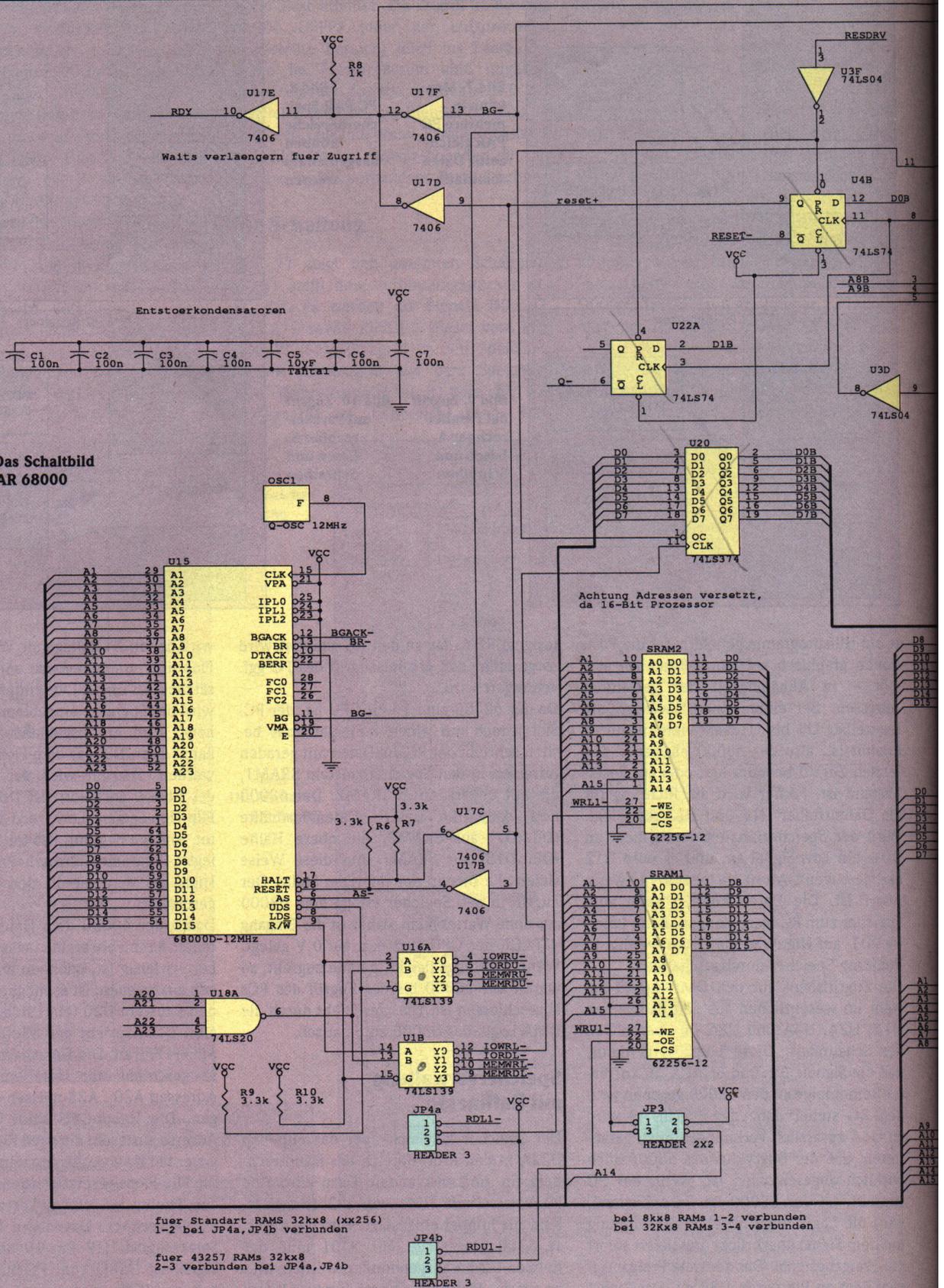


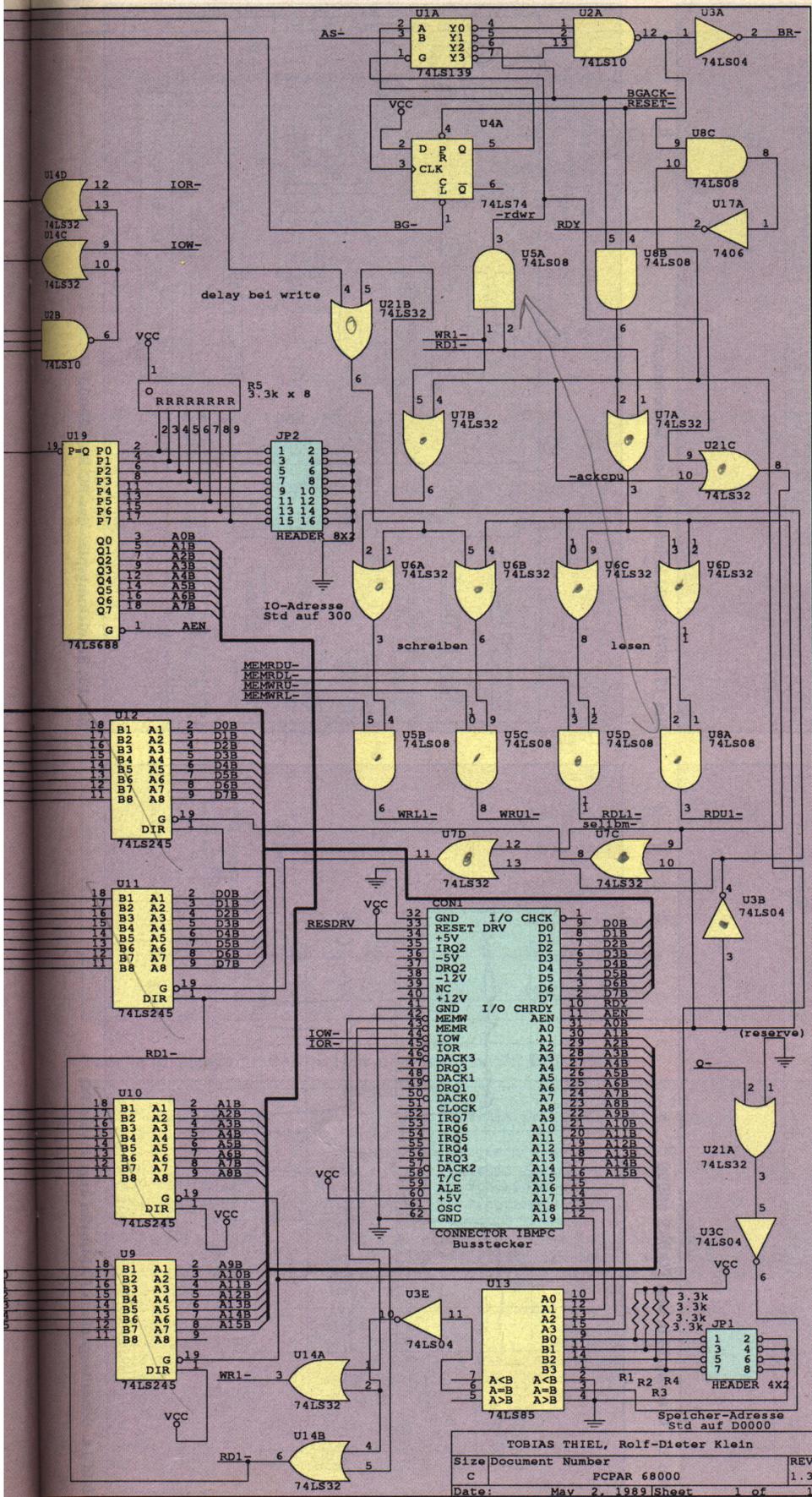
Bild 11. Das Schaltbild des PC PAR 68000

fuer Standart RAMS 32Kx8 (xx256)
1-2 bei JP4a, JP4b verbunden

fuer 43257 RAMS 32Kx8
2-3 verbunden bei JP4a, JP4b

bei 8Kx8 RAMS 1-2 verbunden
bei 32Kx8 RAMS 3-4 verbunden

HARDWARE



Signal geht wieder auf High, wenn der Zugriff des PC beendet ist. Danach geht auch das Select-Signal wieder auf High zurück und der Parallelrechner könnte wieder zugreifen. Bild 13 zeigt den gleichen Zugriff, jedoch ist unten das Signal RDY eingeblendet. Wenn es Low ist, so verlängert der PC seinen Zugriff. Das Signal reicht bis in das Select-Signal hinein um zu garantieren, daß der Buszyklus auch im schlimmsten Fall und bei schnellen ATs lang genug ist. Ferner ist dadurch auch eine Buserweiterung mit externen Parallelrechnern leichter möglich.

Bild 14 zeigt einen Schreibzugriff. Oben wieder das Select-Signal, unten ist das Signal WRU1- an Pin 27 von SRAM 1 gezeigt. Man sieht, daß das Schreibsignal erst ca. 200 ns nach dem Selectsignal erscheint. Dies ist natürlich sehr großzügig bemessen, jedoch liegt man damit auf der sicheren Seite und die Adressen und Daten sind schon lange gültig, bevor der Schreibzugriff erfolgt. Der 68000 hingegen schreibt mit wesentlich kürzeren Pulsen. Das kann er, da sein Timing die Adressen immer rechtzeitig liefert.

Chip auf Chip

Tabelle 1 zeigt die Stückliste zum Parallelrechner. Als RAMs können verschiedene Bausteine eingesetzt werden, zum einen die Typen 64256 (32K x 8), die jedoch zur Zeit recht teuer sind. Man kann aber auch die 43257 von NEC verwenden, die ebenfalls eine 32-KByte-Organisation besitzen, aber sich in einem Pin von den 64256-Bausteinen unterscheiden. Anstelle des sonst üblichen Output-Enable (-OE)-Signals ist hier ein weiteres Chip-Select-Signal (CS+) vorhanden. Über einen Jumper (JP4A und JP4B) kann zwischen den beiden RAM-Typen umgestellt werden. Für den 43257 wird CS+ einfach auf +5 V gelegt. Will man noch preiswertere RAMs verwenden, können auch 8-KByte-Speicher verwendet werden, wobei man dann auf der Platine nur 16 KByte unterbringen kann. Diese Einstellung gelingt mit JP3. Pin 26 läßt sich damit auf +5V legen, wie es für diese Speicher notwendig ist. Bild 15 zeigt den Bestückungsplan des Parallelrechners. Es handelt sich um eine kurze PC-Karte, so daß man sie auch in Baby-ATs etc. einsetzen kann. Die Platinen im Handel sind selbstverständlich durchkontaktiert und mit Lötstopplack versehen, so daß der Selbstbau keine großen Probleme bereiten dürfte.

Ein erster Test

Mit dem PC-Debugger lassen sich die ersten Versuche unternehmen. Wenn DE-

HARDWARE

Tabelle 1. Stückliste zum PC PAR 68000

Nummer	Zahl	Symbol	Bedeutung
0	1	CON1	IBM-Connector (im Layout)
✓	2	U1,U16	74LS139
✓	3	U2	74LS10
✓	4	U3	74LS04
✓	5	U4,U22	74LS74
✓	6	U5,U8	74LS08
✓	7	U6,U7,U14,U21	74LS32
✓	8	U9,U10,U11,U12	74LS245
✓	9	U13	74LS85
✓	10	U17	7406
✓	11	U18	74LS20
	12	U19	74LS688
✓	13	JP1	Jumperstifte 4X2
✓	14	JP2	Jumperstifte 8X2
✓	15	U20	74LS374
✓	16	R9,R1,R2,R3,R4,R6,R7,R10	3.3k
✓	17	R8	1k
	18	U15	68000D-12MHz
✓	19	R5	3.3k x 8
✓	20	JP3	Jumperstifte 2X2
✓	21	JP4a,JP4b	Jumperstifte 3X1
0	22	OSC1	Quarz-Oscillator 12MHz
✓	23	SRAM2,SRAM1	62256-12 oder NEC 43257-12
✓	24	C1,C2,C3,C4,C6,C7	100n Keramische Scheibe
✓	25	C5	10yF Tantal

Tabelle 2. Programmbeispiel für den Test des PC PAR 68000

```
PCPAR68000 Assembler V 1.0 , (C) 1989 Rolf-Dieter Klein, Tobias Thiel
PASS 2
000000:                ; kleines Testprogramm fuer PCPAR 68000
000000:                org 0                ; erster Speicherplatz im RAM
000000: 000087d4          dc.l stack        ; Stackpointer
000004: 00000008          dc.l start        ; Programmstart
000008:                start:
000008: 52b9 00008000      addq.l #1,alpha    ; Variable hochzaehlen
00000e: 11fc 0055 ffff     move.b #$55,$ffffff ; IO setzen auf 55 fuer Test
000014: 11fc 00aa ffff     move.b #$aa,$ffffff ; IO setzen auf AA fuer Test
00001a: 60ec              bra.s start
008000:                org $8000        ; einfacher fuer Test mit dem Debugger
008000:                alpha:
008000: 00000000          dc.l 0            ; Variable fuer Test
008004:                ds.w 1000        ; Platz fuer Stack
0087d4:                stack:
0087d4: 00000000          dc.l 0            ; hier jedoch nicht verwendet
0087d8:                end
Symbol:                alpha Wert: 00008000 Art: 340
Symbol:                stack Wert: 000087d4 Art: 340
Symbol:                start Wert: 00000008 Art: 340
```

BUG läuft, kann man mit DD000:0000 den Speicher des PC PAR ansehen. Wenn man SI der Norton-Utilities besitzt, sollte dieser auch den neuen Speicher im PC erkennen. Mit ED000:0000 lassen sich dann Werte in den Speicher schreiben. Am besten, man verwendet z.B. die Werte 55 AA AA 55, damit sind alle Datenleitungen geprüft. Mit DD000:0000 kann man anschließend den Inhalt des Speichers überprüfen. Mit dem Befehl O 300 1 im Debugger sollte sich der Speicher ausblenden lassen. Danach kann man mit O 300 3 den Speicher wieder freigeben. Die Funktion des 68000 läßt sich nur mit einem kleinen Testprogramm prüfen. *Tabelle 2* zeigt dazu ein einfaches Programm, so wie es mit dem zur Platine mitgelieferten Assembler als Listing ausgegeben wurde. Das Programm kann man hier noch leicht mit dem Debugger eingeben (in der nächsten Ausgabe werden wir dann komfortablere Werkzeuge verwenden). Dazu beginnen Sie auf Adresse D000:0000, mit ED000:0000 die Werte 00 00 87 D4 etc. einzugeben, bis zum ORG \$8000-Befehl. Auf Adresse D000:8000 geben Sie mit ED000:8000 die Werte 00 00 00 00 ein. Den Rest braucht man nicht zu belegen. Nun kann der Parallelrechner gestartet werden. Dazu gibt man den Befehl O 300 2 ein. Der Speicher bleibt dabei eingeblendet. Mit DD000:8000 können Sie den Inhalt der Variablen ALPHA auf den ersten vier Speicherzellen ansehen. Der Wert wird immer weiter hochgezählt, dazu geben Sie erneut den Befehl DD000:8000 ein. Mit I300 kann das IO-Register gelesen werden. Es müßte einmal 55 oder AA enthalten, je nachdem, zu welchem Zeitpunkt man es gerade ausliest. Damit ist ein grober Test abgeschlossen. Der Preis für den Bausatz beträgt 348 DM inklusive 64 KByte RAM, CPU 68000 für 12 MHz sowie Diskette mit Assembler, Einstellprogramm und Programmbeispielen.

In der nächsten Ausgabe wird gezeigt, wie das Softwaresystem zu PC PAR funktioniert. Mit Turbo-Pascal und einem Cross-Assembler (der zum Bausatz gehört) kann man die PC PAR-Rechner zum Beispiel auf Mandelbröt ansetzen.

Literatur

- [1] M68000 8-/16-/32-Bit Microprozessor Programmer's Reference Manual, fifth edition, Motorola.
- [2] M68000 16-/32-Bit Microprozessor, Technical Manual (oct 1985), Motorola.
- [3] *Rolf-Dieter Klein*: 68000 kompakt, Franzis Verlag, München.